



INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE COMPUTO

PRÁCTICA NO. 1 ALU CON OPERACIONES LÓGICAS, ARITMÉTICAS Y CORRIMIENTO

Arquitectura de Computadoras

Autores:

Hernández Vergara, Eduardo

Rojas Cruz, José Ángel

Alcantara Covarrubias Erik (revisar)

Mariana Alquisira (revisar)

Profesor:

Pastrana Fernández Carlos Jesús

15 de Octubre de 2022

Índice

1. Introducción	2
1.1. Objetivo	2
1.2. Introducción teórica	2
1.2.1. Unidad Aritmetica Lógica (ALU)	2
1.2.2. ¿Qué es VHDL?	3
1.2.3. ¿Qué es una FPGA?	3
1.3. Material y Equipo Empleado	3
2. Desarrollo Experimental	4
2.1. Objetivo Específico	4
3. Código	5
4. Conclusiones	8
4.1. Conclusiones Generales	8
4.2. Conclusiones Eduardo Hernández Vergara	8
4.3. Conclusiones José Ángel Rojas Cruz	8
4.4. Conclusiones Erik Alcantara Covarrubias (revisar)	8
4.5. Conclusiones Mariana Alquisira (revisar)	9
5. Referencias	10

1. Introducción

1.1. Objetivo

El alumno realizará una ALU, la que incluirá registros de corrimientos, lógicos y aritméticos la cual podrá realizar las operaciones con datos de 'n' bits especificados, tendrá una terminal que sirva para el control de carga.

1.2. Introducción teórica

1.2.1. Unidad Aritmetica Lógica (ALU)

La ALU es la parte de la computadora que realiza las operaciones lógicas y aritmeticas de los datos. Todos los demás elementos de los sistemas de computadoras (Control Unit, Registros, memoria, entrada/salida) son algunos de los datos que se le entregan a la ALU para que los procese y después los devuelva. Entonces, en un sentido, hemos alcanzado la esencia de una computadora cuando consideramos una ALU.

Una ALU y, en realidad todos los componentes electronicos en una computadora estan basados en el uso de simples dispositivos lógicos digitales simples que pueden guardar digitos binarios y realizar simples operaciones lógicas booleanas.

En la siguiente figura se muestra en términos generales, como esta interconectada la ALU con el resto del procesador. Los datos son presentados en los registros de la ALU, y los resultados de la operación se guarda en los registros. Estos registros son almacenados temporalmente mientras el procesador este conectado por rutas de señal al ALU. Al ALU también se le pueden configurar banderas como el resultado de una operación. Por ejemplo, la bandera de overflow se configura en 1 si el resultado excede el tamaño del registro en donde va a ser almacenado. Los valores de estas banderas también son almacenadas en los registros dentro del procesador. La unidad de control nos provee señales que controlan la operación del ALU y el movimiento de datos de entrada y salida del ALU.

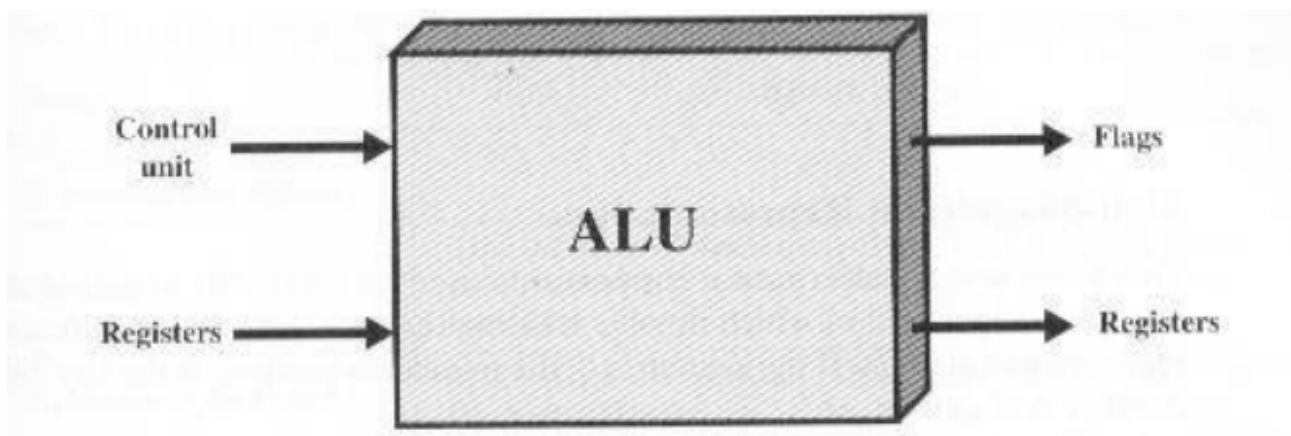


Figura 2: Entradas y Salidas del ALU

1.2.2. ¿Qué es VHDL?

VHDL es un lenguaje de diseño de software destinado a usarse en todas las fases del diseño de sistemas digitales. VHDL viene de VHSIC (Very High Speed Integrated Circuits) lenguaje descriptor de hardware. Su desarrollo empezó en 1983 con un contrato por parte del departamento de defensa de los Estados Unidos de América, y se volvió un estándar de la IEEE en 1987.

1.2.3. ¿Qué es una FPGA?

Una FPGA (Field Programmable Gate Array) es un complejo circuito integrado digital programable compuesto por bloques lógicos configurables (CLB) y puertos de entrada/salida (IOB), cuya interconexión y funcionalidad puede ser programada mediante un lenguaje de descripción especializado.

Su principal característica y ventaja es que pueden reprogramarse para un trabajo específico o cambiar sus requisitos después de haberse fabricado. Esto también implica que en muchos casos se pueden hacer cambios físicos sin hacer modificaciones costosas en la placa que lo soporta.

Básicamente, una FPGA es un conjunto de múltiples circuitos (lógicos y de otros tipos) dispuestos matricialmente, cuyas interconexiones son programables por el usuario para la aplicación requerida. En una FPGA se programa su hardware, a diferencia de los microcontroladores / microprocesadores, en los que solo existe un hardware fijo y se programa su software (firmware).

Históricamente, las FPGA fueron inventadas en el año 1984 por Ross Freeman y Bernard Von Der Schmitt, cofundadores de la empresa Xilinx, fabricante de las mismas. Como resultado de numerosas evoluciones, la compañía produjo la primera familia de dispositivos lógicos programables por el usuario, de propósito general.

Las FPGA, además de contener puertas lógicas AND y OR, tienen memoria RAM, controladores de reloj, etc., por lo que son muy apropiadas para el diseño de sistemas embebidos con microprocesador. La compañía Xilinx ha evolucionado dicha tecnología hasta convertirla en un nuevo concepto a tener en cuenta en ciertos entornos de trabajo.

1.3. Material y Equipo Empleado

- 1 FPGA
- 1 Tarjeta de evaluación de pruebas ó Protoboard microswitches con resistencias 10 KoHms, 20 leds con resistencias 330 oHms, 1 display de 4 dígitos multiplexado de ánodo común.
- 1 eliminador de celular de 5v con cable mini usb.
- Quartus Prime Lite

2. Desarrollo Experimental

2.1. Objetivo Específico

1. Desarrollar en la FPGA un programa en VHDL de una ALU, en cuál se puedan seleccionar tres tipos de operaciones, Lógicas, Aritméticas y Shifters, éstas son:
 - Lógicas (A y B de 10 bits):
 - a) Negación o Complemento a 1 de A.
 - b) Complemento a 2 de A.
 - c) AND entre A y B.
 - d) OR entre A y B.
 - Shifters (A de 10 bits):
 - a) LSL (Logical Shift Left).
 - b) ASR. (Arithmetic Shift Right).
 - Aritméticas (A y B)
 - a) Suma 1 byte c/ carry out.
 - b) Resta 1 byte.
 - c) Multiplicación de 5 bits
2. Con los siguientes especificaciones:
 - Realizar el programa en VHDL que incluya todas las operaciones básicas (Lógicas, Shifters, Aritméticas) del tamaño de dato correcto como se solicita en la descripción.
 - Recuerde que todas las operaciones anteriores deben funcionar como una unidad, para este inciso se deben programar todas las opciones por componentes o multi procesos.
 - Para las opciones de corrimientos de debe incluir un clock para sincronizar los desplazamientos.
 - Todas las entradas deben ser consideradas dependiendo de la operación a realizar, estas deberán ser introducidas por medio de microswitches.
 - La asignación de pines se debe de hacer de acuerdo a la disponibilidad en las terminales de salida en la FPGA.
 - La salida del bloque aritmético se tendrá que ser desplegada en el display de 7 seg. 4 dígitos y a su vez la salida de los shifters y la unidad lógica se mostrara únicamente mediante Leds.
3. Se manejara el mismo programa del inciso anterior pero ahora todas las operaciones tanto Aritméticas, shifters o lógicas se mostraran mediante mensaje de texto pregrabado en memoria ROM indexada en VHDL para el texto identificador de la operación por ejemplo: SunnA, rEstA, nnulti, And, or, not, Co1, Co2, ror, roL, LSL,LSren tipo ventana deslizante display de 4 dígitos de tipo ánodo común de 7 seg. El cual se multiplexará para que se despliegue 5 segundos antes de mostrar el resultado de la operación. Cada una de las letras será almacenada en un solo byte, y se multiplexará similar a los números pero con ventana deslizante que significa que el mensaje se desplaza para mostrar todas las letras durante 5 segundos de forma automática antes de mostrar el resultado.

3. Código

Listing 1: Barrel Shifter (Prototipo)

```
1  LIBRARY IEEE;
2  USE IEEE.std_logic_1164.ALL;
3  USE IEEE.numeric_std.ALL;
4
5  ENTITY barrelShifters IS
6      PORT (
7          a : IN STD_LOGIC_VECTOR(9 DOWNT0 0);
8          cntrl, iniciar : IN STD_LOGIC;
9          salidaLC : OUT STD_LOGIC;
10         salShifters : OUT STD_LOGIC_VECTOR(9 DOWNT0 0)
11     );
12 END ENTITY barrelShifters;
13
14 ARCHITECTURE shifters OF barrelShifters IS
15
16     SIGNAL contador : INTEGER RANGE 0 TO 49999999 := 0;
17     SIGNAL aux : STD_LOGIC_VECTOR(9 DOWNT0 0) := "0000000000";
18     SIGNAL salidMed : STD_LOGIC;
19
20 BEGIN
21     --Mi divisor de frecuencias
22     DivisorFrecuencia : PROCESS (clk, iniciar)
23     BEGIN
24         IF iniciar = '0' THEN
25             salidMed <= '0';
26             contador <= 0;
27         ELSIF rising_edge(clk) THEN
28             IF contador = 49999999 THEN
29                 contador <= 0;
30                 salidMed <= NOT salidMed;
31             ELSE
32                 contador <= contador + 1;
33             END IF;
34         END IF;
35     END PROCESS DivisorFrecuencia;
36
37     salidaLC <= salidMed;
38     --Las opciones del shifter
39     Shifter : PROCESS (salidaMed, iniciar, a, cntrl)
40     BEGIN
41         IF iniciar = '0' THEN
42             aux <= "0000000000";
43         ELSIF rising_edge(salidaMed) THEN
44             IF (cntrl = '0') THEN
45                 aux <= a(8 DOWNT0 0) & '0'; --LSL
46             ELSE
47                 aux <= a(9) & a(9 DOWNT0 1);-- Arithmetic Shifter Right
48             END IF;
49         END IF;
50     END PROCESS Shifter;
51
52     salShifters <= aux;
53     a <= aux;
54 END ARCHITECTURE shifters;
```

Listing 2: Display Operaciones (Prototipo)

```

1  -- PROTOTIPO
2  LIBRARY IEEE;
3  USE IEEE.std_logic_1164.ALL;
4  USE IEEE.numeric_std.ALL;
5  ENTITY displayOperaciones IS
6      PORT (
7          cntrlSeg : IN STD_LOGIC_VECTOR(0 TO 1);
8          cntrlArt  : IN STD_LOGIC_VECTOR(0 TO 1);
9          cntrlShf   : IN STD_LOGIC;
10         cntrlLog  : IN STD_LOGIC_VECTOR(0 TO 1);
11         d0, d1, d2, d3 : OUT STD_LOGIC_VECTOR(0 TO 6)
12     );
13 END ENTITY displayOperaciones;
14 ARCHITECTURE dOperaciones OF displayOperaciones IS
15     SIGNAL ad0, ad1, ad2, ad3 : STD_LOGIC_VECTOR(0 TO 6);
16 BEGIN
17     ProcDisplay : PROCESS (cntrlSeg, cntrlArt, cntrlShf, cntrlLog, ad1,
18         ad2, ad0, ad3)
19     BEGIN
20         IF cntrlSeg = "00" THEN --Arithmetic
21             IF cntrlArt = "00" THEN --Suma
22                 ad0 <= "0100100"; --S Anodo
23                 ad1 <= "1000001"; --U Anodo
24                 ad2 <= "1101010"; --n Andodo
25                 ad3 <= "1101010"; --n Andodo
26             ELSIF cntrlArt = "01" THEN -- Resta
27                 ad0 <= "1111010"; --r Anodo
28                 ad1 <= "0110000"; --E Anodo
29                 ad2 <= "0100100"; --S Anodo
30                 ad3 <= "1110000"; --t Andodo
31             ELSIF cntrlArt = "10" THEN --Mult
32                 ad0 <= "1101010"; --n Anodo
33                 ad1 <= "1101010"; --n Anodo
34                 ad2 <= "1000001"; --U Anodo
35                 ad3 <= "1110001"; --L Andodo
36             END IF;
37         ELSIF cntrlSeg = "01" THEN --Shifter
38             IF cntrlShf = '0' THEN -- LSL
39                 ad0 <= "1110001"; --L Anodo
40                 ad1 <= "0100100"; --S Anodo
41                 ad2 <= "1110001"; --L Andodo
42                 ad3 <= "1111111"; --NULL Andodo
43             ELSE --ASR
44                 ad0 <= "0001000"; --A Anodo
45                 ad1 <= "0100100"; --S Anodo
46                 ad2 <= "1111010"; --r Andodo
47                 ad3 <= "1111111"; --NULL Andodo
48             END IF;
49         ELSIF cntrlSeg = "10" THEN --Logic
50             IF cntrlLog = "00" THEN --NOT
51                 ad0 <= "1101010"; --n Anodo
52                 ad1 <= "1100010"; --o Anodo
53                 ad2 <= "1110000"; --t Andodo
54                 ad3 <= "1111111"; --null Andodo
55             ELSIF cntrlLog = "01" THEN -- COMP2
56                 ad0 <= "0110001"; --C Anodo
57                 ad1 <= "1100010"; --o Anodo
58                 ad2 <= "0011000"; --P Anodo
59                 ad3 <= "0010010"; --2 Andodo

```

```

59         ELSIF cntrlLog = "10" THEN --AND
60             ad0 <= "0001000"; --A Anodo
61             ad1 <= "1101010"; --n Anodo
62             ad2 <= "1000010"; --d Anodo
63             ad3 <= "1111111"; --null Andodo
64         ELSIF cntrlLog = "11" THEN --OR
65             ad0 <= "1111111"; --null Anodo
66             ad1 <= "1100010"; --o Anodo
67             ad2 <= "1111010"; --r Anodo
68             ad3 <= "1111111"; --null Andodo
69         END IF;
70     END IF;
71 END PROCESS ProcDisplay;
72 d0 <= ad0;
73 d1 <= ad1;
74 d2 <= ad2;
75 d3 <= ad3;
76 END ARCHITECTURE dOperaciones;

```

4. Conclusiones

4.1. Conclusiones Generales

Eget lorem dolor sed viverra ipsum nunc. Ipsum dolor sit amet consectetur. Ipsum dolor sit amet consectetur adipiscing elit. Est ultricies integer quis auctor elit sed vulputate mi sit. Sit amet venenatis urna cursus eget. Morbi quis commodo odio aenean sed adipiscing. In dictum non consectetur a erat. Eu lobortis elementum nibh tellus molestie nunc non blandit massa. Neque ornare aenean euismod elementum nisi quis eleifend. Nisl suscipit adipiscing bibendum est ultricies integer quis. Sodales neque sodales ut etiam sit amet nisl purus in.

4.2. Conclusiones Eduardo Hernández Vergara

Lorem ipsum dolor sit amet, consectetur adipiscing elit, sed do eiusmod tempor incididunt ut labore et dolore magna aliqua. Consectetur purus ut faucibus pulvinar elementum integer. Ullamcorper velit sed ullamcorper morbi tincidunt ornare. In fermentum et sollicitudin ac. Magna ac placerat vestibulum lectus mauris. Semper quis lectus nulla at volutpat diam ut. Gravida arcu ac tortor dignissim convallis aenean et tortor at. Integer eget aliquet nibh praesent tristique magna. Sed velit dignissim sodales ut eu sem integer vitae justo. Vel fringilla est ullamcorper eget nulla facilisi etiam dignissim diam.

4.3. Conclusiones José Ángel Rojas Cruz

Ultricies mi quis hendrerit dolor magna eget est lorem ipsum. Velit egestas dui id ornare arcu odio. Neque sodales ut etiam sit amet nisl purus in mollis. Nec ultrices dui sapien eget mi proin sed libero enim. Sit amet risus nullam eget felis eget nunc lobortis. Velit dignissim sodales ut eu sem. Lorem donec massa sapien faucibus et molestie. Quis varius quam quisque id diam vel quam elementum pulvinar. Netus et malesuada fames ac turpis. Posuere sollicitudin aliquam ultrices sagittis orci a. Scelerisque felis imperdiet proin fermentum leo vel orci porta. Et malesuada fames ac turpis egestas maecenas.

4.4. Conclusiones Erik Alcantara Covarrubias (revisar)

Elementum integer enim neque volutpat. Congue nisi vitae suscipit tellus mauris a diam maecenas. Neque egestas congue quisque egestas diam in arcu cursus euismod. Mauris commodo quis imperdiet massa tincidunt nunc pulvinar sapien. Tempus egestas sed sed risus pretium quam vulputate dignissim suspendisse. Tincidunt vitae semper quis lectus nulla at. Vitae et leo dui ut diam. Sagittis id consectetur purus ut faucibus pulvinar elementum integer. Tortor consequat id porta nibh venenatis cras sed felis eget. Sit amet consectetur adipiscing elit pellentesque habitant morbi tristique. Sagittis aliquam malesuada bibendum arcu vitae elementum curabitur vitae nunc. Dui ut ornare lectus sit amet est placerat in. Dignissim sodales ut eu sem. Tincidunt eget nullam non nisi est sit amet facilisis magna. Tortor vitae purus faucibus ornare suspendisse sed nisi.

4.5. Conclusiones Mariana Alquisira (revisar)

Congue nisi vitae suscipit tellus mauris a. Hendrerit dolor magna eget est lorem ipsum dolor sit amet. Tortor at risus viverra adipiscing at. Diam maecenas ultricies mi eget mauris pharetra. Sed enim ut sem viverra aliquet eget sit amet tellus. Egestas fringilla phasellus faucibus scelerisque eleifend. Laoreet suspendisse interdum consectetur libero. Nec feugiat in fermentum posuere urna nec tincidunt praesent. Quis commodo odio aenean sed adipiscing. Consectetur adipiscing elit ut aliquam. Odio morbi quis commodo odio aenean. Morbi tincidunt augue interdum velit euismod in pellentesque massa. Sit amet purus gravida quis. Tempor commodo ullamcorper a lacus.

5. Referencias

Referencias

- [1] Stallings, W. (2003). *Computer Organization and Architecture*. Pearson Education International.
- [2] Jasinski, R. (2015). *Effective Coding with VHDL: principles and best practice*. The MIT Press.
- [3] Akka Technologies. (n.d.). *FPGA: qué es y cuáles son las características de este componente. [online]*. Available at: <https://www.akka-technologies.com/fpga/> [Accessed 16 Oct. 2022]..