

INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE COMPUTO

PROF. GELACIO CASTILLO CABRERA

UNIDAD DE APRENDIZAJE ARQUITECTURA DE COMPUTADORAS

PRACTICAS DE EXPERIENCIAS DE APRENDIZAJE PARA EVALUAR EN EL PRIMER PERIODO PARCIAL
DEL SEMESTRE AGOSTO-2022 A ENERO-2023

(SERÁN EVALUADAS COMO PRÁCTICAS DE ESTE PERIODO PARCIAL, SIN EMBARGO, SON DE REPASO,
CORRESPONDIENTES A LOS CURSOS DE “FUNDAMENTOS DE DISEÑO DIGITAL” Y “DISEÑO DE
SISTEMAS DIGITALES”)

LA ENTREGA DE PRACTICAS SON CON EL PROTOTIPO

- 1.- Registro en la página www.latticesemi.com.
- 2.- Descarga e instalación de la herramienta Diamond.
- 3.- Adquisición de la tarjeta de desarrollo machXO2.
- 4.- Construcción del prototipo Fase I.
- 5.- Programación e implementación de las siete puertas lógicas básicas.
- 6.- MUX de tres canales de entrada a un canal de salida. Cada canal de tres bits.
- 7.- Sumador restador, cada operando de 4 bits.
- 8.- Sumador restador, cada operando de 8 bits.
- 9.- Sumador restador, cada operando de 16 bits.
- 10.- Evaluación del sumador de ocho bits obtenido con las librerías “arith” y “unsigned”. Comparar sus características con los sumadores obtenidos en las practicas 7 y 8.
- 11.- Evaluación del sumador de ocho bits obtenido con las librerías “arith” y “signed”. Comparar sus características con los sumadores obtenidos en las practicas 7 y 8.
- 12.- Multiplicador combinatorio de 4 bits.
- 13.- Multiplicador combinatorio de 8 bits.
- 14.- Configuración del oscilador interno del FPGA machXO2.
- 15.- Divisor de frecuencia. Cinco bits de control.
- 16.- Registro de desplazamiento hacia la izquierda (shiftRL00).
- 17.- Registro de desplazamiento hacia la derecha (shiftLR00).
- 18.- Registro de rotación hacia la izquierda (shiftrRL00).
- 19.- Registro de rotación hacia la derecha (shiftrLR00).
- 20.- Barrel de desplazamiento hacia la izquierda (barrelRL00).
- 21.- Barrel de desplazamiento hacia la derecha (barrelLR00).
- 22.- Barrel de rotación hacia la izquierda (barrelrRL00).
- 23.- Barrel de rotación hacia la derecha (barrelrLR00).

RUBRICA O INDICACIONES PARA LA ENTREGA

1.- Mostrar evidencias de desarrollo. La descripción en VHDL (Programación VHDL)

2.- Entregar en línea a través de la plataforma utilizada para las clases (en vivo)

2.1.- Aplicar los vectores de prueba mostrados a continuación

A = "00000111", B = "00000011"

A = "00000011", B = "00001111"

A = "11000000", B = "10000001"

A = "00000011", B = "11000011"

3.- Presentación de la entrega

3.1.- Estabilidad del prototipo (evitar moverlo).

3.2.- Hacer visible entradas y salidas.

3.3.- Disminuir la intensidad de las salidas, o disminuir la saturación de la lente de la cámara. Para una mejor visibilidad remota ajustar los contrastes del entorno físico de la entrega.

3.4.- En tanto sea posible, desconectar de Wi-Fi otros dispositivos que no estén en uso a la hora de la entrega y que consumen ancho de banda.

4.- **Practica 9**, agregar los vectores de prueba

A = "0100 0000", B = "0100 0001"

B = "0000 0001", B = "0000 0010",

Los puntos anteriores serán sumados para la calificación de cada práctica

5.- Vectores de prueba para el sumador-restador de 4 bit

A -> 1011

B -> 1001

A -> 0011

B -> 0111

A -> 0001

B -> 0110

A -> 1100

B -> 0011

A -> 0110

B -> 0101