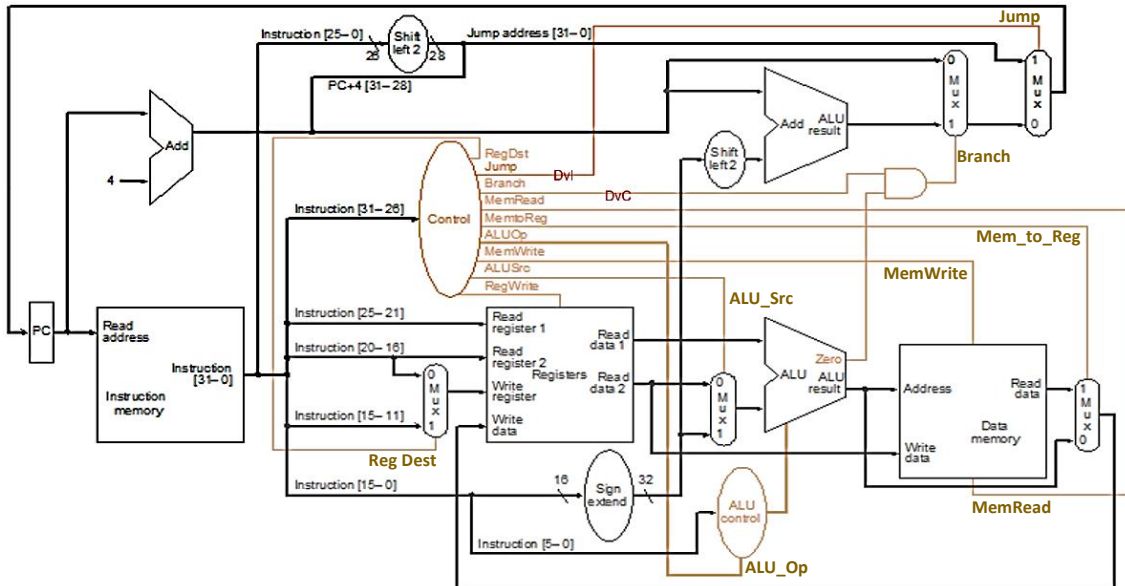


INATEL - ENGENHARIA DA COMPUTAÇÃO
EXERCÍCIOS DE C208 - PROF. YVO

ARQUITETURA DE REFERÊNCIA



A Arquitetura de Referência será utilizada como base para a resolução de todas as questões, exceto as referentes ao pipeline.

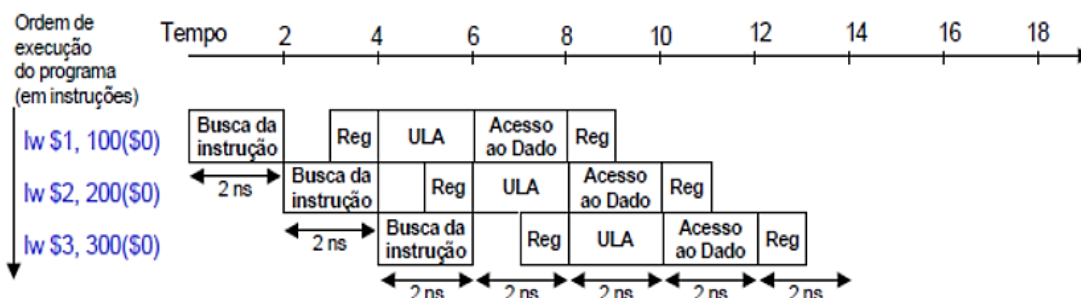
Questão 1: Considere que a instrução “ADDU \$2, \$1, \$3” deva ser executada. Qual(is) sinal(is) de controle faz(em) com que a instrução seja distinguida de outra do tipo “ADDIU \$2, \$1, 0x02F0”? Explique.

Questão 2: Qual o papel do somador (bloco **Add**) presente na parte superior do circuito apresentado? Explique.

Questão 3: Em uma operação do tipo ADD ou ADDI, a ULA é utilizada para somar os conteúdos de dois registradores ou de um registrador com um valor imediato. No caso de uma operação SW (Store Word), qual o papel da ULA?

Questão 4: Na ULA (ou ALU) pode-se observar a existência de uma saída chamada “Zero”. Esta é usada para qual tipo de instrução?

Questão 5: A imagem a seguir mostra a implementação do Pipeline para três instruções de Load:



Classifique as afirmações a seguir como verdadeiras ou falsas e apresente as justificativas para tal.

- I. Na implementação do pipeline, uma instrução pode demorar mais tempo para ser executada do que sem o pipeline. Isto implica em uma maior latência.
- II. O *throughput* ou o número de instruções realizadas por um período de tempo é menor quando se implementa o pipeline.
- III. Em um pipeline com 5 estágios (Busca, Decodificação, Execução, Acesso à memória e Escrita no registrador) só podem ser executadas, em simultâneo três instruções, como mostrado na figura.

Questão 6: Com relação à melhoria de desempenho decorrente da implementação do pipeline com estágios balanceados, é correto afirmar que:

- a) O ganho máximo teórico dependerá do período de cada estágio do pipeline.
- b) Quando maior o número de instruções no pipeline, maior o ganho máximo teórico.
- c) O ganho máximo teórico será sempre igual ao número de estágios do pipeline.
- d) O ganho máximo teórico será igual ao número de estágios do pipeline desde que muitas instruções sejam executadas.
- e) Nenhuma das outras alternativas.

Questão 7: Com relação a entrada “rW” presente no banco de registradores são feitas as seguintes afirmações:

- I. O conteúdo do endereço apontado por “rA” só é disponibilizado na saída “A” se a entrada de “rW” estiver habilitada.
- II. A entrada “rW” contém o dado proveniente da instrução e que será armazenado no banco de registradores.
- III. A entrada “rW” recebe o endereço do registrador destino em uma operação tipo R.

Quais das afirmações são falsas? Justifique.

Questão 8: Considere a seguinte afirmação: “este sinal controla o MUX que seleciona qual o registrador de destino, de acordo com o tipo de instrução executada (tipo R usa o rd, Load usa o rt)”. Qual o sinal de controle em questão?

Questão 9: Considere a execução de uma instrução do tipo “OR \$t1, \$t2, \$t3”. Quais unidades abaixo são utilizadas na execução dessa instrução?

- a) Memória de Instrução, PC, Banco de Registradores, todos os MUX, ULA e Unidade de Controle.
- b) Memória de Instrução, PC, apenas dois MUX, ULA e Unidade de Controle.
- c) Memória de Instrução, PC, Banco de Registradores, todos os MUX, ULA, Memória de Dados e Unidade de Controle.
- d) Memória de Instrução, Banco de Registradores, todos os MUX, ULA e Unidade de Controle.
- e) Nenhuma das outras alternativas.

Questão 10: Na unidade de controle do circuito apresentado é possível identificar uma saída chamada “jump” e outra chamada “branch”. Na execução de uma instrução de desvio condicional, quais sinais de controle são gerados? Explique.