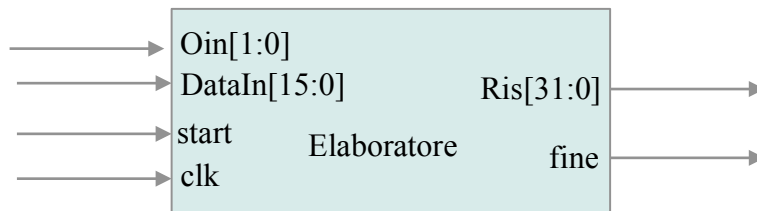


4. Modellare in vhd1 sintetizzabile e simulare un sistema digitale caratterizzato dalla seguente interfaccia :



Il sistema ha 3 registri temporanei A, B e C di 16 bit in cui vengono copiati gli operandi letti dalla porta DataIn e un registro IR di 2 bit in cui viene copiata l'operazione da eseguire letta da Oin.

Il sistema ha il compito di realizzare le seguenti operazioni

| | | |
|------|---------|--|
| SUB | A, B | codifica "00" durata 2 cicli (differenza tra i 2 operandi A e B con estensione in segno) |
| ADD | A, B | codifica "01" durata 2 cicli (somma tra i 2 operandi A e B con estensione in segno) |
| MULT | A, B | codifica "10" durata 4 cicli (prodotto tra i 2 operandi A e B) |
| MAC | A, B, C | codifica "11" durata 4-6 cicli (C*B se A=0 (durata 4 cicli), C*B+A (durata 6 cicli) se A/=0) |

I risultati delle operazioni vengono sempre inviati all'uscita Ris a 32 bit.

Si assuma che per ogni operazione il ciclo di clock 1 sia quello in cui viene attivato il segnale start che dura un solo ciclo.

L'esecuzione avviene nel seguente modo.

Sul fronte di discesa del ciclo di clock 2 l'operazione è letta da Oin e memorizzata in IR, il primo operando è letto da DataIn e memorizzato in A.

Sul fronte di discesa del ciclo di clock 3 il secondo operando è letto da DataIn e memorizzato in B.

Se l'operazione è un MAC sul fronte di discesa del ciclo di clock 4 il terzo operando è letto da DataIn e memorizzato in C e nel ciclo di clock 5 inizia l'esecuzione che dura 4 cicli se A=0, 6 cicli altrimenti.

Per le altre operazioni nel ciclo di clock 4 inizia l'esecuzione la cui durata dipende dall'operazione.

Al termine dell'operazione l'uscita fine è posta a '1' per un ciclo di clock.

Nell'implementazione si faccia uso di almeno una function o procedure.