

Electrónica Digital

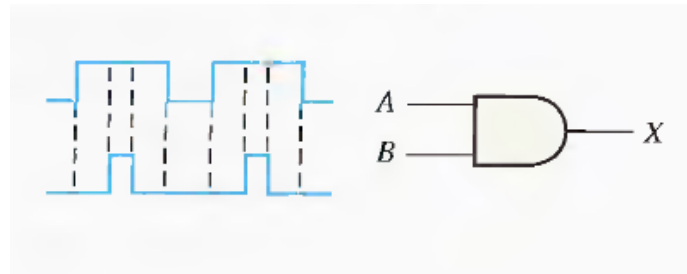
Guía de Trabajos Prácticos N° 2

Álgebra de Boole y funciones lógicas

Nota: Para la realización de esta guía, conviene definir que nos referimos a:

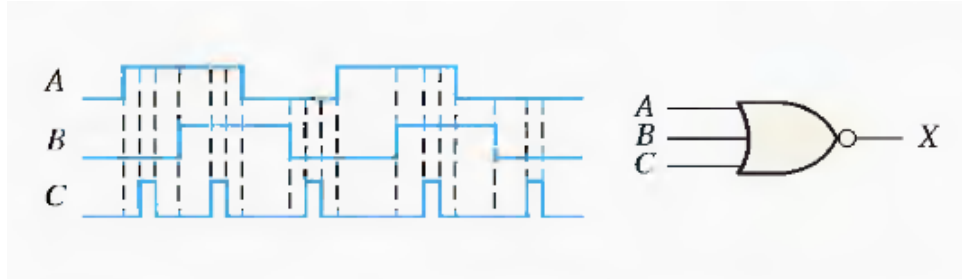
- **Diseño** como todos los pasos para llegar a un circuito final optimizado en papel;
- **Simulación** es la realización del análisis temporal del programa escrito en verilog (testbench). Para ello se recomienda utilizar apio con la herramienta GTKWave;
- **Impactar** se refiere a grabar el código desarrollado en la FPGA provista por la cátedra.

1. Compuerta **AND**. Determine la salida **X** a partir del siguiente diagrama temporal.



Implemente en Verilog la compuerta anterior (compuerta AND) y simule su funcionamiento. Realice el testbench considerando las señales de entradas A y B provistas y verifique que el comportamiento de la salida X sea el correcto. Impacte su circuito en la FPGA.

2. Compuerta **NOR**. Determine la salida **X** a partir del siguiente diagrama temporal.



Implemente en Verilog la compuerta anterior (compuerta NOR) y simule su funcionamiento. Realice el testbench considerando las señales de entradas A, B y C provistas y verifique que el comportamiento de la salida X sea el correcto. Impacte su circuito en la FPGA.

3. Utilice el álgebra de Boole para escribir una expresión que:
 - a. Sea 1 si una o más de sus variables (A, B, C y D) es 1;
 - b. Sea 1 si todas sus variables (A, B, C y D) son 1;
 - c. Sea 0 cuando dos de sus variables (A, B, C y D) son 1 simultáneamente.

Implemente en Verilog las expresiones obtenidas en los apartados a), b) y c). Realice los testbenches correspondientes para verificar su comportamiento e impacte el circuito en la FPGA.

4. Aplique los teoremas de DeMorgan a cada una de las expresiones. Calcule la tabla de verdad de ambas expresiones y compare los resultados.

- a. $f = \overline{AB + CD + EF};$
- b. $g = \overline{A + BC + D(E + F)};$
- c. $h = \overline{AB(CD + EF)(AB + CD)}.$

Implemente en Verilog las expresiones sin simplificar y compárelas con las obtenidas luego de aplicar los teoremas de DeMorgan. Realice los testbenches correspondientes y verifique la equivalencia entre las funciones originales y las simplificadas. Impacte los circuitos obtenidos en la FPGA.

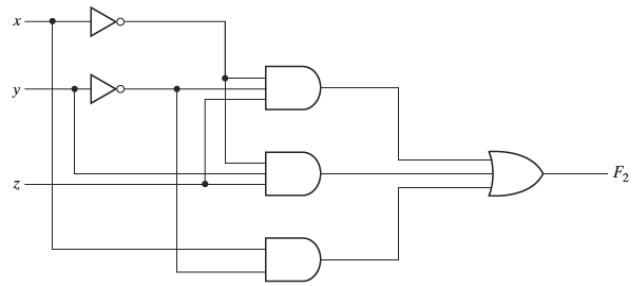
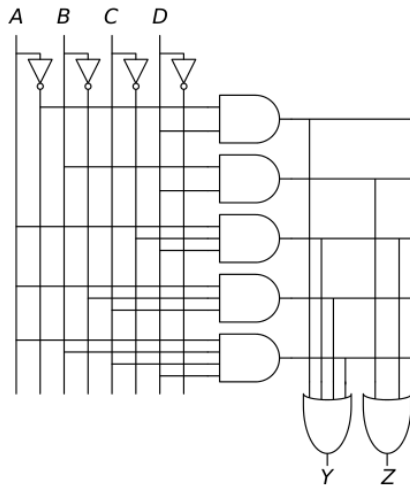
5. Construya la tabla de verdad y grafique los circuitos lógicos correspondientes de las siguientes expresiones. Simplifique, de ser posible, las expresiones y grafique los circuitos resultantes. Implemente en Verilog los circuitos originales y los simplificados. Realice los testbenches correspondientes y verifique la equivalencia entre las funciones originales y las simplificadas. Impacte los circuitos obtenidos en la FPGA.

- a. $f = A(\overline{A} + AB);$
- b. $g = BC + \overline{BC};$
- c. $h = AB + A(B + C) + B(B + C);$
- d. $l = (A + \overline{A})(AB + AB\overline{C}).$

6. Convierta las siguientes expresiones a la forma SOP (Sum Of Products) y a la forma POS (Products of Sums). Grafique los circuitos lógicos correspondientes y luego realice su implementación en Verilog. Verifique su funcionamiento mediante testbenches e impacte los circuitos en la FPGA.

- a. $f = (A + \overline{BC})C;$
- b. $g = \overline{ABC} + \overline{A}\overline{B} + AB\overline{CD};$
- c. $h = AB + CD(\overline{AB} + CD);$

7. Escriba las ecuaciones lógicas de los circuitos que se presentan a continuación y su tabla de verdad correspondiente. De ser posible, reduzca la cantidad de compuertas utilizadas. Implemente el circuito original y el simplificado. Implemente los circuitos resultantes en Verilog, realice los testbenches y compare los resultados obtenidos. Impacte el circuito resultante en la FPGA.



8. Dadas las siguientes ecuaciones, minimice mediante método de Quine McCluskey.

a. $f(A,B,C,D) = \Sigma(0,2,3,4,6,7,9,11,13,15)$

b. $f(A,B,C,D) = \Sigma(2,6,7,8,9,13,15)$

c. $f(A,B,C,D) = \Sigma(1,3,6,8,10,11) + d(0,2,4,12,13)$

9. Escriba la tabla de verdad de las siguientes expresiones y minimizarlas utilizando mapas de Karnaugh. Implemente los circuitos en Verilog y realice las simulaciones necesarias para verificar la equivalencia entre las expresiones obtenidas y las originales. Impacte los circuitos en la FPGA.

a. $f = \overline{A}\overline{B}C + \overline{A}B\overline{C} + ABC$;

b. $f = (A + \overline{B})(A + \overline{B} + \overline{C})(B + C + \overline{D})(\overline{A} + B + \overline{C} + D)$;

c. $f = (A + B + C)(\overline{A} + \overline{B} + \overline{C})(A + \overline{B} + C)$;

d. $f = \overline{A}\overline{B}\overline{C}\overline{D}\overline{E} + \overline{A}\overline{B}\overline{C}DE + \overline{A}\overline{B}CDE + \overline{A}B\overline{C}\overline{D}\overline{E} + \overline{A}B\overline{C}DE$
 $+ \overline{A}BCDE + \overline{A}\overline{B}\overline{C}\overline{D}\overline{E} + \overline{A}\overline{B}CDE + \overline{A}B\overline{C}\overline{D}\overline{E} + \overline{A}B\overline{C}DE + \overline{A}BCDE$.

10. Un circuito tiene cinco entradas y tres salidas. Las entradas $A(4:0)$ representan un número del 0 al 31. La salida P debe ser VERDAD si el número ingresado es primo, La salida D debe ser VERDAD si el número es divisible por 2 y la salida T debe ser VERDAD si el número es divisible por 3. Obtenga las ecuaciones booleanas simplificadas para cada salida, grafique e implemente el circuito en Verilog. Compruebe el correcto funcionamiento del circuito diseñado mediante testbench. Impacte el circuito obtenido en la FPGA.