

# 面向增量型 Sigma-Delta ADC 的低噪声数字 抽取滤波器研究与设计



## 重庆大学硕士学位论文

(学术学位)

学生姓名：马琦赞

指导教师：唐 枋 教授

学科门类：工 学

学科名称：电子科学与技术

研究方向：集成电路设计

答辩委员会主席：涂亚庆 教授

授位时间：2022 年 6 月

# **Research and Design of Low-Noise Digital Decimation Filter for Incremental Sigma-Delta ADC**



A Thesis Submitted to Chongqing University  
In Partial fulfillment of the requirement for the  
Master's Degree of Engineering

**By**

**Qiyun Ma**

**Supervised by Prof.Fang Tang**

**June, 2022**

## 摘 要

随着生物信号检测与处理技术和神经医学等方面学科的飞速发展,对微弱信号高精度处理的需求与日俱增,而增量型 Sigma-Delta ADC (Analog-to-Digital Converter, ADC) 无需精确的模拟元件匹配就能实现高分辨率,因此得到了广泛的应用,但是增量型 Sigma-Delta ADC 的精度、面积和功耗在很大程度上取决于数字抽取滤波器的结构。本文针对以上问题,提出了一种面向增量型 Sigma-Delta ADC 的低噪声数字抽取滤波器。论文的主要工作可概述如下:

① 针对增量型 Sigma-Delta 调制器的量化噪声问题,本文研究了一款基于最优解码理论的非线性数字滤波器,该方案通过增量型 Sigma-Delta 调制器输出比特流的幅度和模式信息,实现更为准确的输入估计,相比于线性数字滤波器,该方案拥有更加优越的量化噪声处理能力,在高度调制的系统中有着更为亮眼的性能表现。

② 针对最优数字滤波器抗热噪声干扰能力差的问题,本文设计了一款增量型低噪声数字滤波器,采用相对较大的量化周期下导出的界限作为输入估计,相比于最优滤波器,该方案最大限度地保留了最优数字滤波器的处理量化噪声能力,同时还提供了更好的热噪声平均,以增强数字滤波器的抗热噪声干扰的能力。

③ 针对增量型低噪声数字滤波器设计引起的高功耗的问题,本文提出了无符号设计和乘法设计,该方案分别通过无符号数替代有符号数,乘法器替代除法器,实现了硬件资源的节约,降低了功耗,使得滤波器算法更加易于数字实现。

本文设计了一种面向一位二阶增量型级联积分器反馈 (Cascaded Integrator Feed-Back, CIFB) Sigma-Delta 调制器的低噪声数字抽取滤波器,通过数模混合电路仿真,当过采样率 (Oversampling Ratio, OSR) 为150时,与线性滤波器  $\text{CoI}^2$  和  $\text{sinc}^3$  相比,该数字滤波器的信号与量化噪声比 (Signal-to-Quantization Noise Ratio, SQNR) 分别提高了6.1 dB和10.3 dB。同时,该增量型 Sigma-Delta ADC 的积分非线性 (Integral Nonlinearity, INL) 为0.25 LSB,表明所提出的滤波器能使系统保持高线性度。

**关键词:** 增量型 Sigma-Delta ADC; 调制器; 数字抽取滤波器; 低噪声;

## Abstract

With the rapid development of biological signal detection and processing technology and neuromedicine, the demand for high-precision processing of weak signals is increasing day by day. Incremental Sigma-Delta ADC can achieve high resolution without precise analog component matching, so It is widely used, but the accuracy, area, and power consumption of incremental sigma-delta ADCs depend to a large extent on the structure of the digital decimation filter. Aiming at the above problems, a low-noise digital decimation filter for incremental Sigma-Delta ADC is proposed in this thesis. The main work of the thesis can be summarized as follows:

① For the quantization noise problem of the incremental Sigma-Delta modulator, the nonlinear digital filter based on the optimal decoding theory is researched in this thesis. This scheme achieves more accurate input estimation through the amplitude and mode information of the output bit stream of the incremental Sigma-Delta modulator. Compared with linear digital filters, this scheme has better quantization noise processing capability, and has more dazzling performance in highly modulated systems.

② In view of the problem that the optimal digital filter has poor resistance to thermal noise interference, the incremental low-noise digital filter is designed in this thesis. The bounds derived under a relatively large quantization period are used as input estimates. This scheme retains the quantization noise processing capability of the optimal digital filter to the greatest extent, and also provides better thermal noise averaging to enhance the digital filter's ability to resist thermal noise interference.

③ Aiming at the problem of high power consumption caused by the design of incremental low-noise digital filters, the unsigned design and a multiplication design is proposed in this thesis. This scheme replaces signed numbers with unsigned numbers, and multipliers instead of dividers. The saving of resources reduces power consumption and makes the filter algorithm easier to implement digitally.

A low-noise digital decimation filter for a one-bit second-order incremental cascaded integrator feedback Sigma-Delta modulator is designed in this thesis. Through simulated by a digital-analog hybrid circuit, when the oversampling ratio is 150, compared with the linear filters  $\text{CoI}^2$  and  $\text{sinc}^3$ , the signal-to-quantization noise ratio of this digital filter is improved by 6.1 dB and 10.3 dB, respectively. Meanwhile, the

Integral Nonlinearity of this incremental Sigma-Delta ADC is 0.25 LSB, indicating that the proposed filter can keep the system high linearity.

**Keywords:** Incremental Sigma-Delta ADC; Modulator; Digital decimation filter; Low-noise;

## 目 录

中文摘要.....	I
英文摘要.....	III
1 绪 论.....	1
1.1 研究背景和意义.....	1
1.2 国内外研究现状.....	2
1.3 本文研究内容和组织结构.....	3
2 增量型 Sigma-Delta ADC 的理论基础.....	5
2.1 增量型 Sigma-Delta 调制器的基本原理.....	5
2.1.1 过采样.....	5
2.1.2 量化噪声.....	7
2.1.3 噪声整形.....	9
2.2 数字抽取滤波器.....	11
2.2.1 信号抽取.....	11
2.2.2 线性滤波器.....	13
2.2.3 非线性滤波器.....	14
2.3 ADC 性能指标.....	16
2.3.1 静态指标.....	16
2.3.2 动态指标.....	17
2.4 本章小结.....	19
3 增量型低噪声数字抽取滤波器的架构和原理.....	21
3.1 增量型 Sigma-Delta ADC 的量化理论.....	22
3.2 一阶增量型 Sigma-Delta 调制器的数字滤波器建模和设计原理.....	22
3.2.1 一阶增量型 Sigma-Delta 调制器的数学模型.....	22
3.2.2 一阶增量型低噪声数字滤波器设计原理.....	26
3.2.3 一阶增量型低噪声数字滤波器性能分析.....	34
3.3 二阶增量型 Sigma-Delta 调制器的数字滤波器建模和设计原理.....	38
3.3.1 二阶增量型 Sigma-Delta 调制器的数学模型.....	38
3.3.2 二阶增量型低噪声数字滤波器设计原理.....	41
3.3.3 二阶增量型低噪声数字滤波器性能分析.....	47
3.4 非理想因素的建模与分析.....	49
3.5 本章小结.....	51

4 增量型低噪声数字抽取滤波器的设计 .....	53
4.1 数字抽取滤波器的无符号设计 .....	53
4.2 数字抽取滤波器的乘法设计 .....	54
4.3 数字抽取滤波器的算法设计 .....	55
4.4 数字抽取滤波器的电路级设计 .....	57
4.5 本章小结 .....	60
5 增量型低噪声数字抽取滤波器功能仿真和性能分析 .....	61
5.1 功能仿真 .....	61
5.2 性能分析 .....	63
5.3 本章小结 .....	68
6 总结与展望 .....	69
6.1 工作总结 .....	69
6.2 未来工作展望 .....	69
参考文献 .....	71
附    录 .....	75
A. 攻读硕士学位期间发表论文 .....	75
B. 学位论文数据集 .....	75
致    谢 .....	77

## 1 绪 论

### 1.1 研究背景和意义

随着生物信号检测与处理技术和神经医学等方面学科的飞速发展,与其紧密相关的便携式生物医疗检测设备也愈发重要,例如,便携式心电图、脑电图以及血糖仪等逐渐成为未来医疗的关键设备。据调查,不良生活方式导致的慢性非传染性疾病已经成为全球疾病致死的首要原因,总致死率已超过 88%,总医疗花费占总疾病负担已超过 70%以上。党的十九大作出了健康中国 2030 重大战略部署,坚持预防为主、防治结合,以低成本取得较高健康绩效,促进以治病为中心向以健康为中心转变,提高人民健康水平<sup>[1]</sup>。因此,便携式生物医疗检测设备的地位显得越来越重要。而增量型 Sigma-Delta ADC 作为其关键模块,往往能决定便携式生物医疗检测设备所能达到的性能指标。增量型 Sigma-Delta ADC 有精度高、面积小、成本低等优点。近些年来,通信领域与生物医学领域技术向结合,使 Sigma-Delta ADC 的应用空间更加广泛。

当前,基于增量型 Sigma-Delta ADC 芯片的便携式生物医疗检测设备逐渐了成为一种高效的预防疾病的手段,获得了众多的关注。同时,由于便携式生物医疗检测设备的关键芯片大都被国外所垄断,所以这对于芯片国产化而言,也将会是一个较大的挑战与机遇。同时,增量型 Sigma-Delta ADC 的研究有利于预防慢性非传染性疾病,减少和控制慢性非传染性疾病的发生,对于提高慢性病防控水平与能力奠定了坚实的基础。随着国内高校和企业的研究发展,增量型 Sigma-Delta ADC 将会拥有更广阔的前景,例如应用在图像处理以及音频等方面。由于 Sigma-Delta ADC 采用了过采样技术,大大减小了带内噪声。其噪声整形技术,将量化噪声调制到高频处,方便后级的滤波器滤除量化噪声,而数字抽取滤波器则是有效滤除这大部分量化噪声的关键结构,在 Sigma-Delta ADC 中起着至关重要的作用<sup>[2]</sup>。如今 Sigma-Delta ADC 中,数字抽取滤波器占据了整个芯片大部分的面积。因此,如何降低其硬件开销也是实现 Sigma-Delta ADC 的关键<sup>[3]</sup>。在设计滤波器的过程中,对于滤波器实现难度也同样是需要考虑的问题。基于以上几方面,对于数字抽取滤波器的设计,设计的好坏直接决定了面积的大小,滤波器对于量化噪声的处理能力,以及实现的难易程度。因此,对于 Sigma-Delta ADC 中数字抽取滤波器的研究与设计是非常必要的。



## 1.2 国内外研究现状

在上个世纪 60 年代, Cutler 首次提出了 Sigma-Delta ADC 的概念。随后, Inose 和 Yasuda 在 1962 年发表文献<sup>[4]</sup>后, Sigma-Delta ADC 在之后的几十年里得到了指数级的发展。在 1982 年左右, 离散时间 Sigma-Delta ADC 逐渐成为了过采样 ADC 中的主流架构。直到 1985 年, 双积分调制器的提出, 使得 Sigma-Delta ADC 得到了进一步的发展, 应用领域获得了充分的扩展, 从音频到测量, 最后发展到高带宽通信领域, 同时对于其理论的研究也更加深入<sup>[5]</sup>。在 1988 年, Jacque Robert 等分别提出了一阶单比特量化和二阶单比特量化的增量型 Sigma-Delta ADC<sup>[6,7]</sup>。尽管结构比较简单, 但实现了较高精度。此外, 为了进一步减小增量型 Sigma-Delta ADC 的功耗和速度, 对于数字抽取滤波器的设计也提出了一些要求。在 1990 年, S. Hein 等人提出了一种非线性最优解码算法来实现数字抽取滤波器<sup>[8]</sup>, 并在 1993 年所发表的文献<sup>[9]</sup>中作了进一步的阐述。对于给定的过采样率 (OSR), 该算法在理论上可以获得最小的均方误差 (MSE) 和最小的峰值量化误差。

国外半导体技术起步较早, 芯片的实现方式和技术工艺都较为成熟。近年来, 在学术界, 许多国外高校发表了高水平论文, 提出了许多数字抽取滤波器的新型结构。在 2016 年, Dadouche 等人提出了一种引入片上的 ROM 存储系数由 CIC 滤波器、半带滤波器和 FIR 修正滤波器构成的低面积以及低能耗的数字滤波器, 在 5V 的电源电压下, 减小硬件资源开销的同时, 功耗仅有 18.8 mW<sup>[10]</sup>。在 2017 年, E. Keerthi 等人提出了一种用于 CIC 滤波器通带补偿的附加等波纹 FIR 滤波器的设计和实现, 以补偿三阶 sinc 滤波器的下垂响应。由于该设计不使用乘法器单元, 并且它可以在任何简单的微控制器中实现, 从而使数字抽取滤波器结构简单, 而且实现了面积和功耗的节省<sup>[11]</sup>。在 2020 年, A. P. Chavan 等人提出一种 90 nm 工艺下的由 5 阶可变抽取率的级联积分梳状 (CIC) 滤波器和两个级联半带有限脉冲响应 (FIR) 滤波器构成的 5 阶数字抽取滤波器, 与传统的 CIC 滤波器相比, 该 CIC 滤波器采用了非递归算法, 因此其采样速率提高了三倍<sup>[12]</sup>。同样地, 在工业界, 国外许多半导体公司 (如 TI、ADI 等) 在 Sigma-Delta ADC 上具有绝对的占有率, 同时也推动了对于 Sigma-Delta ADC 中数字滤波器的持续研究。例如, TI 公司推出的较为成熟的 32 位的 Sigma-Delta ADC, 数字滤波器采用 sinc<sup>2</sup> 结构, 第一级为可编程抽取倍率滤波器, 第二级为可变阶数滤波器, 从而满足不同需求的应用<sup>[13]</sup>。近年来, 国外 Sigma-Delta ADC 的代表产品也发展很快, 如表 1.1 所示。

对国内而言, 尽管我国的芯片产业起步较晚, 发展进程缓慢, 但是在步入 21 世纪到现在, 在国家对于集成电路行业的大力扶持下, 国内高校和工业界对于数字抽取滤波器的研究与发展也逐渐向国际靠拢。在 2018 年, Fang Tang 等人提出了一种全定制的前置逐位反转 (BWI) 的两级积分器级联 (CoI<sup>2</sup>) 的数字抽取滤波

器, 与传统的  $\text{CoI}^2$  滤波器相比, 可实现芯片面积和晶体管数量的减少, 而且在 1.2 V 电源电压下, 数字滤波器的总功耗仅为  $4.73 \mu\text{W}$ , 远远低于其他先进的数字抽取滤波器<sup>[14]</sup>。同一年, Qifeng Huang 等人提出了一种由级联积分梳状(CIC)滤波器、补偿滤波器和半带滤波器组成的数字抽取滤波器, 其数字抽取滤波器带宽为 24 KHz, 输入采样频率为 12.3 MHz, 通带纹波系数为  $\pm 0.01 \text{ dB}$ , 阻带增益衰减 120 dB, 其行为仿真表明, 数字滤波器信噪比 SNR(Signal-to-Noise Rate, SNR)为 100.6 dB, 精度为 16 bit。在 TSMC 0.35- $\mu\text{m}$  CMOS 工艺下实现, Sigma-Delta ADC 的整体动态范围为 97.4 dB<sup>[15]</sup>。在 2021 年, Peng Yin 等人所提出的数字抽取滤波器结构是将逐位反转(BWI)单元的位置移动到纹波计数器的前面, 在不改变数字抽取滤波器的整体逻辑功能的情况下, BWI 单元中的反相器和多路复用器的数量显着减少。与现有技术相比, 所提出的抽取滤波器拓扑的晶体管使用量显着减少到仅 292 个, 在 40-nm CMOS 工艺下, 在 50 MHz 时钟频率下, 功耗约为  $0.96 \mu\text{W}$ <sup>[16]</sup>。

表 1.1 国外 Sigma-Delta ADC 的代表产品

Table 1.1 Representative products of foreign Sigma-Delta ADC

厂商	型号	分辨率	采样频率	应用领域
ADI	AD9684	14	520 MHz	通信、雷达
TI	ADS8381	18	580 KHz	医疗设备
TI	ADS1625	18	1.25 MHz	数据采集
ADI	AD7192	24	520 MHz	温度传感器
ADI	AD7176-2	24	250 KHz	PLC/DCS 模块
TI	ADS1256	24	30 KHz	工业控制
TI	ADS1285	32	4 KHz	地震监测

从近几年国内外的研究中可以看出, 数字抽取滤波器的设计主要朝着三个方向发展: 对量化噪声的处理能力以及面积功耗。其中, 面积和功耗的开销是衡量集成电路产品好坏的两个重要因素。对于数字抽取滤波器而言, 研究的热点主要是如何减小 Sigma-Delta 调制器所引起的量化噪声的影响, 如何减小数字资源开销, 以及如何通过选择或者设计最为合适的抽取滤波器来减少整个 Sigma-Delta ADC 的功耗。

### 1.3 本文研究内容和组织结构

本文立足于 Sigma-Delta ADC 中数字抽取滤波器的研究现状和发展趋势, 重点研究低噪声数字抽取滤波器的关键技术, 通过理论分析、数学建模和仿真验证三

个环节，完成数字抽取滤波器的完整设计开发流程。由于数字抽取滤波器占据了 Sigma-Delta ADC 绝大部分的面积，因此可以通过降低其硬件开销，以节省 Sigma-Delta ADC 的芯片面积。为降低 Sigma-Delta ADC 整体功耗以及量化噪声，本文从数字抽取滤波器方面进行理论分析和架构创新，大幅降低 ADC 整体功耗和芯片面积。本论文主要工作与结构安排如下：

第 1 章以当前慢性非传染性疾病的严峻形势为背景，描述了便携式生物医疗检测设备在预防慢性非传染性疾病方面的重要性，然后简要介绍了其关键模块 Sigma-Delta ADC，主要调研 Sigma-Delta ADC 中的核心模块数字抽取滤波器在学术界和工业界的国内外发展现状，并分析数字抽取滤波器的研究现状。本章还总结了论文的工作内容以及结构安排。

第 2 章首先介绍了增量型 Sigma-Delta 调制器的基本原理，包括过采样和噪声整形两大核心技术。然后，介绍数字抽取滤波器对信号抽取的工作原理，再分析各种常用的线性和非线性的数字抽取滤波器，最后总结 ADC 的各项性能指标。

第 3 章详细阐述了一阶和二阶 Sigma-Delta 调制器的基本原理和电路结构，推导了调制器中积分器输出所满足离散时间差分方程。随后，根据其数学分析和量化理论的最优解码，同时考虑到热噪声性能和可实现性，提出了一种增量型低噪声数字滤波器，详细介绍了该滤波器的实现方法和设计要点。最后，通过数学建模和理论分析的方式，讨论增量型 Sigma-Delta 调制器的非理想特性对所提出的数字滤波器的影响。

第 4 章首先介绍了对增量型低噪声数字滤波器的无符号设计和乘法设计，从而减少了该滤波器的数字资源，降低了功耗和面积。然后，介绍一种更加易于 Verilog 实现的低噪声数字滤波器的算法。接着，对该滤波器的实用性进行了讨论。最后，描述了面向一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的低噪声数字滤波器进行 RTL 级电路设计，其硬件资源使用情况，展现了其优化设计能够有效地减少滤波器的面积和功耗。

第 5 章详细阐述了增量型低噪声数字滤波器的功能仿真和性能仿真平台，然后，验证其功能的正确性，并且通过性能仿真结果，总结各项性能指标，然后与其他最佳线性数字抽取滤波器进行性能对比，进而显示本论文所提出的数字抽取滤波器在性能上的优越性。

第 6 章对本论文的设计进行总结，并针对本文研究的不足之处，提出下一步的工作内容和方向

## 2 增量型 Sigma-Delta ADC 的理论基础

本章将详细介绍增量型 Sigma-Delta ADC 电路的关键技术，通过过采样和噪声整形技术，达到降低信号带宽内的量化噪声的目标，从而实现了高精度转换。数字抽取滤波器由数字滤波器和信号抽取模块构成，因此需要对信号抽取有一定的了解，同时也将会介绍几种不同的线性和非线性滤波器。由于模数转换器在现代电子系统中扮演着越来越重要的角色，整个系统的性能取决于 ADC 的性能，因此了解 Sigma-Delta ADC 的工作原理和性能指标显得十分重要。

### 2.1 增量型 Sigma-Delta 调制器的基本原理

#### 2.1.1 过采样

ADC 的本质是实现输入信号在幅度和时域上的离散化，因此 ADC 的转换过程可以理解为是对输入信号进行采样、量化和编码的过程。如图 2.1 所示，ADC 由前置混叠滤波器、采样保持电路和量化器组成<sup>[17]</sup>。与低通滤波器相似，抗混叠滤波器的功能是滤除输入信号中包含的高频成分。在信号采样过程中，避免了高频成分混叠到信号频带中，引起的信号失真，从而严重影响 ADC 性能。采样保持电路以采样频率  $f_s$  对输入信号进行采样，则采样周期为  $1/f_s$ ，通过保持后实现了时域上的离散化。同时，幅度上的离散化是对信号进行量化来实现的，将幅度上连续的输入信号量化成有限幅度的输出信号。在量化过程中，理想的量化器也会将量化误差引入到输出信号中，因此减小该量化误差是提升 ADC 性能的关键。



图 2.1 数模转换器工作原理

Fig.2.1 Principle of Digital-to-Analog Converter

过采样技术是增量型 Sigma-Delta 调制器设计的关键技术之一，过采样率  $OSR$  定义为<sup>[18]</sup>:

$$OSR = \frac{f_s}{2f_B} = \frac{f_s}{f_N} \quad (2.1)$$

其中,  $f_N$  和  $f_B$  分别为 Nyquist 频率和信号带宽频率, 而  $f_s$  为信号采样频率。虽然与 Nyquist ADC 相比, Sigma-Delta ADC 在转换速度上有所欠缺, 但是由于采用了过采样技术, 其在抗混叠滤波上具有一定优势。采样过程中, 在  $[f_B, f_s - f_B]$  频率范围内没有任何频率分量可以混叠到  $[0, f_B]$  中。此外, 由于在整个频域中, 总的量化噪声是固定的, 且与采样频率无关, 那么通过采用过采样技术, 可以使信号频带中的量化噪声在整个采样带宽中均匀地分布, 从而可以降低信号频带中的量化噪声, 进而提高调制器的性能。当过采样率  $OSR$  分别为 1 和 4 时, 量化噪声的频谱图, 如下图 2.2 所示。

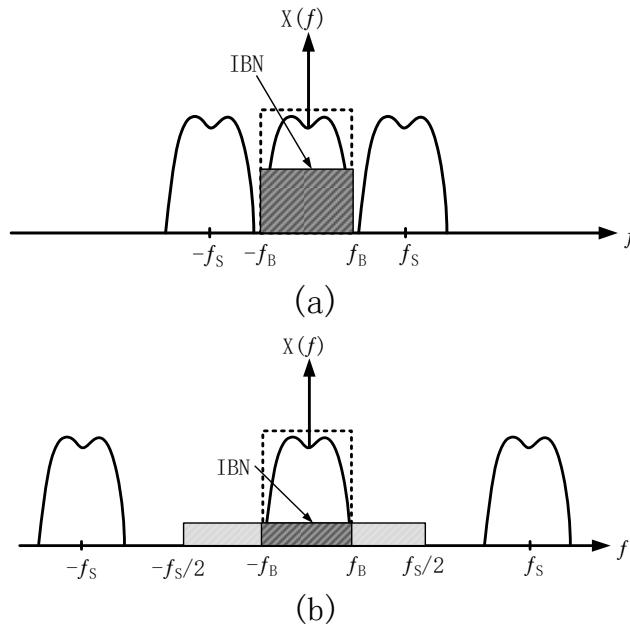


图 2.2 过采样量化噪声频谱 (a)  $OSR=1$  (b)  $OSR=4$

Fig.2.2 Oversampling quantization noise spectrum (a)  $OSR=1$  (b)  $OSR=4$

带内噪声 (In-Band Noise, IBN) 会随着过采样率  $OSR$  的增加而降低, 再通过后级的数字抽取滤波器, 将信号的带外噪声滤除, 从而减小了带内噪声。而等效增加的信噪比的峰值, 由下式表示:

$$SNR_{peak} = 6.02N + 10\log_{10} OSR + 1.76 \quad (2.2)$$

其中调制器的有效位数用  $N$  来表示, 随着过采样率  $OSR$  增加一倍, 信噪比  $SNR_{peak}$  增加了 3 dB, 从而有效位数提高了 0.5 位<sup>[19]</sup>。尽管随着过采样率的增加, 调制器精度也会相应的提高, 但是提高的程度却十分有限, 而且还会带来调制器功耗的增加以及速度的下降。

### 2.1.2 量化噪声

增量型 Sigma-Delta ADC 中量化器完成了对输入信号幅度的离散化, 同时为了实现较高的量化精度, 在实际设计中使用较高量化位数。当一个量化器的量化输出为  $2^N$  位, 那么量化器所能达到的精度就是  $N$ 。如果输入信号满量程为  $V_{FS}$ , 且量化范围为  $[-V_{FS}, +V_{FS}]$ , 当量化结果的间距都是相等且均匀时, 则量化步长  $\Delta$  的计算方式可以表示为:

$$\Delta = \frac{V_{FS}}{2^N - 1} \quad (2.3)$$

图 2.3 展示了量化曲线和量化噪声, 从图中可以看出在量化过程中, 输入和输出信号之间存在一定的误差, 将这种误差称为量化噪声<sup>[20]</sup>。只要输入量程范围内的信号, 那么量化误差是处在  $[-\Delta/2, +\Delta/2]$  之间。然而, 当输入超出量程范围内的信号时, 那么量化误差将会超出  $[-\Delta/2, +\Delta/2]$  这个范围, 此时量化器出现了过载饱和<sup>[21]</sup>。

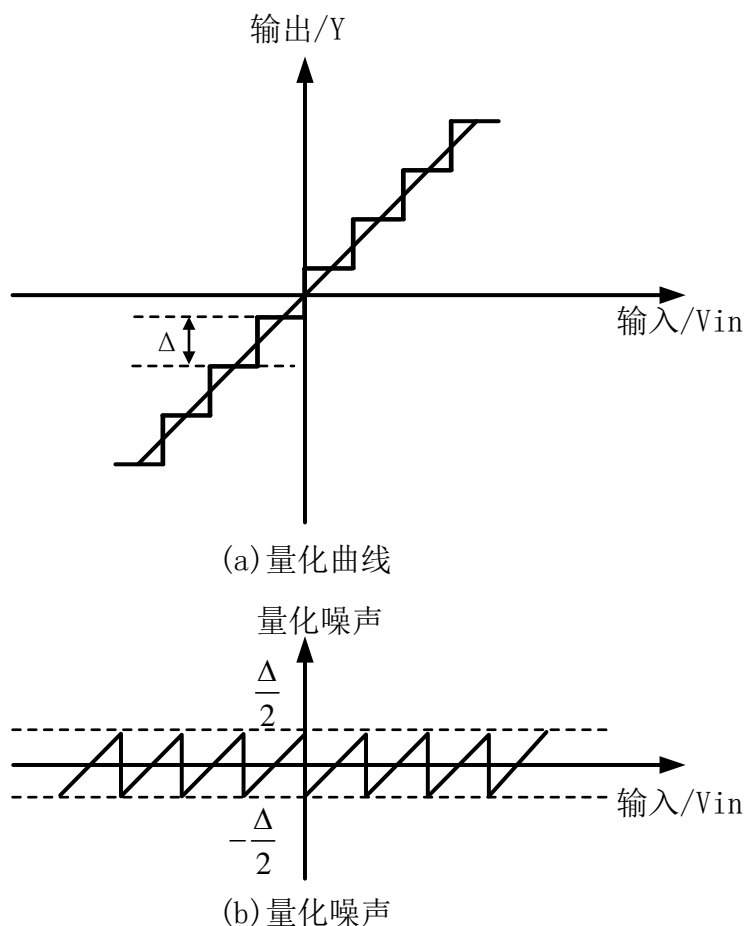


图 2.3 量化曲线和量化噪声

Fig.2.3 Quantization curve and noise

由于每次量化都是相互独立的，那么只要量化器不过载饱和，每次量化的结果都会随机出现在 $[-\Delta/2, +\Delta/2]$ 范围内。因此，可以将量化误差当作一个独立于输入的变量，并且均匀分布在 $[-\Delta/2, +\Delta/2]$ 的范围内。那么量化误差可以近似白噪声处理，量化噪声的概率密度函数均匀分布在 $[-\Delta/2, +\Delta/2]$ 的范围内，则量化噪声的功率谱密度也均匀分布在 $[-f_s/2, +f_s/2]$ 范围内。量化噪声的概率密度函数和功率谱密度函数的分布情况，如图 2.4 所示。

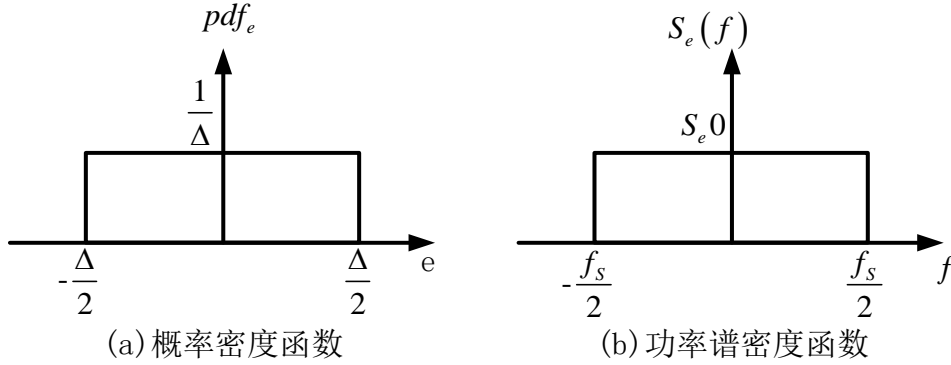


图 2.4 量化误差 (a) 概率密度函数 (b) 功率谱密度函数

Fig.2.4 Quantization error (a) Probability density function (b) Power spectral density function

虽然近似白噪声的处理并不能完全等效于实际情况，但是该处理方式大大简化了对于 Sigma-Delta ADC 的分析，而且从几十年近似处理的结果来看，这个假设是成立的，则总量化噪声功率可以表示为：

$$\sigma_e^2 = \int_{-\infty}^{\infty} e^2 \cdot pdf_e de = \frac{\Delta^2}{12} \quad (2.4)$$

由公式 2.4 可以看出，总量化噪声功率只取决于量化器的精度，而与采样频率无关。因此，当量化器的位数增加时，量化步长  $\Delta$  减小，调制器总量化噪声降低，可以通过这种方式可提高调制器信噪比。假设调制器的采样频率为  $f_s$ ，量化噪声功率会被折叠到 $[-f_s/2, +f_s/2]$ 的范围内，于是在白噪声处理后，量化噪声的功率谱密度可以表示为：

$$S_e(f) = \frac{\Delta^2}{12} \frac{1}{f_s} \quad (2.5)$$

根据过采样的理论，当过采样率为  $OSR$  的时候，在 $[-f_B/2, +f_B/2]$ 范围内量化噪声功率谱密度变为原来的  $1/OSR$ ，则此时带内量化噪声功率，变为：

$$\sigma_e^2|_{OSR} = \int_{-f_B}^{f_B} S_e(f) df = \frac{\Delta^2}{12} \frac{2f_B}{f_s} = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (2.6)$$

### 2.1.3 噪声整形

通过对过采样技术的分析,该技术将信号带内的量化噪声由 $[-f_B/2, +f_B/2]$ 扩宽至 $[-f_s/2, +f_s/2]$ 频带,使得带内的量化噪声大幅减小。接下来,将介绍的噪声整形技术,能将带内的量化噪声向高频部分搬移,从而更进一步地降低量化噪声。调制器的噪声线性化模型,如图 2.5 所示:

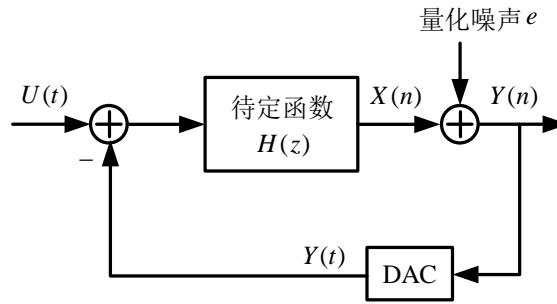


图 2.5 一阶调制器量化噪声线性模型

Fig.2.5 Linear model of first-order modulator quantization noise

在该噪声线性化模型中,可以将量化噪声  $e$  和输入信号  $U(t)$  当作两个独立源,那么路径中有两条信号链,则可以分别推导出信号传递函数 (Signal Transfer Function, STF) 和噪声传递函数 (Noise Transfer Function, NTF)。对于 Sigma-Delta 调制器而言,为了信号的传递,信号传递函数是一个低通滤波函数,然而,为了能将带内的低频量化噪声向高频部分搬移,噪声传递函数是一个高通滤波函数。此时调制器的系统函数  $Y(z)$  可表示为:

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) \quad (2.7)$$

信号传递函数是从输入信号  $U(t)$  到  $Y(n)$  的传递函数,而噪声传递函数是从量化噪声  $e$  到  $Y(n)$  的传递函数,那么信号传递函数可以表示为:

$$STF(z) = \frac{H(z)}{1 + H(z)} \quad (2.8)$$

而噪声传递函数可以表示为:

$$NTF(z) = \frac{1}{1 + H(z)} \quad (2.9)$$

其中,  $H(z)$  表示为调制器的环路函数。同时,为了满足调制器设计的要求,其环路函数  $H(z)$  有着非常大的低频增益,此时,噪声传递函数趋近于 0,信号传递函数趋近于 1。例如,在一阶一位量化器的 Sigma-Delta 调制器中,其环路滤波函数  $H(z)$  表示为:



$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (2.10)$$

此时,  $STF(z)$ 变为:

$$STF(z) = \frac{\frac{z^{-1}}{1 - z^{-1}}}{1 + \frac{z^{-1}}{1 - z^{-1}}} = z^{-1} \quad (2.11)$$

而  $NTF(z)$ 变为:

$$NTF(z) = \frac{1}{1 + \frac{z^{-1}}{1 - z^{-1}}} = 1 - z^{-1} \quad (2.12)$$

从以上两个公式可以看出, 一阶调制器的  $STF(z)$ 信号传递函数相当于一个时间延迟, 而噪声传递函数  $NTF(z)$ 则是对在低频下的量化噪声进行了整形, 接下来, 详细地分析噪声传递函数  $NTF(z)$ , 由于  $z = e^{(j2\pi f/f_s)}$ , 则在进行噪声整形后的量化噪声功率谱密度可表示为:

$$\begin{aligned} S_Q(f) &= S_e(f) \cdot |NTF(f)|^2 \\ &= S_e(f) \cdot |1 - \exp(-j2\pi \frac{f}{f_s})|^2 = 4S_e(f) \cdot |\sin^2(\pi \frac{f}{f_s})| \end{aligned} \quad (2.13)$$

由于  $OSR \gg 1$ , 因此  $f/f_s \approx 0$ ,  $\sin(\pi f/f_s) \approx \pi f/f_s$ , 那么经过噪声整形后, 带内的量化噪声  $IBN_1$  可表示为:

$$IBN_1 \approx \int_{-f_B}^{f_B} 4\pi^2 \frac{\Delta^2}{12f_s} \left( \frac{f}{f_s} \right)^2 df = \frac{\Delta^2}{12} \frac{\pi^2}{3} \frac{1}{OSR^3} \quad (2.14)$$

同样地, 等效增加的峰值信噪比  $SNR_{peak}$  可以表示为:

$$SNR_{peak} = 6.02N + 10\log_{10}OSR^3 + 1.76 - 5.17 \quad (2.15)$$

因此在采用噪声整形技术后, 随着过采样率增加一倍, 则信噪比  $SNR_{peak}$  增加了 9 dB, 从而有效位数提高了 1.5 位<sup>[19]</sup>。从上述的公式得知, 在经过噪声整形后, 将原本信号带宽内的量化噪声搬移到了更高的频段, 从而进一步地降低了带内的量化噪声。图 2.6 展示了噪声整形的示意图。尽管为了更好地实现噪声整形效果, 可以采用更高阶的调制器, 但是会影响到系统的稳定性, 因此在设计时要选择合适的阶数。

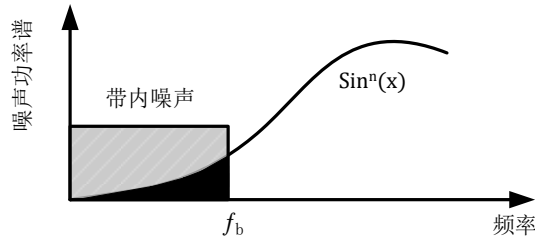


图 2.6 量化噪声整形示意图

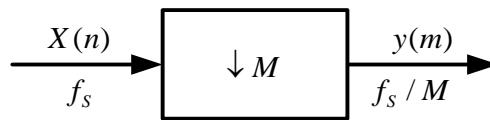
Fig.2.6 Schematic diagram of quantization noise shaping

## 2.2 数字抽取滤波器

由于调制器应用噪声整形技术，将带内的量化噪声向高频部分搬移，这时需要后续电路滤除这部分噪声。同时，调制器采用过采样技术，其输出比特流为更高频率的数据输出，则需要降采样到奈奎斯特频率。而数字抽取滤波器主要完成滤波以及降采样这两个功能，使得 Sigma-Delta ADC 达到较高的分辨率。在硬件实现过程中，主要通过加法器、寄存器和乘法器等数字电路来实现数字抽取滤波器。而数字抽取滤波器的实现方式可以分为线性滤波器和非线性滤波器这两种。下面将具体介绍信号抽取的基本原理以及不同滤波器的特点。

### 2.2.1 信号抽取

在信号采样过程中，数据速率的转换方式可以分位两种，其中使采样率降低的转换称为抽取，使采样率升高的转换称为内插<sup>[23]</sup>。图 2.7 展示了  $M$  倍整数抽取的系统框图， $M$  表示为抽取因子，每间隔  $(M-1)$  个数据抽取一个数据，再依次排序，便能完成信号的整数倍抽取。

图 2.7  $M$  倍整数抽取示意图Fig.2.7 Schematic diagram of  $M$  times integer decimation

假设在时域上的输入信号为  $x(t)$ ，其离散序列  $x(n)$  是以采样频率  $f_s$  对  $x(t)$  采样获得，在  $M$  倍抽取后的序列  $y(m)$  可表示为：

$$y[m] = x[Mn] \quad (2.16)$$

由于序列  $x(n)$  的采样周期  $T_s$  为  $1/f_s$ ，则在  $M$  倍抽取后的序列  $y(m)$  的采样周期  $T_M$  可表示为：

$$T_M = MT_s = \frac{M}{f_s} \quad (2.17)$$

实际上, 序列  $x(n)$  与周期为  $M$  的冲激序列  $\delta_M(n)$  相乘的过程可以看做实现  $M$  倍整数抽取的过程<sup>[24]</sup>。由于两个信号在时序上相乘, 可等效为频域上卷积, 那么可以通过计算在频域上序列  $x(n)$  和冲激序列  $\delta_M(n)$  的频域函数的卷积, 以求得  $M$  倍抽取后的序列  $y(m)$  的频域函数  $Y(e^{j\omega})$  为:

$$\begin{aligned} Y(e^{j\omega}) &= \frac{1}{2\pi} \int_0^{2\pi} \frac{2\pi}{M} \sum_{k=0}^{M-1} \delta\left(\theta - k \frac{2\pi}{M}\right) X[e^{j(\omega-\theta)}] d\theta \\ &= \frac{1}{M} \sum_{k=0}^{M-1} X[e^{j(\omega-2\pi k/M)}] \end{aligned} \quad (2.18)$$

从上式可以分析得出, 通过对输入序列的频域函数  $X(e^{j\omega})$  的周期延拓, 便可得到  $M$  倍抽取后的序列的频谱, 那么当抽取因子为 2 时, 其数字输出频谱如下图 2.8 所示:

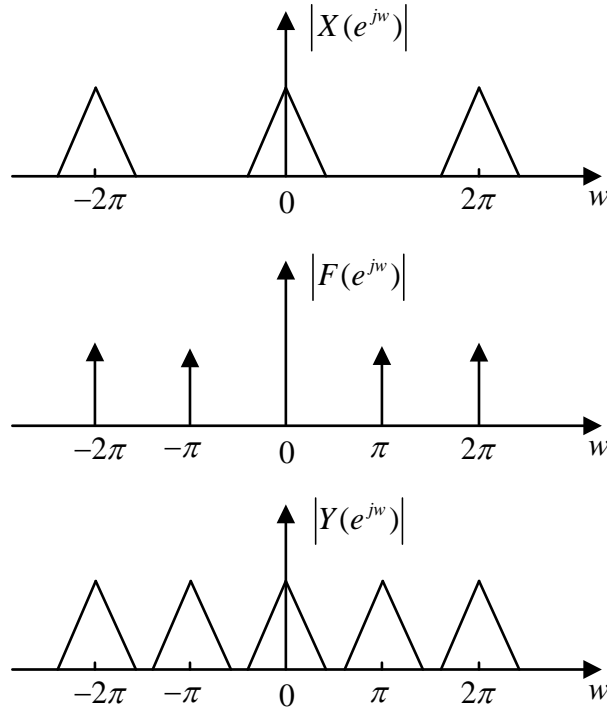


图 2.8 抽取因子为 2 的输出频谱

Fig.2.8 Output spectrum with decimation factor of 2

根据奈奎斯特采样定理可知, 当输入信号的频率低于  $f_s/2$  时, 那么就能够无失真地从采样后的信号序列中还原出原始信号。如果在经过  $M$  倍抽取后, 其信号的采样频率仅为原始信号的  $1/M$ , 此时无模糊带宽为  $f_s/2M$ , 换句话说, 若输入序列中的信号频率高于  $f_s/2M$  时, 那么进行  $M$  倍抽取后, 就会发生频谱混叠<sup>[25]</sup>。因此, 为了避免发生频谱混叠, 需要合理设计抽取因子。

### 2.2.2 线性滤波器

目前, 增量型 Sigma-Delta ADC 常使用线性滤波器来进行数字滤波或者数字重构, 例如积分器级联滤波器 (Cascade of Integrators, CoI) 或者级联梳状滤波器 (Cascade of Integrators Comb, CIC) 以及多级 sinc 滤波器<sup>[26]</sup> ( $\text{sinc}^2$  或者  $\text{sinc}^3$ ), 主要是因为这些线性级联滤波器实现简单, 同时能够有效地抑制周期性噪声, 基本可以满足绝大多数 ADC 的设计要求<sup>[27]</sup>。

为了实现较窄的过渡带, 比较平坦的通带和较高的阻带衰减效果, 还可以采用多级级联结构的数字滤波器, 例如, 由 CIC 滤波器作为第一级的多级滤波器或者两级积分器级联滤波器  $\text{CoI}^2$ , 值得注意的是, 各级滤波器的边界频率同样应合理设计。需注意地是, 这两种滤波器的实现方式也有很大的差异。其中, 多级 CIC 滤波器结构, 如图 2.9 所示。首先, 作为多级滤波器的第一级的 CIC 滤波器, 主要是完成输入信号的  $M$  倍抽取, 但是往往需要多级级联 CIC 来增强其在阻带的衰减效果。对于一个  $L$  阶的调制器而言, CIC 滤波器的级联级数至少要  $L+1$ , 才能保证有较好的噪声衰减效果<sup>[28, 29]</sup>。由于选用的第二级滤波器, 不仅需要对前级通带衰减的补偿, 有要求完成两倍的降采样, 因此选用了 CIC 补偿滤波器。最后一级滤波器为半带滤波器 (Half-band Filter), 该滤波器的一半的系数为 0, 且能够完成两倍的降采样<sup>[30]</sup>。



图 2.9 多级 CIC 滤波器结构示意图

Fig.2.9 Block diagram of multi-level filter

与 CIC 滤波器相比, 多级 CoI 滤波器 ( $\text{CoI}^2$  或者  $\text{CoI}^3$ ) 的优势在于结构简单, 只需要多个积分器级联, 不用任何补偿电路, 因此大大降低了功耗和面积, 但是 CoI 滤波器不能提供信号陷波, 并不能在某一个频率点迅速地衰减输入信号, 以实现滤除此频率信号的效果, 因此该滤波器主要使用于直流或近直流信号的处理领域, 例如图像传感器或者温度传感器。综上所述, 在线性滤波器中, 作为以 CIC 滤波器为第一级的多级滤波器能够提供信号陷波, 而且具有比较好的滤波效果, 但是结构比较复杂, 在硬件开销上比较大。而 CoI 滤波器结构简单, 不需要任何补偿电路, 但滤波效果略差于 CIC 滤波器, 但由于不能提供信号陷波, 因此其应用范围比较窄。

### 2.2.3 非线性滤波器

由于高阶调制器是非线性的，那么在理想情况下，后级的最理想的数字滤波器同样应该非线性的，以便获得最佳输入重构。但遗憾的是，如今的信号分析工具不能应用于非线性滤波器，这使得分析它们相当困难，同时，非线性滤波器不能提供信号陷波。接下来，将会介绍一种基于再现字母表的非线性数字滤波器，其滤波效果远远优于线性滤波器，作为代价，该非线性数字滤波器在面积和功耗上的开销会更高些。

对于给定的过采样率和所有恒定输入  $X$ ，数字滤波器都能产生对应的估计值  $\hat{X}$ ，则该估计值  $\hat{X}$  的集合被称为数字滤波器在该过采样率下的再现字母表<sup>[31]</sup>。任何固定的输入  $X \in (-b, +b)$  可以由下式表示：

$$X = -b + P\Delta - R \quad (2.19)$$

其中， $P$  为一个正整数，余量  $R$  的取值范围为  $[0, \Delta)$ ，而步长  $\Delta$  的公式如下所示，且  $N$  为量化周期

$$\Delta = \frac{2b}{N} \quad (2.20)$$

根据公式 2.19，任何固定的输入  $X$  的位置都可以在图 2.10 中表示出来。换句话说，对于输入  $X$ ，都可以通过确定正整数  $P$  和余量  $R$  的方式来进行重构。

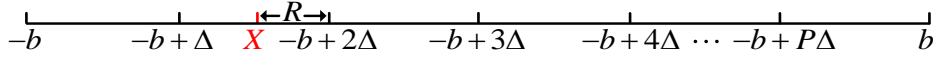


图 2.10 输入  $X$  的重构示意图

Fig.2.10 Reconstructed schematic diagram of input  $X$

由公式 2.19，可推出正整数  $P$  的取值范围：

$$1 \leq P = \left\lceil \frac{N(X + b)}{2b} \right\rceil \leq N - 1 \quad (2.21)$$

其中，当  $N$  取值很大时，随机参数  $R$  均匀分布在  $[0, \Delta)$ 。同时，在重构输入  $X$  的过程中，该余量  $R$  可以被视为量化误差。

现在考虑具有状态变量  $U_n$  的一阶单环编码器。假设初始状态  $U_0$  在范围  $(X - b, X + b)$  上均匀分布，则表明  $U_N \in (X - b, X + b)$ 。假设  $N$  位码字中有  $A$  位的负数输出位，则状态变量  $U_n$  可由下式表示：

$$U_N = U_0 - N(b - X) + 2Ab \quad (2.22)$$

联立公式 2.19 和 2.22，可以求得公式 2.23：

$$RN = U_0 - U_N - 2b(N - P - A) \quad (2.23)$$

其中,  $RN$  的乘积的取值范围为  $[0, 2b)$ 。同时, 由于  $U_0$  和  $U_N$  的取值范围都为  $(X-b, X+b)$ , 则  $U_0 - U_N \in (-2b, +2b)$ 。而上式右边最后一项  $-2b(N-P-A)$  可以看成是  $2b$  的整数倍。因此, 可以发现, 当  $U_0 < U_N$  时, 此时  $U_0 - U_N \in (-2b, 0)$ , 并且  $RN \in [0, 2b)$ , 则推导出  $-2b(N-P-A) = 2b$ , 即  $N-P-A = -1$ 。当  $U_0 \geq U_N$  时, 此时  $U_0 - U_N \in [0, 2b)$ , 且  $RN \in [0, 2b)$ , 则  $-2b(N-P-A) = 0$ , 即此时  $N-P-A = 0$ 。综上所述, 乘积  $RN$  可以由下式表示:

$$RN = \begin{cases} U_0 - U_N & U_0 \geq U_N \\ U_0 - U_N + 2b & U_0 < U_N \end{cases} \quad (2.24)$$

同时, 可以得知:

$$N-P-A = \begin{cases} 0 & U_0 \geq U_N \\ -1 & U_0 < U_N \end{cases} \quad (2.25)$$

为了简化公式 2.25, 在此定义一个变量  $\alpha$ , 可写为:

$$\alpha = \begin{cases} 0 & U_0 \geq U_N \\ -1 & U_0 < U_N \end{cases} \quad (2.26)$$

则等式 2.25 可以简化为:

$$N-P-A = \alpha \quad (2.27)$$

其中,  $N$  和  $A$  分别为量化周期和比特流输出为负数的位数。由公式 2.19 可知, 任何一个具有过采样率  $N_1$  的单环编码器的常数输入  $X_1$  都可以分解为

$$X_1 = -b + P_1 \Delta_1 - R_1 \quad (2.28)$$

其中, 对于较大的过采样率和平稳分布的恒定输入  $X_1$ , 余量  $R_1$  均匀分布在  $[0, \Delta_1]$  上,  $\Delta_1 = 2b/N_1$ 。为了实现估计  $X_1$  的目标, 需要确定正整数  $P_1$  和估计余量  $R_1$ 。通过公式 2.28, 由编码器的输出比特流的数据计算出的正整数  $P_1$ , 可由下式得出:

$$P_1 = N_1 - A_1 - \alpha \quad (2.29)$$

其中, 比特流输出为负数的位数  $A_1$  是很容易由下式得到:

$$A_1 = \frac{1}{2} \left( N_1 - \frac{1}{b} \sum_{i=0}^{N_1-1} Q(U_i) \right) \quad (2.30)$$

因此, 联立公式 2.29 和 2.30 后, 可求得  $P_1$  为:

$$P_1 = N_1 - \frac{1}{2} \left( N_1 - \frac{1}{b} \sum_{i=0}^{N_1-1} Q(U_i) \right) - \alpha \quad (2.31)$$

进而将确定的  $P_1$  和估计的余量  $R_1$  代入公式 2.28, 得到输入  $X_1$  估计值  $\hat{X}_1$  为:

$$\hat{X}_1 = -b + P_1 \Delta_1 - R_1 \quad (2.32)$$

那么, 估计值  $\hat{X}_1$  的值取决于估计的余量  $R_1 \in [0, \Delta_1]$ , 为了方便说明, 此时令余量  $R_1 = \Delta_1 = 2b/N_1$ 。下面通过采样率  $N_1=6$  的单环编码器的常数输入  $X_1=3/5$ , 来进

行举例说明整个解码过程。为了简单起见，该编码器的初始状态  $U_0=0$ ，以及动态范围为  $(-1,1)$ ，换句话说， $b=1$ 。通过简单的推导，可知该编码器的状态变量  $U_6=3/5 > U_0$ ，即变量  $\alpha=-1$ ，并且输出比特流  $Q(U_i)=\{0,1,1,-1,1,1,1\}$ ，其中  $i$  取  $0,1,\dots,6$ ，即  $A_1=1$ 。通过公式 2.29，计算出该  $P_1=N_1-A_1-\alpha=6$ ，将该值代入公式 2.32 中，便可得到估计值  $\hat{X}_1=-b+P_1\Delta_1-R_1=2/3$ 。

## 2.3 ADC 性能指标

### 2.3.1 静态指标

ADC 静态性能指标主要包括增益误差 (Gain Error)、失调误差 (Offset Error)、微分非线性 (Differential Nonlinearity, DNL) 和积分非线性 (Integral Nonlinearity, INL) 等<sup>[32,33]</sup>。其中，增益误差和失调误差属于线性误差，不会影响 ADC 噪声性能。为了尽可能减小线性误差的影响，通常采用增益变换和平移等方法。

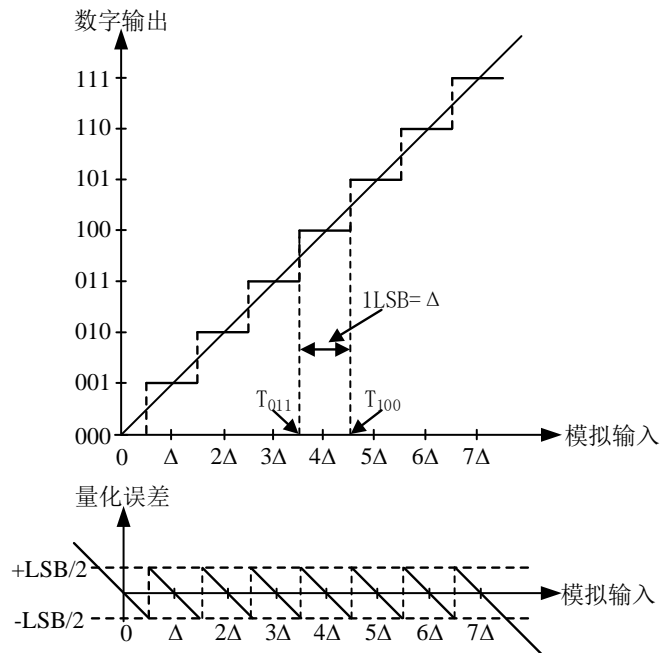


图 2.11 3 位理想 ADC 传输特性和量化误差曲线

Fig.2.11 3-bit ideal ADC transmission characteristics and quantization error curve

图 2.11 展示了一个典型 3-bit 理想 ADC 的传输特性曲线和量化误差曲线。假设  $N$  是 ADC 分辨率， $V_{FS}$  是输入电压满量程，阶梯宽度均为  $\Delta/2$ ，那么最小分辨率为：

$$\Delta = V_{FS} / (2^N - 1) \quad (2.33)$$

最小分辨率是 ADC 可以分辨的最小模拟输入电压，也记为 1 LSB (Least Significant Bit)。理想情况下，量化误差 (Quantization Error) 始终保持在  $-LSB/2$  到  $+LSB/2$  之间。

增益误差：增益误差是指理想 ADC 和实际 ADC 传输特性曲线斜率之差。如图 2.12 (a) 所示，Gain1 是指理想 ADC 增益，Gain2 是指实际 ADC 增益，二者之差即为增益误差。

输入失调误差：如图 2.12 (a) 所示，理想 ADC 零输出码对应输入电压与实际 ADC 零输出码对应输入电压之差，即为输入失调电压。它通常源于内部电路的失调，导致 ADC 传输特性曲线整体平移。

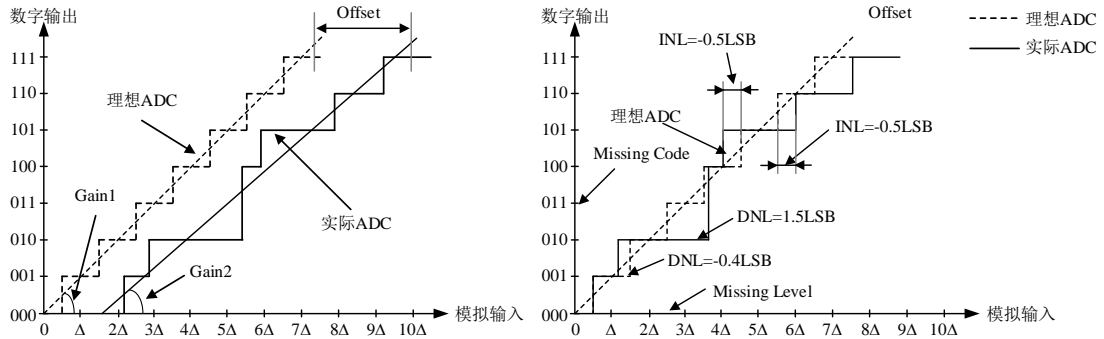


图 2.12 ADC 的(a)线性和(b)非线性误差

Fig.2.12 (a) Linearity and (b) non-linearity error of ADC

微分非线性：如图 2.12 (b) 所示，ADC 的实际转换台阶宽度和理想宽度之差定义为 DNL。假设输出码  $k$  对应的实际台阶宽度为  $\Delta_r(k)$ ，理想台阶宽度为  $\Delta$ ，微分非线性为：

$$DNL(k) = \Delta_r(k) - \Delta \quad (2.34)$$

最大微分非线性是所有  $|DNL(k)|$  中的最大值，微分非线性一般表示为正负最大值，如  $+0.45/-0.38$  LSB。为保证输出不失码，对于 DNL 的要求是小于 1 LSB。

积分非线性：目前，对于 INL 的标准定义是修正失调误差和增益误差之后的结果，即实际转换曲线与两端点拟合连线的偏差。这种方式定义的 INL 在两端点处为零。假设增益误差为  $G$ ，则输出码  $k$  对应的积分非线性为：

$$INL(k) = (1 + G) \sum_{i=1}^k DNL(i) \quad (2.35)$$

### 2.3.2 动态指标

衡量 ADC 动态性能的主要指标有信噪比、信号噪声失真比 (Signal-to-Noise and Distortion Rate, SNDR)、总谐波失真 (Total Harmonic Distortion, THD)、动态范围



(Dynamic Range, DR)、无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 和有效位数 (Effective Number of Bits, ENOB) 等<sup>[34, 35]</sup>。为了获取功率谱, 以得到各项动态指标, 首先利用数字信号快速傅里叶变换 (Fast Fourier Transform, FFT), 接着分别计算信号、谐波和噪声的能量。

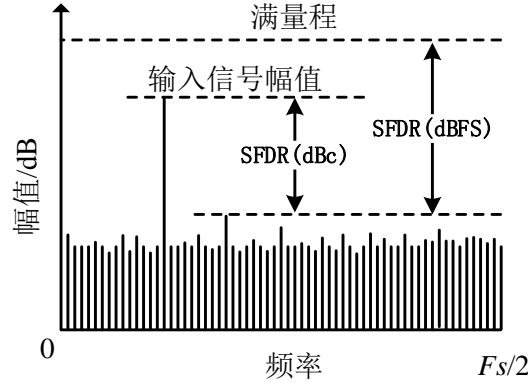


图 2.13 无杂散动态范围示意图

Fig.2.13 Diagrammatic drawing of spurious-free dynamic range

信噪比: ADC 信噪比是指输出信号能量和总噪声能量之比, 一般用 dB 表示。其计算公式如下:

$$SNR = 10 \times \log \frac{P_{\text{Signal}}}{P_{\text{Total Noise}}} \quad (2.36)$$

其中,  $P_{\text{Signal}}$  是信号能量,  $P_{\text{Total Noise}}$  是总噪声能量。

信号噪声失真比: 类似于 SNR, 输出信号能量与噪声和谐波能量之比被称为 SNDR, 其计算公式如下:

$$SNDR = 10 \times \log \frac{P_{\text{Signal}}}{P_{\text{Total Noise}} + P_{\text{Harmonic}}} \quad (2.37)$$

系统非线性导致了与输入信号相关的谐波分量, 因此 SNDR 与输入信号的幅度和频率均相关。当输入幅度小于 -20 dBFS 时, SNDR 与 SNR 近似相等; 当输入幅度相对较大时, SNDR 小于 SNR; 当输入接近满幅度时, SNDR 由于谐波而急剧下降。

有效位数: 有效位数可根据 SNDR 进行计算, 计算方式如下:

$$ENOB = \frac{SNDR_{\text{dB}} - 1.76}{6.02} \quad (2.38)$$

总谐波失真: 所有谐波能量之和与基波能量的比。由于高次谐波已经被底噪淹没, THD 一般只取可分辨的谐波能量之和。

**动态范围：**ADC 最大输入信号与最小可分辨信号之比定义为动态范围，最大输入信号定义为无严重失真的满幅度信号，最小可分辨信号为 SNDR 为 0 dB 时的输入信号。

**无杂散动态范围：**信号带宽内，信号功率与最大杂波功率之比，一般以 dBFS 或者 dBc 表示，如图 2.13 所示。

### 2.4 本章小结

本章介绍了增量型 Sigma-Delta ADC 电路中的过采样和噪声整形技术，以及量化噪声的理论基础。同时，介绍了线性滤波器和非线性滤波器，并简述了其工作原理和特点。最后，总结了 Sigma-Delta ADC 的各项性能指标。



### 3 增量型低噪声数字抽取滤波器的架构和原理

在这一章节，将会展示一种恒定输入的量化系统，随后将介绍一阶增量型低噪声数字滤波器，以及探究其对热噪声和量化噪声的处理能力，接着，将其拓展到二阶的增量型低噪声数字滤波器，最后讨论非理想因素对所提出的增量型低噪声数字滤波器的影响。

#### 3.1 增量型 Sigma-Delta ADC 的量化理论

为了通俗易懂地理解增量型低噪声数字抽取滤波器的基本原理，这里先简要地展示了一种恒定输入的量化系统框图，如图 3.1 所示。该图表明了电路设计文献中使用的术语与量化理论文献<sup>[36]</sup>之间的对应关系。在量化理论的背景下，调制器对应着一个编码器（Encoder），进而将一个恒定的输入  $X$  编码为  $N$  位二进制序列（Binary Sequence, BS）。而且，这种二进制序列的集合是量化理论中的索引集合（Index）。而数字滤波器和降采样操作则对应着一个解码器（Decoder），在输入  $N$  位二进制比特流的情况下，产生一个对恒定输入  $X$  的估计值  $\hat{X}$ 。

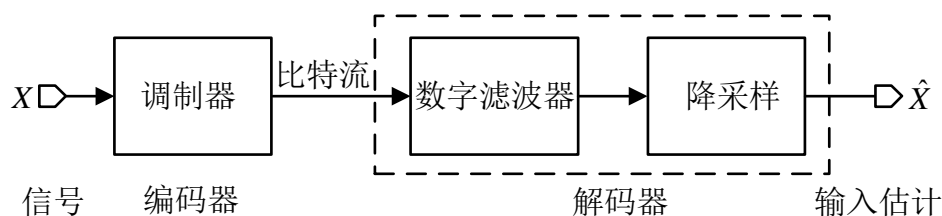


图 3.1 一种恒定输入的量化系统框图

Fig.3.1 A block diagram of a constant input quantization system

为了与文献<sup>[37]</sup>中的术语一致，这里将  $N$  称为过采样率，注意，此过采样率区别于动态输入的定义。而解码器的均方误差 MSE 可以定义为：

$$\text{MSE} = E[(X - \hat{X})^2] \quad (3.1)$$

为了阐述电路系统与量化系统之间的联系，在此需要解释一下量化系统中的术语，如图 3.2 所示。在量化系统中， $X_1 \cdots X_4$  为过渡点，而  $[X_1, X_2) \cdots [X_3, X_4)$  表示量化间隔，对应着编码器产生的不同索引集合。换句话说，当信号  $X$  在经过编码后，得到对应的索引集合，即  $X \in [X_1, X_2)$ ，那么将对应的索引集合通过解码器后，进行最优解码后的估计值为  $\hat{X} = (X_1 + X_2)/2$ 。而进一步的电路和

量化系统的联系，将会在下一章节中详细描述。这种对应关系适用于所有的数据转换器，对于 Sigma-Delta ADC 而言，尽管 Sigma-Delta 调制器在内部执行过采样的操作，但是，由于后一级电路会进行降采样的操作，那么可以将整个系统可以看作奈奎斯特速率数据转换器。

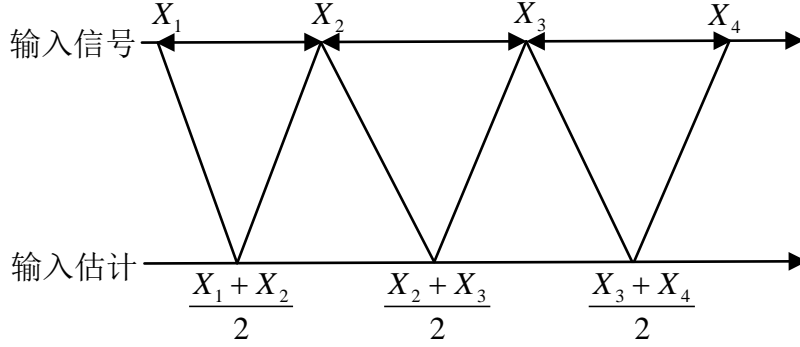


图 3.2 量化理论术语的图解

Fig.3.2 Illustration of Quantitative Theory Terminology

## 3.2 一阶增量型 Sigma-Delta 调制器的数字滤波器建模和设计原理

### 3.2.1 一阶增量型 Sigma-Delta 调制器的数学模型

一阶一位量化器的增量型 Sigma-Delta 调制器主要由一个离散时间的积分器和一个在负反馈回路中的一位量化器构成，如图 3.3 所示。对于该增量型 Sigma-Delta 调制器，为了在分析过程中更加的简单明了，作出如下假设：在每次该 Sigma-Delta ADC 的转换过程中，调制器的输入  $X$  保持恒定，其取值范围为  $X \in [-b, b]$ 。另外，一位量化器的输出结果为：

$$Q[n] = \begin{cases} b & U[n] \geq 0, \\ -b & U[n] < 0, \end{cases} \quad n \geq 1. \quad (3.2)$$

其中， $U[n]$  和  $Q[n]$  分别为积分器和量化器的输出。

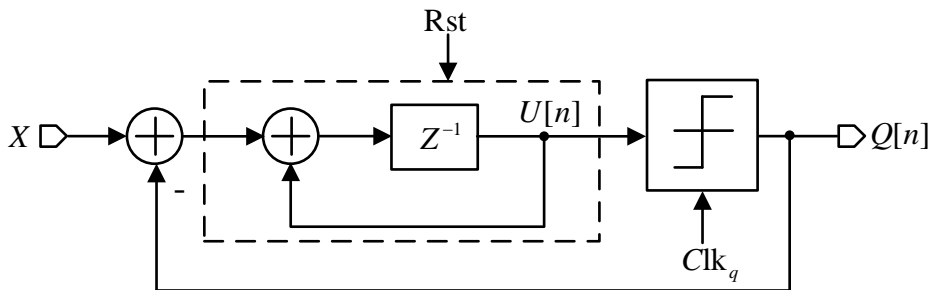


图 3.3 一阶一位量化器的增量型 Sigma-Delta 调制器

Fig.3.3 A first-order incremental Sigma-Delta Modulator with 1-bit quantizer

由图 3.3 可以求得, 在第  $n$  个量化周期, 积分器的输出  $U[n]$  满足离散时间差分方程:

$$U[n] = U[n-1] + X - Q[n-1], \quad n \geq 1 \quad (3.3)$$

如果积分器的初始状态  $U[0]$  的取值范围  $(X-b, X+b)$ , 那么在每次积分之后, 积分器的当前状态  $U[n]$  的取值范围为  $(X-b, X+b)^{[8]}$ , 即对于  $n > 0$  时, 可以推导出:

$$U[0] \in (X-b, X+b) \Rightarrow U[n] \in (X-b, X+b) \quad (3.4)$$

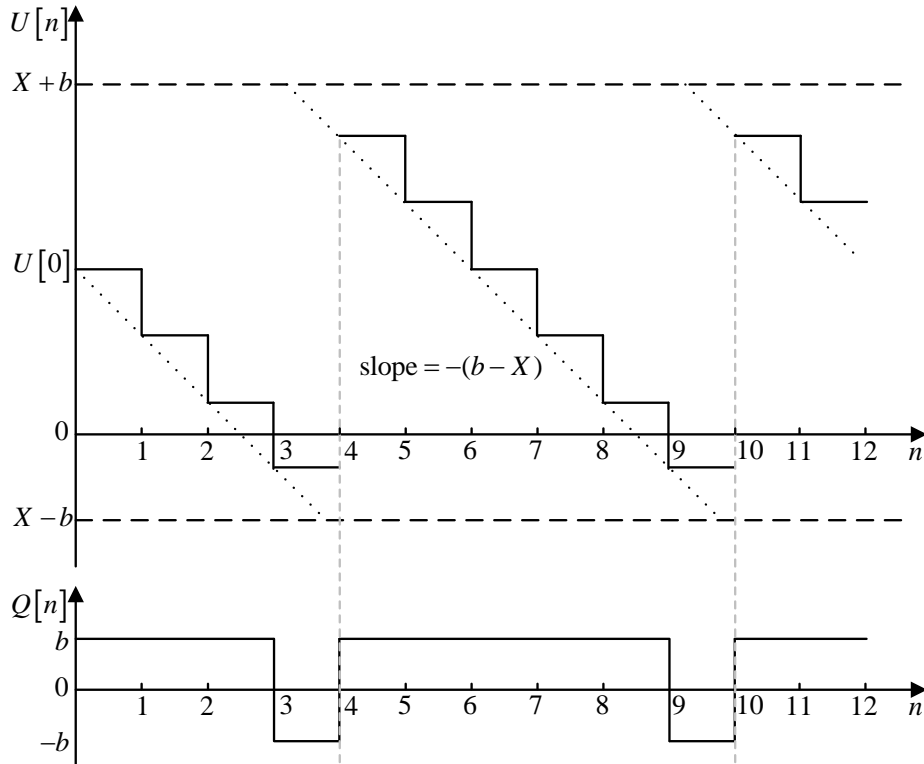


图 3.4  $U[n]$  的典型的时间序列

Fig.3.4 Typical time series of  $U[n]$

为了直观地观察状态变量  $U[n]$  的行为, 图 3.4 显示了  $U[n]$  的典型的时间序列。同时, 公式 3.3 表明如果  $U[n-1]$  是正数, 则  $U[n] - U[n-1] = -(b-X)$ , 即该状态变量  $U[n]$  在下一个时间步长中减小  $b-X$ , 然而如果  $U[n-1]$  是负数, 则  $U[n] - U[n-1] = b+X = 2b - (b-X)$ , 即状态变量在下一个时间步长中增加  $b+X$ 。因此, 状态变量  $U[n]$  总是减小  $b-X$ , 只有当  $U[n-1]$  为负数时, 额外增加  $2b$ , 同时产生一个负的输出比特位。那么, 状态变量  $U[n]$  可以表示为:

$$U[n] = U[0] - n(b-X) + 2jb \quad (3.5)$$

其中,  $j$  表示在  $n$  位输出比特位中负数的数量, 而且, 该公式也应该满足公式 3.4, 那么状态变量  $U[n]$  可表示为:

$$X - b \leq U_0 - n(b - X) + 2jb \leq X + b \quad (3.6)$$

文献<sup>[38]</sup>表明可以将动态范围  $(-b, +b)$  分成不同的量化区间, 其宽度和位置取决于状态变量  $U[0]$ 。在每个量化间隔内, 所有常量输入生成相同的  $n$  位码字, 但是不同间隔对应不同的码字。

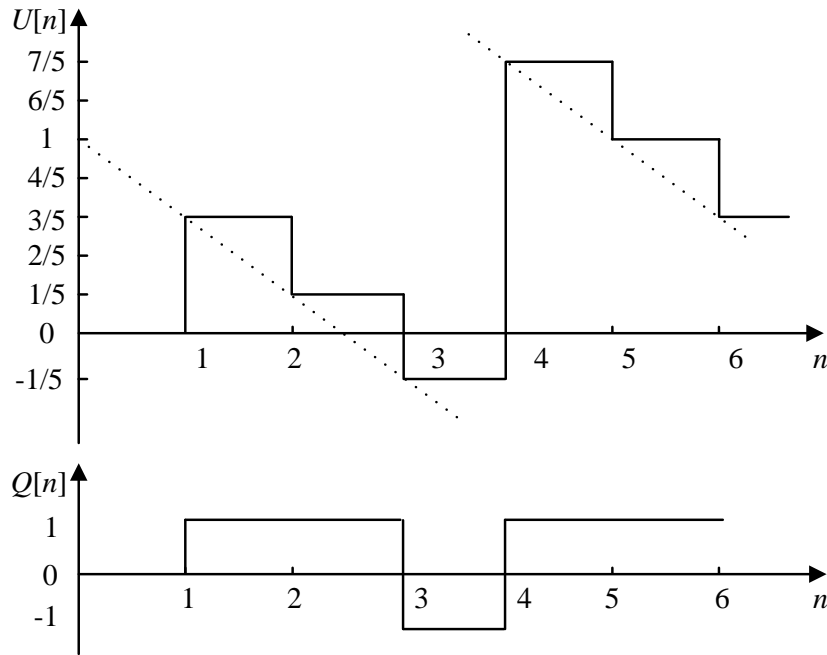
为了定量地分析状态变量  $U[n]$ , 令输入  $X$  取值范围为  $X \in [-1, 1]$ , 换句话说,  $b=1$ 。同时, 通过复位信号  $Rst$ , 对积分器进行复位, 使得  $U[0]=0$ 。在第一个积分周期中, 由于积分器完成了初始化, 那么量化器的初始输出满足  $Q[0]=0$ 。尽管积分器的输出  $U[n]$  和量化器输出  $Q[n]$  存在误差, 但是负反馈回路使得误差减小。在分析过程中, 调制器中的所有元器件都是理想的。非理想的情况将会在第 3.3 节中进行分析。通过公式 3.3, 简化这种递归关系后, 可以推导出:

$$U[n] = n \cdot X - \sum_{i=0}^{n-1} Q[i] = n \cdot X - S[n], \quad n \geq 1 \quad (3.7)$$

其中,  $S[n]$  为从  $Q[0]$  到  $Q[n-1]$  的累加之和。假设该 Sigma-Delta 调制器的过采样率为  $N$ , 那么积分器的最大周期不超过  $N$ , 那么在上列公式 3.7 中, 有以下两个条件成立:  $\{n \in \mathbb{Z}^+, 1 \leq n \leq M\}$  以及  $\{S[n] \in \mathbb{Z}, -n+1 \leq S[n] \leq n-1\}$ 。由于量化器将  $U[n]$  与 0 进行比较且  $b=1$ , 由公式 3.2 可以推出一阶增量型调制器的数字输出  $Q[n]$  为:

$$Q[n] = \begin{cases} 1 & X \geq S[n]/n, \\ -1 & X < S[n]/n, \end{cases} \quad n \geq 1. \quad (3.8)$$

通过公式 3.7 和 3.8, 可以推导出理想情况下, 调制器的输出比特流。例如, 当过采样率为 6 时, 无噪输入  $X=3/5$ , 利用上述关系, 可绘制出一阶 Sigma-Delta 调制器的积分器输出  $U[n]$  与量化器输出比特流  $Q[n]$  的相应曲线, 如图 3.5 所示。在理想情况下, 当  $n=0$  时,  $U[0]=Q[0]=0$ 。在第 1 次量化时, 即  $n=1$  时,  $U[1]=1 \cdot X - S[1]=3/5 > 0$ , 则量化器输出  $Q[1]=1$ , 同时,  $S[2]=S[1]+Q[1]=1$ 。在第 2 次量化时, 即  $n=2$  时,  $U[2]=2 \cdot X - S[2]=1/5 > 0$ , 则量化器输出  $Q[2]=1$ 。同时,  $S[3]=S[2]+Q[2]=2$ 。同理, 根据公式 (3), 可推出积分器的输出  $U[n]=[3/5, 1/5, -1/5, 7/5, 1, 3/5]$ , 并且与阈值 0 进行比较, 得到相应的量化器输出  $Q[n]=[1, 1, -1, 1, 1, 1]$ 。

图 3.5 一阶调制器的积分器输出  $U[n]$  与量化器输出  $Q[n]$ Fig.3.5 The integrator output  $U[n]$  and the quantizer output  $Q[n]$  of the first-order modulator

上述的编码过程也可以使用网格图来解释<sup>[39]</sup>。该网格图的格点可以由表达为下列集合形式：

$$L_n = \{(n, S_{n-list}) : n \in \mathbb{Z}^+, 1 \leq n \leq M\} \quad (3.9)$$

其中， $S_{n-list}$  表示在第  $n$  个量化周期时， $S[n]$  能取得的所有可能值。需要注意，当  $n=1$  时， $S[1]=Q[0]=0$ 。为简单起见，只描绘出调制器的过采样率为 6 的网格图的上半部分。如图 3.6(a) 所示，网格图的上半部分与下半部分关于  $X$  轴对称，那么很容易推导出， $S[n]$  的取值范围为  $\{S[n] \in \mathbb{Z}, -n+1 \leq S[n] \leq n-1\}$ 。

通过观察该网格图，可以将  $S[n]/n$  表示为网格点中坐标  $(0,0)$  到坐标  $(n, S[n])$  连接线的斜率。根据公式 3.8，可以得知，调制器的数字输出  $Q[n]$  的取值，由  $S[n]/n$  与输入  $X$  的相对大小决定，换句话说，也可以通过直线  $nX$  和坐标点  $(n, S[n])$  的相对位置来决定量化器输出  $Q[n]$ 。因为  $n$  满足  $\{n \in \mathbb{Z}^+, 1 \leq n \leq M\}$  这个条件，那么将  $nX$  这条直线加入坐标轴的画，则该直线的斜率即表示输入  $X$  的大小。如果坐标点  $(n, S[n])$  在直线  $nX$  上方，则在第  $n$  个量化周期时， $S[n] > nX$ ，即  $X < S[n]/n$ ，此时调制器的数字输出  $Q[n] = -1$ 。如果坐标点  $(n, S[n])$  在直线  $nX$  下方或者恰好落在直线上，则在第  $n$  个量化周期时， $S[n] \leq nX$ ，即  $X \geq S[n]/n$ ，此时调制器的数字输出  $Q[n] = 1$ 。因为  $S[n+1] = S[n] + Q[n] = S[n] \pm 1$ ，所以在第  $n+1$  个量化周期时，则需要比较坐标点  $(n+1, S[n+1])$  在直线  $nX$  的相对位置，因此从  $Y$  轴的角度上分析，坐标点  $(n+1, S[n+1])$  将会比  $(n, S[n])$  低或者高一个格点。



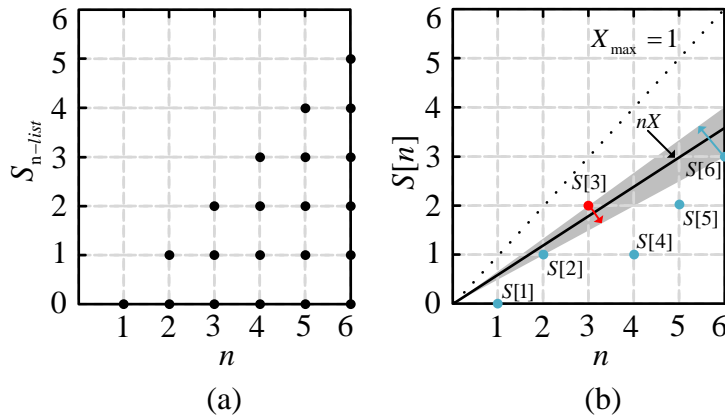


图 3.6 一阶调制器的网格图 (a) 网格点的上半部分 (OSR=6) (b) 调制器的输出  $Q[n]=[1,1,-1,1,1,1]$ , 其中输入  $X=3/5$

Fig.3.6 A generic square lattice of the first-order modulator (a) The upper half of a generic square lattice (OSR=6) (b) modulator output  $Q[n]=[1,1,-1,1,1,1]$  with  $X=3/5$

同样地, 当 OSR=6 时, 无噪输入  $X=3/5$ , 也可以使用网格图的分析思路, 推导出该一位量化 Sigma-Delta 调制器的数字输出  $Q[n]$ , 同时绘制出对应的网格图。根据假设条件, 有  $U[0]=Q[0]=S[1]=0$ 。在第 1 个量化周期时, 即  $n=1$ ,  $nX=3/5>S[1]=0$ , 则此时调制器的数字输出  $Q[1]=1$ 。在第 2 个量化周期时, 即  $n=2$ ,  $nX=6/5>S[2]=1$ , 则此时调制器的数字输出  $Q[2]=1$ 。在第 3 个量化周期时, 即  $n=3$ ,  $nX=9/5<S[3]=2$ , 则此时调制器的数字输出  $Q[3]=-1$ 。在第 4 个量化周期时, 即  $n=4$ ,  $nX=12/5>S[4]=1$ , 则此时调制器的数字输出  $Q[4]=1$ 。在第 5 个量化周期时, 即  $n=5$ ,  $nX=3>S[5]=2$ , 则此时调制器的数字输出  $Q[5]=1$ 。在第 6 个量化周期时, 即  $n=6$ ,  $nX=18/5>S[6]=3$ , 则此时调制器的数字输出  $Q[6]=1$ 。综上所述, 当过采样率为 6 时, 一个无噪输入  $X=3/5$  在通过理想的一阶增量型调制器, 所得到的数字输出  $Q[n]=[1,1,-1,1,1,1]$ 。从图 3.5(b) 所示, 网格图的格点  $(n, S[n])$  分布在直线  $nX$  的两侧, 通过形成的包络来追踪直线  $nX$  的斜率。

### 3.2.2 一阶增量型低噪声数字滤波器设计原理

在详细阐述本文所提出的一阶增量型低噪声数字滤波器之前, 先介绍一种最优数字滤波器的设计原理。该最优数字滤波器与前一章节中介绍的基于再现字母表的非线性数字滤波器的性能相同, 但是更容易实现。在理想的情况下, 由公式 3.8 可知, 如果  $Q[n]=1$ , 则  $X \geq S[n]/n$  成立, 那么可以将  $lb[n]=S[n]/n$  视为输入信号  $X$  的一个临时下界。类似地, 如果  $Q[n]=-1$ , 则  $X < S[n]/n$  成立, 那么可以将此时的  $ub[n]=S[n]/n$  视为输入信号  $X$  的一个临时上界。对于  $X \in [-1, 1]$ , 初始的边界  $lb[0]=-1$ ,  $ub[0]=1$ 。通过将这一特性应用于调制器的输出, 可以逐步细化  $X$

的范围,进而找出其最大的下界  $lb_{\max}$  以及最小的上界  $ub_{\min}$ 。从网格图 3.5 来理解,这相当于在网格图上找出两个格点  $(n, S[n])$ , 形成的包络区域能够完美地包含直线  $nX$  如图 3.5 (b) 中的灰色区域。为了保证最优数字滤波器的输出结果总是有意义, 必须满足  $\{lb[i] \leq ub[j], \forall i, j \in \mathbb{Z}^+\}$ 。在此前提下, 当过采样率为  $M$  时, 对于输入  $X$  估计值  $\hat{X}$  为:

$$\hat{X} = \frac{1}{2} \{ \min(ub[n]) + \max(lb[n]) \}, \quad 0 \leq n \leq M \quad (3.10)$$

从章节 3.1.1 中推导出, 当过采样率为 6 时, 一个无噪输入  $X=3/5$ , 理想的一阶增量型调制器所编码的数字输出  $Q[n]=[1,1,-1,1,1,1]$ 。值得注意的是, 初始条件定义如下: 初始的边界  $lb_{\max}=lb[0]=-1$ ,  $ub_{\min}=ub[0]=1$ 。而且, 当  $n=0$  时, 对调制器进行初始化的时候, 所得到的数字输出  $Q[0]=0$ 。根据一阶最优数字滤波器解码的过程, 当过采样率为 6 时, 由于  $lb_{\max}=1/2$ ,  $ub_{\min}=2/3$ , 根据公式 3.10, 则对应的估计值  $\hat{X}=7/12$ , 如表 3.1 所示。

表 3.1 一阶最优数字滤波器的解码结果

Table 3.1 Decoding results of the first-order digital optimal filter

$n$	0	1	2	3	4	5	6
$Q[n]$	0	1	1	-1	1	1	1
$S[n]$	0	0	1	2	1	2	3
$ub[n]$	1	1	1	2/3	2/3	2/3	2/3
$lb[n]$	-1	0	1/2	1/2	1/2	1/2	1/2

尽管最优数字滤波器有着极为优越的量化噪声处理能力, 但是也存在着一些局限性。其中一个局限性是不能抑制周期性噪声, 但是对于许多应用来说, 这只是一个小程序。更严重的局限性是, 增量型 Sigma-Delta 调制器中积分器的输出会受到电路热噪声的影响, 尽管可以使用相关双采样技术来降低低频噪声<sup>[40,41]</sup>, 但无法避免地是, 量化器输出经常偏离其理想值。对于一些线性滤波器, 输出比特流中的噪声不会影响解码的结果。然而, 对于最优解码而言, 如果发生了由噪声引发的量化器判决错误, 那么可能会出现  $\{lb[i] > ub[j], \forall i, j \in \mathbb{Z}^+\}$ , 这违反了该最优数字滤波器算法的前提条件。在这种情况下, 由公式 3.10 推导出的解码结果失去了其物理意义, 成为一个较差的输入估计。

接下来，最优数字滤波器对所得到的数字输出  $Q[n]$  的解码流程图，由图 3.7 所示。由于该算法对数字输出  $Q[n]$  进行的解码过程，与调制器的编码方式相反，并且将量化间隔的中点作为解码结果，那么此算法为最优的解码方式。表 3.2 总结了此最优数字滤波器解码的操作。

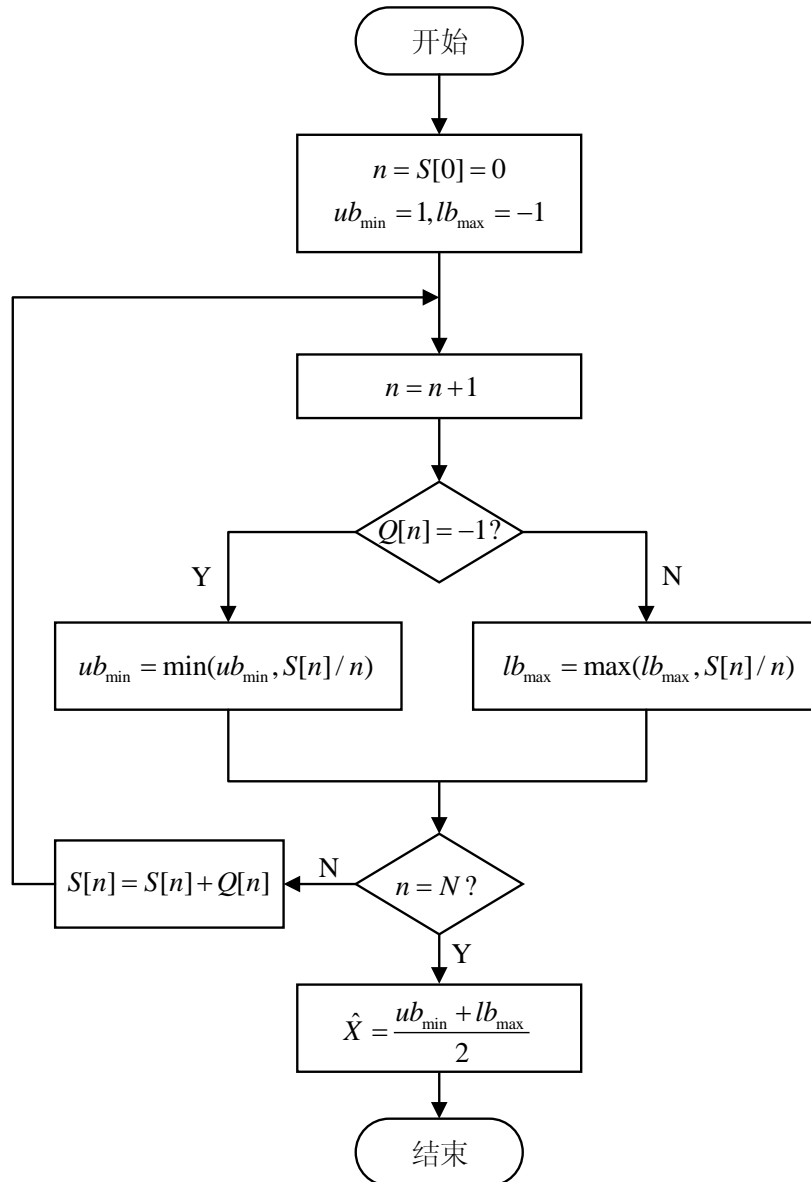


图 3.7 一阶最优数字滤波器的解码流程图

Fig.3.7 Flowchart of first-order optimal digital filter decoding

表 3.2 一阶最优数字滤波器的解码算法

Table 3.2 Decoding algorithm of first-order optimal digital filter

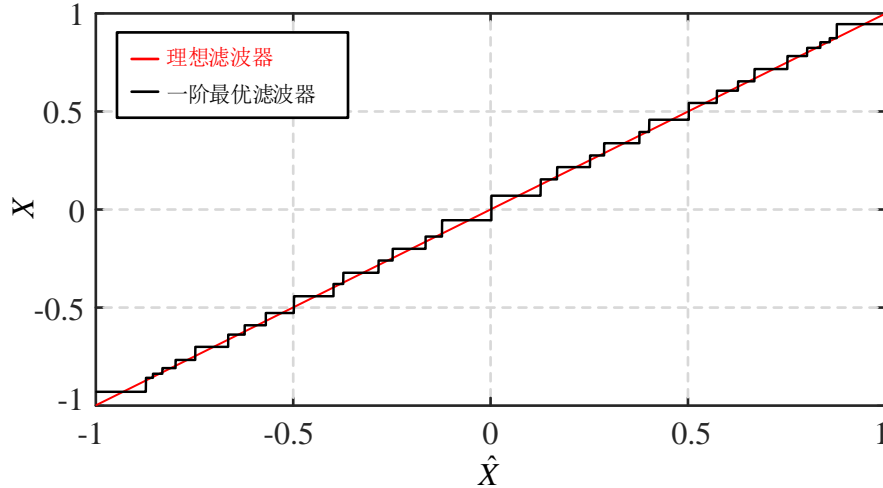
**Algorithm 1** 一阶最优数字滤波器的解码算法**input** : Output bitstream  $q$  of size  $1 \times M$ ,  $Q[n] \in \{-1, 1\}$ **output** :  $\hat{X}$ **initialize** :  $ub_{\min} \leftarrow 1$ ,  $lb_{\max} \leftarrow -1$ ,  $S[n] \leftarrow 0$ **for**  $n \leftarrow 1$  **to**  $M$  **do**    **if**  $Q[n] = -1$  **then**        **if**  $S[n]/n \leq ub_{\min}$  **then**  $ub_{\min} \leftarrow S[n]/n$         **else do nothing**    **else**        **if**  $S[n]/n \geq lb_{\max}$  **then**  $lb_{\max} \leftarrow S[n]/n$         **else do nothing**    **end**     $S[n] \leftarrow S[n] + Q[n]$ **end** $\hat{X} = (ub_{\min} + lb_{\max})/2$ **Return** :  $\hat{X}$ 

图 3.8 当 OSR=8 时，一阶最优数字滤波器的解码结果

Fig.3.8 Decoded result of the first-order optimal digital filter with OSR=8

通过 Matlab 仿真，当 OSR=8 的情况下，输入  $X \in [-1, 1]$ ，最优数字滤波器对于一阶增量型 Sigma-Delta 调制器的输出解码  $\hat{X}$ ，如图 3.8 所示。如果要将该最优数字滤波器算法应用于实际的增量型模数转换器的设计，那么必须提

高其抗热噪声干扰的能力，并且能够低功耗的数字实现。因此，接下来将阐述本文提出的一阶增量型低噪声数字滤波器，在最优数字滤波器的基础上，进行了针对性的优化，解决了这一个严重的局限性。

由上节的网格图 3.6(b)可以分析，在第  $n$  个积分周期中，输入斜坡  $nX$  遵循正态分布  $N(nX, n\sigma)$ ，与理想情况相比，尽管其噪声将导致量化器输出结果错误，即在热噪声影响下，实际的输入可能并不在计算范围内，但是仍然可以按照上一小节中最优数字滤波器的设计原理来计算输入界限  $lb_{\max}$  和  $ub_{\min}$ 。图 3.8 显示了边界计算的两种可能场景。假设在转换周期为  $P_{lb}$  和  $P_{ub}$  时，分别得到输入界限  $lb_{\max}$  和  $ub_{\min}$ 。接下来，对这两种边界计算的可能场景进行详细的分析。

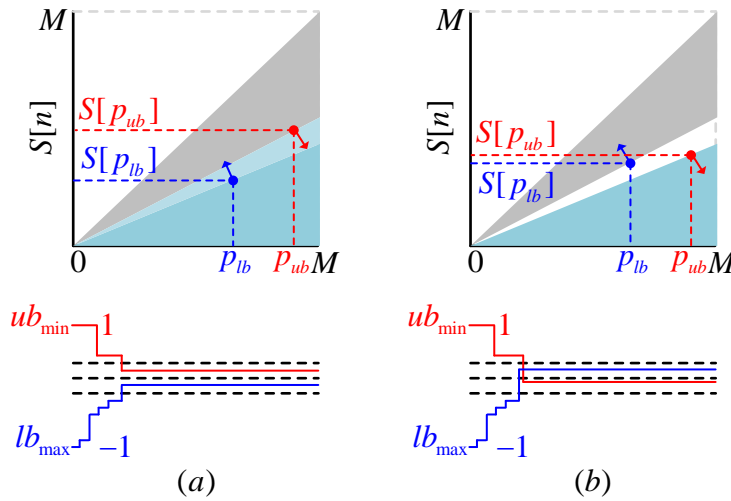


图 3.9 输入界限的图解

Fig.3.9 Plot of input limits

当  $lb_{\max} \leq ub_{\min}$  时，在这种情况下，输入界限  $lb_{\max}$  和  $ub_{\min}$  仍然定义在有效区域，如图 3.9(a) 所示。那么，对于最优数字滤波器而言， $(lb_{\max} + ub_{\min})/2$  仍然是一个比较好的输入估计。在热噪声限制设计中，考虑到幅值差  $(ub_{\max} - lb_{\min})$  要比  $lb_{\max}$  和  $ub_{\min}$  本身的噪声引起的幅值漂移要小得多，因此，为了简化最优数字滤波器，可以将由相对较大的量化周期  $P_{lb}$  或者  $P_{ub}$  下，导出的界限  $lb_{\max}$  或者  $ub_{\min}$  作为输入估计，以允许更大的热噪声平均，增强数字滤波器的抗热噪声干扰的能力。

当  $lb_{\max} > ub_{\min}$  时，更常见的情况如图 3.9(b) 所示，但是由于该情况下，不满足条件  $\{lb[i] \leq ub[j], \forall i, j \in \mathbb{Z}^+\}$ ，即输入界限  $lb_{\max}$  和  $ub_{\min}$  仍然定义在无效区域。当一个较大的瞬时噪声注入调制器时，从而产生的界限可能与实际输入相差甚远，而且这种情况也时常发生。那么在公式 3.10 中的输入估计

$(lb_{\max} + ub_{\min})/2$ ，既不是在物理上有意义的输入估计，也不能作为准确的输入估计。那么，为了能够准确地解码调制器的数字输出，在这里，同样可以考虑将由相对较大的量化周期  $P_{lb}$  或者  $P_{ub}$  下，导出的界限  $lb_{\max}$  或者  $ub_{\min}$  作为输入估计  $\hat{X}$ ：

$$\hat{X} = \begin{cases} lb_{\max} & P_{lb} > P_{ub} \\ ub_{\min} & P_{lb} < P_{ub} \end{cases} \quad (3.11)$$

综上所述，经过公式 3.11 优化后的一阶最优数字滤波器，即一阶增量型低噪声数字滤波器，在图 3.9 的两种边界情况下，都可以得到准确的输入估计，而且它最大限度地保留了最优数字滤波器的较低量化噪声的优点，同时还提供了良好的热噪声平均。

接下来，对一阶增量型低噪声数字滤波器的解码思路进行详细说明。从章节 3.1.1 推导出，当过采样率为 6 时，一个无噪输入  $X=3/5$ ，理想的一阶增量型调制器编码的输出  $Q[n]=[1,1,-1,1,1]$ 。其中，初始条件定义为：初始的边界  $lb_{\max}=lb[0]=-1$ ， $ub_{\min}=ub[0]=1$ ，同时，量化周期  $P_{lb}=P_{ub}=1$ 。而且，当  $n=0$  时，即对调制器进行初始化的时候，所得到的数字输出  $Q[0]=0$ 。根据该增量型低噪声滤波器解码的过程，很容易地推导出当过采样率为 6 时，由于量化周期  $P_{lb}=2 < P_{ub}=3$ ，根据公式 3.11，选择输入界限  $ub_{\min}$  作为输入估计值，即  $\hat{X}=ub_{\min}=2/3$ ，如表 3.3 所示。

表 3.3 一阶增量型低噪声数字滤波器的解码结果

$n$	0	1	2	3	4	5	6
$Q[n]$	0	1	1	-1	1	1	1
$S[n]$	0	0	1	2	1	2	3
$ub[n]$	1	1	1	<b>2/3</b>	2/3	2/3	2/3
$lb[n]$	-1	0	<b>1/2</b>	1/2	1/2	1/2	1/2

该增量型低噪声数字滤波器对编码输出  $Q[n]$  的解码流程图，如图 3.10 所示。在实际设计过程中，通常采用信号缩放的方式来限制最大积分器输出，但是该滤波器并不会受到此影响。而且，与最优数字滤波器相比，一阶增量型低噪声数字滤波器不仅有着优秀的抗噪声干扰能力，降低了数字实现的难度，还拥有较低的量化噪声和热噪声，而开销只是在每个量化周期中需要进行额外的数字比较。

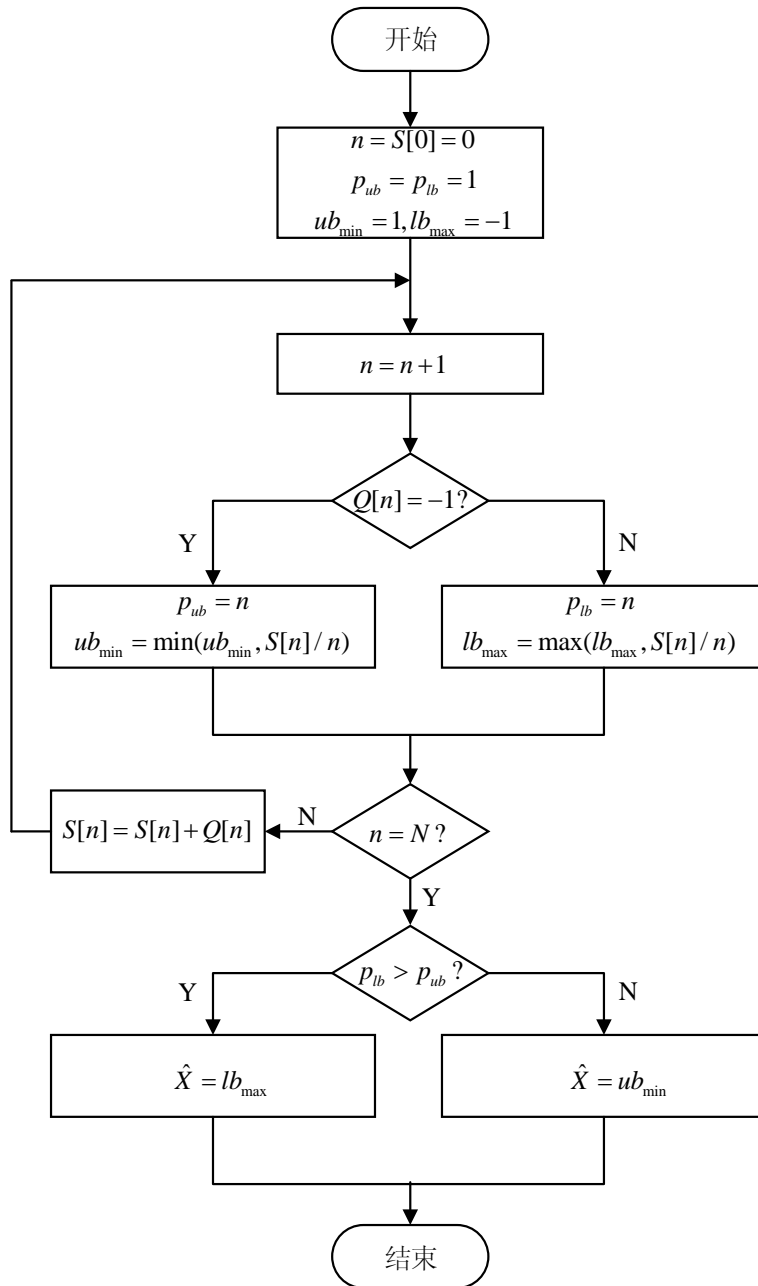


图 3.10 一阶增量型低噪声数字滤波器的解码流程图

Fig.3.10 Flowchart of first-order incremental low noise digital filter decoding

一阶增量型低噪声数字滤波器解码的算法总结,如表 3.4 所示。通过 Matlab 仿真,当 OSR=8 的情况下,输入  $X \in [-1,1]$ ,此增量型低噪声数字滤波器对于一阶增量型 Sigma-Delta 调制器的输出解码,如图 3.11 所示。在后面的章节中,将会详细分析该一阶增量型低噪声数字滤波器的量化噪声和热噪声性能,也会对额外的数字比较以及除法运算进行针对性的优化。

表 3.4 一阶增量型低噪声数字滤波器的解码算法

Table 3.4 Decoding algorithm of first-order incremental low-noise digital filter

**Algorithm 2** 一阶增量型低噪声数字滤波器的解码算法

---

**input :** Output bitstream  $q$  of size  $1 \times M$ ,  $Q[n] \in \{-1, 1\}$

**output :**  $\hat{X}$

**initialize :**  $ub_{\min} \leftarrow -1$ ,  $lb_{\max} \leftarrow -1$ ,  $S[n] \leftarrow 0$ ,  $P_{lb} \leftarrow 1$ ,  $P_{ub} \leftarrow 1$

**for**  $n \leftarrow 1$  **to**  $M$  **do**

**if**  $Q[n] = -1$  **then**

**if**  $S[n]/n \leq ub_{\min}$  **then**  $ub_{\min} \leftarrow S[n]/n$ ,  $P_{ub} \leftarrow n$

**else do nothing**

**else**

**if**  $S[n]/n \geq lb_{\max}$  **then**  $lb_{\max} \leftarrow S[n]/n$ ,  $P_{lb} \leftarrow n$

**else do nothing**

**end**

$S[n] \leftarrow S[n] + Q[n]$

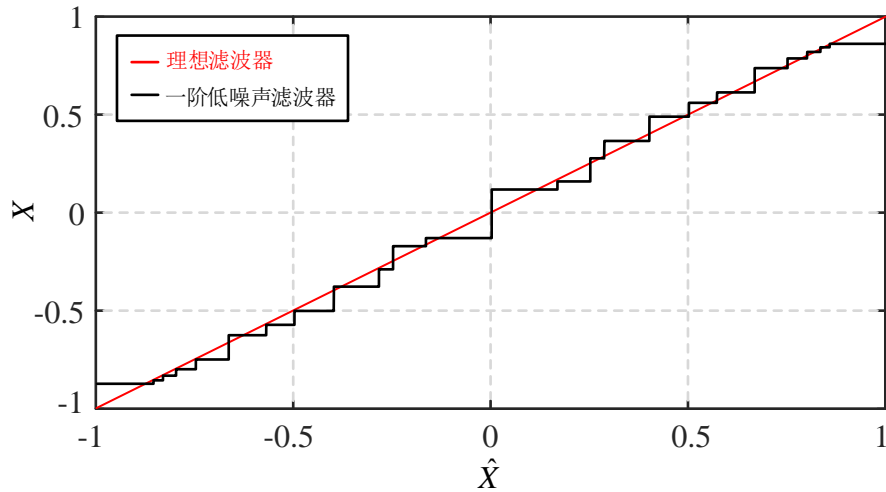
**end**

**if**  $P_{lb} > P_{ub}$  **then**  $\hat{X} \leftarrow lb_{\max}$

**else**  $\hat{X} \leftarrow ub_{\min}$

**Return :**  $\hat{X}$

---

图 3.11 当  $OSR=8$  时，一阶增量型低噪声数字滤波器的解码结果Fig.3.11 Decoded result of first-order incremental low-noise digital filter with  $OSR=8$



### 3.2.3 一阶增量型低噪声数字滤波器性能分析

#### ① 量化噪声

在理论上, 对于给定的过采样率, 最优数字滤波器可以获得最低的均方误差  $\text{MSE}(\sigma_q^2)$ 。均方误差可以衡量系统的平均量化噪声功率, 并且可以体现总体的精度。对于均匀分布的直流输入,  $\sigma_q^2$  的计算公式为:

$$\begin{aligned}\sigma_q^2 &= \frac{1}{2V_{\text{FS}}} \int_{-V_{\text{FS}}}^{+V_{\text{FS}}} (X - \hat{X})^2 dX \\ &= \frac{1}{6V_{\text{FS}}} \sum_{i=1}^{N_{\text{step}}} \left\{ (X_{\text{end}}[i] - \hat{X}[i])^3 - (X_{\text{start}}[i] - \hat{X}[i])^3 \right\}\end{aligned}\quad (3.12)$$

其中, 输入信号  $X$  的范围为  $[-V_{\text{FS}}, V_{\text{FS}}]$ , 而  $N_{\text{step}}$  是在该输入范围内的量化输出步长的总数。  $X_{\text{end}}[i]$ ,  $X_{\text{start}}[i]$  和  $\hat{X}[i]$  分别是第  $i$  次的开始, 结束以及解码输出。因此, 在图 3.11 中, 当  $\text{OSR}=8$  的情况下, 一阶增量型低噪声数字滤波器进行解码输出的均方误差值  $\sigma_q^2 = 6.4 \times 10^{-3}$ 。对于直流输入而言, 一个系统的 SQNR 的峰值可以用  $10 \cdot \log(4V_{\text{FS}}^2 / \sigma_q^2)$  进行计算, 而采用正弦输入通用 ADC<sup>[42]</sup>, 波峰因子校正后的 SQNR 为  $10 \cdot \log(V_{\text{FS}}^2 / 2 / \sigma_q^2)$ 。作为最优数字滤波器的优化方案, 尽管一阶增量型低噪声数字滤波器不能实现与最优数字滤波器相同的性能, 但是由于其解码是与其调制器编码相反的过程, 那么  $lb_{\text{max}}$  和  $ub_{\text{min}}$  是更优的界限, 因此使用单边边界作为输入估计, 那么在量化噪声抑制方面, 所提出的方案是接近最优数字滤波器。通过 Matlab 仿真分析, 对于相同的一阶调制器的数字输出比特流, 当使用不同的数字滤波器时, 增量型 Sigma-Delta ADC 所能达到的 SQNR, 如图 3.12 所示。当 OSR 为 1024 时, 使用一阶增量型低噪声的数字滤波器时, 所达到的 SQNR 分别比  $\text{CoI}^1/\text{CoI}^2/\text{sinc}^2$  高 24/2/9 dB。由于一阶调制器的输出比特流不是高度调制的, 因此  $\text{CoI}^2$  滤波器有着与所提出的方案相当的性能, 但是对于高阶调制器, 所提出的滤波器的性能将远远超过所讨论的  $\text{COI}$  滤波器。

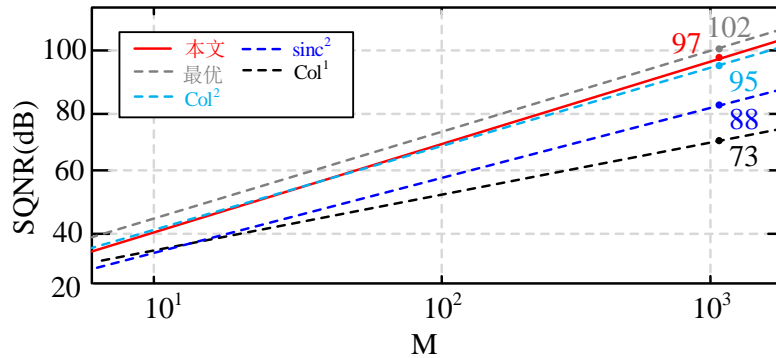


图 3.12 当 OSR=1024 时, 使用不同滤波器的 SQNR

Fig.3.12 SQNR with different filters when OSR=1024

## ② 热噪声

高分辨率的增量型 Sigma-Delta ADC 为了实现高能效这个目标, 通常被设计为热噪声受限的形式。那么, 对于这些热噪声受限的 ADC 而言, 假设调制器的输入参考热噪声功率为  $\sigma_{t\_in}^2$ , 不等式  $\sigma_{t\_in}^2 / K_{ave} \gg \sigma_q^2$  成立。在这里,  $K_{ave}$  表示数字滤波器的有效热噪声的平均周期, 并且该值越大越好。在文献<sup>[43]</sup>中, 提出热噪声惩罚因子  $\beta_t$  (越小越好) 被用来描述任意一个滤波器与均匀加权滤波器相比的热噪声抑制能力, 该值相当于  $M/K_{ave}$ , 以此表征解码器热噪声性能。假设在转换周期为  $P_{lb}$  和  $P_{ub}$  时, 分别得到输入界限  $lb_{max}$  和  $ub_{min}$ , 进而在  $lb_{max}$  和  $ub_{min}$  中的热噪声功率将分别是  $\sigma_{t\_in}^2 / p_{lb}$  和  $\sigma_{t\_in}^2 / p_{ub}$ 。接下来, 对这两种边界计算的可能场景进行有关热噪声的详细分析。

当  $lb_{max} \leq ub_{min}$  时, 在这种情况下, 输入界限  $lb_{max}$  和  $ub_{min}$  仍然定义在有效区域, 对于最优数字滤波器而言,  $(lb_{max} + ub_{min})/2$  仍然是一个比较好的输入估计, 但是考虑到输入界限  $lb_{max}$  和  $ub_{min}$  中的噪声相关性, 此情况下的噪声功率  $\sigma_{t\_out}^2$  为:

$$\sigma_{t\_out}^2 = \frac{1}{4} \cdot \left[ \frac{1}{p_{lb}} + \frac{1}{p_{ub}} + \frac{2}{\max(p_{lb}, p_{ub})} \right] \sigma_{t\_in}^2 \quad (3.13)$$

当  $lb_{max} > ub_{min}$  时, 但由于该情况下, 不满足条件  $\{lb[i] \leq ub[j], \forall i, j \in \mathbb{Z}^+\}$ , 即输入界限  $lb_{max}$  和  $ub_{min}$  仍然定义在无效区域。当一个较大的瞬时噪声注入调制器时, 从而产生的界限可能与实际输入相差甚远, 而且这种情况也时常发生。在这里, 同样可以考虑将由相对较大的量化周期  $P_{lb}$  或者  $P_{ub}$  下, 导出的界限  $lb_{max}$  或者  $ub_{min}$  作为输入估计  $\hat{x}$ , 输出的热噪声功率为:

$$\sigma_{t\_out}^2 = \frac{\sigma_{t\_in}^2}{\max(p_{lb}, p_{ub})} \quad (3.14)$$

综上所述, 对于以上两种边界计算情况, 数字滤波器的有效热噪声平均周期  $K_{ave}$  值都是  $\max(p_{lb}, p_{ub})$ 。因此, 该一阶增量型低噪声数字滤波器的热噪声惩罚因子  $\beta_t$  可以表示为:

$$\beta_t = M / \max(p_{lb}, p_{ub}) \quad (3.15)$$

其中,  $M$  是增量型 Sigma-Delta 调制器的过采样率。接下来, 将简要分析线性滤波器的热噪声惩罚因子  $\beta_t$ , 进而对比不同滤波器处理热噪声的性能, 从而直观地展现该增量型低噪声数字滤波器的优秀的热噪声处理能力。对于线性滤波器<sup>[44]</sup>, 假设每个比特的滤波权重为  $\{\omega(i), i \in \mathbb{Z}^+, 1 \leq i \leq M\}$ , 则其热噪声惩罚因子  $\beta_t$  表示为:

$$\beta_t = M \frac{\sum_{i=1}^M w(i)^2}{\left[ \sum_{i=1}^M w(i) \right]^2} \quad (3.16)$$

当线性滤波器具有均匀的滤波权重  $w(i) \equiv 1$  时，其  $\beta_t$  最小值为 1。而所提出的滤波器是非线性的，因此采用统计仿真的方法来估计其  $\beta_t$ 。图 3.13 显示了不同过滤器的  $\beta_t$  和  $\overline{\sigma_{t,\text{out}}^2} / \sigma_q^2$  之间的关系。这里， $\overline{\sigma_{t,\text{out}}^2} / \sigma_q^2$  是增量型 Sigma-Delta ADC 的平均输出热噪声与量化噪声之比。当设计的 ADC 是量化噪声受限的形式时，即  $\overline{\sigma_{t,\text{out}}^2} \ll \sigma_q^2$  时，所提出的滤波器的  $\beta_t$  (1.26) 优于  $\text{sinc}^2$  和  $\text{Col}^2$  滤波器 (1.35)。随着输出热噪声的增加，那么  $p_{lb}$  和  $p_{ub}$  往往是在较小的量化周期内获得的，即  $\max(p_{lb}, p_{ub})$  将会变小，根据公式 3.14，则该滤波器的  $\beta_t$  逐渐变差。而对于热噪声受限调制器， $\overline{\sigma_{t,\text{out}}^2} / \sigma_q^2$  可以设计为 4~9，并不会过多抑制  $\sigma_q^2$ 。此外， $\beta_t$  对 OSR 的依赖性很小，因此与一阶增量型 Sigma-Delta 调制器相比，二阶调制器是更好的选择，因为它提供相同的噪声代价，但 SQNR 要高得多。如果使用提出的滤波器，当 OSR 超过 1000，当  $\overline{\sigma_{t,\text{out}}^2} = 4\sigma_q^2$  时，其  $\beta_t$  将略大于 1.6，而对于最优数字滤波器，其  $\beta_t$  大于 3，即使它具有最低的量化噪声，也不能实现高能效。综上所述，在设计的 ADC 是量化噪声受限的形式时，所提出的一阶增量型低噪声滤波器有着更好的热噪声处理能力，而设计的 ADC 是热噪声受限的形式时，该滤波器的热噪声处理能力仅略差于线性滤波器。值得注意的是，与最优数字滤波器相比，该增量型低噪声数字滤波器有着更高的能效。

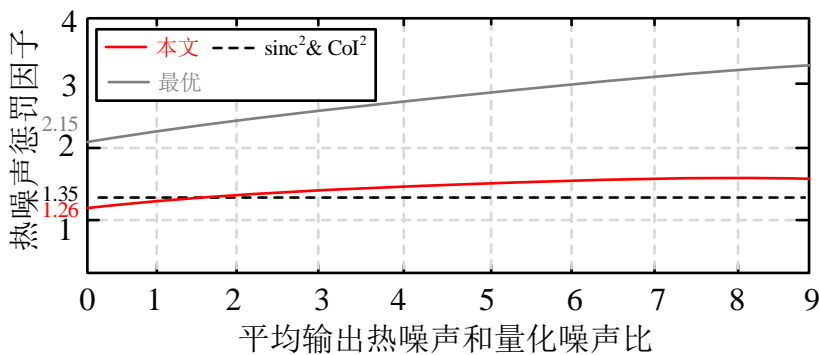


图 3.13 热噪声惩罚因子与平均输出热噪声和量化噪声比的关系

Fig.3.13 Thermal noise penalty factor versus the averaged output thermal noise and quantization noise ratio

图 3.14 显示了使用所提出的滤波器，对于不同输入  $X$  (从-1 到 1，模拟步长为  $2.7 \times 10^{-6}$ ) 进行解码的输出热噪声分布。在本例中，使用的 OSR 为 256， $\sigma_{t\_in}^2$  为  $1.8 \times 10^{-5}$ ，以确保系统的热噪声受限。结果表明，在整个输入范围内，输出噪声是均匀的。大尖峰仅仅是因为那些输入处于某个大量化步长的边缘，这并不代表它们的真实热噪声内容

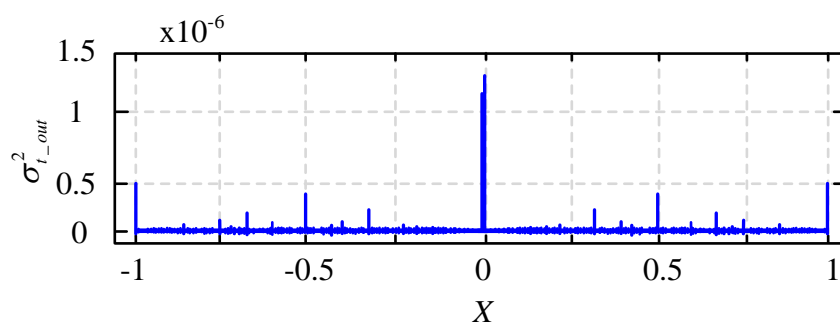


图 3.14 当 OSR 为 256 和  $\sigma_{t\_in}^2$  为  $1.8 \times 10^{-5}$  时，在不同的输入  $X$  下的输出噪声

Fig.3.14 Output noise for different  $X$  at an OSR of 256 and  $\sigma_{t\_in}^2 = 1.8 \times 10^{-5}$

在理想情况下，为了获得 70 dB 的峰值信噪比，表 3.5 总结了不同滤波器所需的 OSR 和  $\sigma_{t\_in}^2$ ，所提出的滤波器所需的 OSR 是最低的，但是不能提供信号陷波。由于优化前的最优数字滤波器的热噪声惩罚因子太高，不适合实际设计，因此不包括在此表中。值得一提的是，由于输入参考噪声必须降低，以满足信噪比要求，尽管使用所提出的滤波器不能降低调制器所消耗的能量，但是外围电路消耗的能量将随着 OSR 的增加而成比例地降低，如数字控制器、偏置、缓冲器等，通常占增量型 Sigma-Delta ADC 总能量的一半以上。例如，在文献<sup>[44]</sup>中，占比为 52%，更不用说从电压基准和时钟源的节能。

表 3.5 为了实现一阶调制器的 70dB 的峰值信噪比，不同滤波器所需的 OSR 和  $\sigma_{t\_in}^2$

Table 3.5 To achieve the 70dB peak signal-to-noise ratio of the first-order

	modulator, the required OSR and $\sigma_{t\_in}^2$			
	sinc <sup>1</sup>	sinc <sup>2</sup>	CoI <sup>2</sup>	本文
OSR	2550	464	286	275
$\sigma_{t\_in}^2$	$5.1 \times 10^{-4}$	$7.0 \times 10^{-5}$	$4.3 \times 10^{-5}$	$3.8 \times 10^{-5}$
信号陷波	Yes	Yes	No	No

### 3.3 二阶增量型 Sigma-Delta 调制器的数字滤波器建模和设计原理

尽管一阶增量型低噪声数字滤波器解决了最优数字滤波器抗干扰能力差的局限性，但是在应用于一阶调制器时，其性能仅略优于  $\text{CoI}^2$  滤波器，那么在这一章节中，会将其延伸到二阶，详细阐述二阶增量型低噪声数字滤波器的设计原理，以展现其在高度调制的比特流解码方面的优越性能。

#### 3.3.1 二阶增量型 Sigma-Delta 调制器的数学模型

一位二阶增量型 Sigma-Delta 调制器的经典通用模型，如下图 3.15 所示，同时展现了经典的级联积分器反馈(Cascaded Integrator Feed-Back, CIFB)拓扑结构和级联积分器前馈(Cascaded Integrator Feed-Forward, CIFF)拓扑结构，其调制器系数见表 3.6。

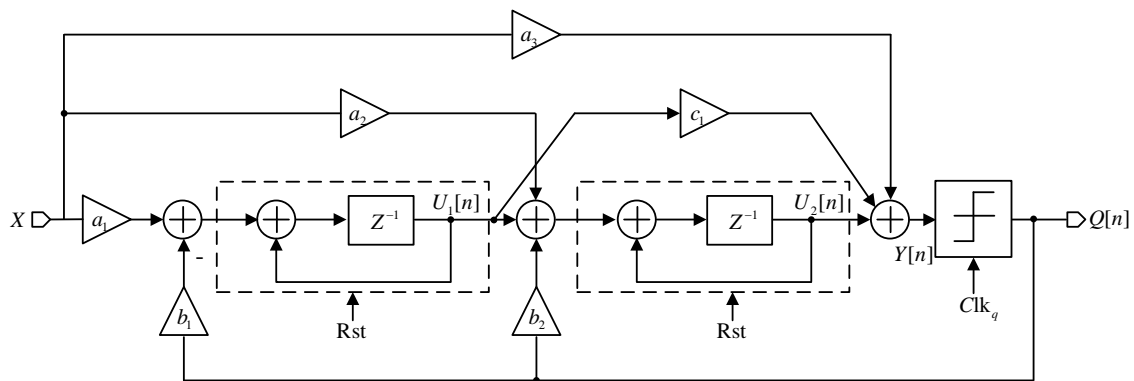


图 3.15 一位二阶增量型 Sigma-Delta 调制器的通用模型

Fig.3.15 General model of one-bit second-order incremental Sigma-Delta modulators

表 3.6 一位二阶增量型 Sigma-Delta 调制器模型的系数

Table 3.6 Coefficients of the model of one-bit second-order incremental Sigma-Delta modulators

	$a_1$	$a_2$	$a_3$	$b_1$	$b_2$	$c_1$
CIFB	1	0	0	1	2	0
CIFF	1	0	1	1	0	2

对于该一位二阶增量型 Sigma-Delta 调制器，为了在分析过程中更加的简单明了，与一阶调制器模型类似，在数学推导过程中，可作出如下相同的假设：在 Sigma-Delta ADC 的转换过程中，调制器的输入  $X$  保持恒定，其取值范围为  $X \in [-1,1]$ 。那么，由图 3.15 可知，第一级积分器输出  $U_1[n]$  的离散时间差分方程为：

$$U_1[n] = a_1 X + U_1[n-1] - b_1 Q[n-1] \quad (3.17)$$

而第二级积分器输出  $U_2[n]$  的离散时间差分方程为：

$$U_2[n] = a_2 X + U_1[n-1] + U_2[n-1] - b_2 Q[n-1] \quad (3.18)$$

一位量化器输入  $Y[n]$  的离散时间差分方程为:

$$Y[n] = a_3 X + c_1 U_1[n] + U_2[n], \quad n \geq 1 \quad (3.19)$$

由公式 3.17、3.18 以及 3.19, 量化器输入  $Y[n]$  可以表示为:

$$Y[n] = \left[ a_1 \frac{n(n-1)}{2} + (a_1 c_1 + a_2) n + a_3 \right] \cdot X - \left[ (b_1 c_1 + b_2) \sum_{i=1}^{n-1} Q[i] + b_1 \sum_{k=1}^{n-1} \sum_{j=1}^{k-1} Q[j] \right] \quad (3.20)$$

为了进一步简化公式 3.20 中, 可以分别用  $R_n$  和  $S_n$  来代替其整个系数, 则可表示为:

$$Y[n] = R_n \cdot X - S_n, \quad n \geq 1 \quad (3.21)$$

其中, 当  $n=0$  时, 即  $R_0 = a_3$  和  $S_0 = 0$ 。同样地, 上述的编码过程也可以使用网格图来解释。值得注意的是, 将公式 3.20 与前面章节推导出的一增量型 Sigma-Delta 调制器对应公式 3.7 相比较, 可以发现在这里  $R_n$  是有效输入斜坡系数, 而  $S_n$  表示第  $n$  个量化周期的格值。当  $R_n=0$  时, 将不应用反馈, 并且  $Q[n]=0$ 。接下来是一位量化器的操作:

$$Q[n] = \begin{cases} 1 & X \geq S_n / R_n \\ -1 & X < S_n / R_n \end{cases} \quad (3.22)$$

通过公式 3.21 和 3.22, 可以推导出在理想情况下的一位二阶经典 CIFB 拓扑结构的增量型 Sigma-Delta 调制器的输出比特流, 代入相应的 CIFB 调制器系数, 即  $a_1 = b_1 = 1$  以及  $b_2 = 2$ , 将  $R_n$  和  $S_n$  具体表示出来, 则量化器输入  $Y[n]$  可以表示为:

$$Y[n] = \left[ \frac{n(n-1)}{2} \right] \cdot X - \left[ 2 \sum_{i=1}^{n-1} Q[i] + \sum_{k=1}^{n-1} \sum_{j=1}^{k-1} Q[j] \right], \quad n \geq 1 \quad (3.23)$$

其中, 当  $n=0$  时, 即  $R_0 = 0$  和  $S_0 = 0$ 。例如, 当过采样率为 6 时, 无噪输入  $X = 3/5$ , 利用上述关系, 可以绘制出二阶增量型 Sigma-Delta 调制器的输出比特流  $Q[n]$  的相应曲线, 如图 3.16 所示。在理想情况下, 当  $n=0$  时,  $y[0] = Q[0] = 0$ 。在第 1 个量化周期时, 即  $n=1$  时, 由于  $R_1 = 0$  和  $S_1 = 0$ , 此时该调制器将不应用反馈, 则量化器输出  $Q[1] = 0$ 。在第 2 个量化周期时, 即  $n=2$  时, 由于  $R_2 = 1$  和  $S_2 = 0$ , 即  $S_2 / R_2 = 0 < 3/5$ , 则量化器输出  $Q[2] = 1$ 。在第 3 个量化周期时, 即  $n=3$  时, 由于  $R_3 = 3$  和  $S_3 = 2$ , 即  $S_3 / R_3 = 2/3 > X$ , 则量化器输出  $Q[3] = -1$ 。按照此思路, 以此类推, 可以得到相应的量化器输出  $Q[n] = [0, 1, -1, 1, 1, 1]$ 。

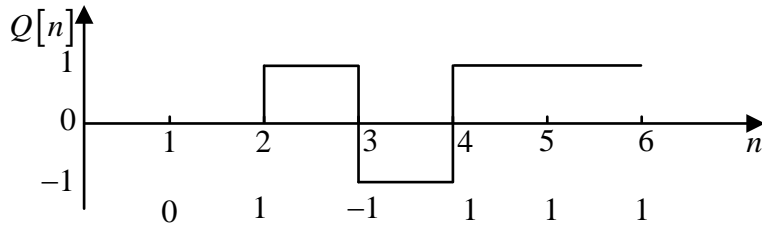

 图 3.16 二阶增量型 Sigma-Delta 的量化器输出比特流  $Q[n]$ 

 Fig.3.16 Quantizer output bit stream  $Q[n]$  of second-order incremental Sigma-Delta

上述的编码过程同样也可以使用网格图来解释。该网格图的格点可以由表达为下列集合形式：

$$L_n = \{(R_n, S_{n-list}) : n \in \mathbb{Z}^+, 1 \leq n \leq M\} \quad (3.24)$$

其中， $S_{n-list}$  表示在第  $n$  个量化周期时， $S_n$  能取得的所有可能值。需要注意的是，当  $n=1$  时， $R_1 = S_1 = 0$ 。由于网格图的上半部分与下半部分关于 X 轴对称，为简单起见，这里只描绘出调制器的 OSR=6 的网格图的上半部分，如图 3.17 所示。

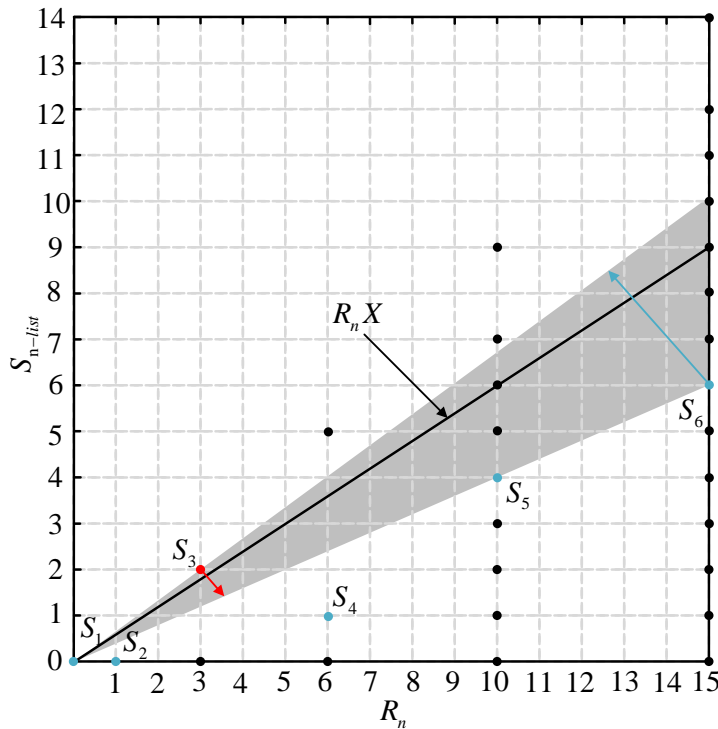

 图 3.17 二阶调制器的网格图以及调制器的输出  $Q[n]=[0,1,-1,1,1,1]$ ，其中输入  $X=3/5$ 

 Fig.3.17 The grid diagram for the second-order modulator and  $Q[n]=[0,1,-1,1,1,1]$  for input  $X=3/5$ 

通过观察该网格图，可以将  $S_n / R_n$  表示为网格点中坐标  $(0, 0)$  到坐标  $(S_n, R_n)$  所连直线的斜率。根据公式 (3.21)，可以得知，调制器的数字输出  $Q[n]$  的取值，由

$S_n/R_n$  与输入  $X$  的相对大小决定, 换句话说, 也可以通过直线  $R_n X$  和坐标点  $(S_n, R_n)$  的相对位置来决定量化器输出  $Q[n]$ 。如果坐标点  $(S_n, R_n)$  在直线  $R_n X$  上方, 则在第  $n$  个量化周期时,  $S_n > R_n X$ , 即  $X < S_n/R_n$ , 此时调制器的数字输出  $Q[n] = -1$ 。如果坐标点  $(S_n, R_n)$  在直线  $R_n X$  下方或者恰好落在直线上, 则在第  $n$  个量化周期时,  $S_n \leq R_n X$ , 即  $X \geq S_n/R_n$ , 此时调制器的数字输出  $Q[n] = 1$ 。

同样地, 当  $\text{OSR}=6$  时, 无噪输入  $X=3/5$ , 可以使用上述网格到的分析思路, 推导出二阶增量型 Sigma-Delta 调制器的数字输出  $Q[n]$ , 同时在图 (3.16) 中绘制出该曲线。根据假设条件, 有初始条件  $R_0 = S_0 = 0$ , 同时当  $R_n=0$  时, 将不应用反馈, 并且  $Q[n]=0$ 。在第 1 个量化周期时, 由于  $R_1=0$  和  $S_1=0$ , 此时该调制器将不应用反馈, 则量化器输出  $Q[1]=0$ 。在第 2 个量化周期时, 即  $R_2=1$ ,  $R_2 X = 3/5 > S_2 = 0$ , 则此时调制器的数字输出  $Q[2]=1$ 。在第 3 个量化周期时, 即  $R_3=3$ ,  $R_3 X = 9/5 < S_3 = 2$ , 则此时调制器的数字输出  $Q[3]=-1$ 。在第 4 个量化周期时, 即  $R_4=6$ ,  $R_4 X = 18/5 > S_4 = 1$ , 则此时调制器的数字输出  $Q[4]=1$ 。在第 5 个量化周期时, 即  $R_5=10$ ,  $R_5 X = 6 > S_5 = 4$ , 则此时调制器的数字输出  $Q[5]=1$ 。在第 6 个量化周期时, 即  $R_6=15$ ,  $R_6 X = 9 > S_6 = 6$ , 则此时调制器的数字输出  $Q[6]=1$ 。综上所述, 当过采样率为 6 时, 一个无噪输入  $X=3/4$  在通过理想的二阶增量型 Sigma-Delta 调制器, 所得到的数字输出  $Q[n]=[0,1,-1,1,1,1]$ 。而且, 从图中可以看到, 网格图的格点  $(S_n, R_n)$  分布在直线  $R_n X$  的两侧, 通过形成的包络来追踪直线  $R_n X$  的斜率。

### 3.3.2 二阶增量型低噪声数字滤波器设计原理

在详细阐述本文所提出的二阶高低噪声数字滤波器之前, 先论述一种二阶的最优数字滤波器的设计原理。在理想的情况下, 由公式 3.22 可知, 如果  $Q[n]=1$ , 则  $X \geq S_n/R_n$  成立, 那么可以将  $lb[n] = S_n/R_n$  视为输入信号  $X$  的一个临时下界。类似地, 如果  $Q[n]=-1$ , 则  $X < S_n/R_n$  成立, 那么可以将此时的  $ub[n] = S[n]/R_n$  视为输入信号  $X$  的一个临时上界。对于  $X \in [-1,1]$ , 初始的边界  $lb[0] = -1$ ,  $ub[0] = 1$ 。通过将这一特性应用于调制器的输出, 可以逐步细化  $X$  的范围, 进而找出其最大的上界  $lb_{\max}$  以及最小的下界  $ub_{\min}$ 。从网格图 3.17 来理解, 这相当于在网格图上找出两个格点  $(R_n, S[n])$ , 形成的包络区域能够最好地包含直线  $R_n X$  (如图 3.17 的灰色区域), 同时,  $\{lb[i] \leq ub[j], \forall i, j \in \mathbb{Z}^+\}$  必须一直成立。在此前提下, 当  $\text{OSR}$  为  $M$  时, 对于输入  $X$  的估计值  $\hat{X}$  为, 同样满足一阶最优数字滤波器的公式 3.10。当过采样率  $\text{OSR}=6$  时, 一个无噪输入  $X=3/5$ , 通过理想的一位二阶增量型 Sigma-Delta 调制器, 所编码的数字输出  $Q[n]=[0,1,-1,1,1,1]$ 。值得注意的是, 设置的初始条件如下所示: 初始的边界  $lb_{\max}=lb[0] = -1$ ,  $ub_{\min}=ub[0] = 1$ 。而且, 当  $n=0$  时, 即对调制器进行初始化的时候, 所得到的数字输出  $Q[0]=0$ 。根据二阶



最优数字滤波器解码的过程,很容易地便可得到当过采样率为6时,由于 $lb_{\max}=3/10$ , $ub_{\min}=2/3$ ,根据公式 3.10,则对应的估计值 $\hat{X}=8/15$ ,如表 3.7 所示。同时,最优数字滤波器对编码输出 $Q[n]$ 的解码流程图,如图 3.18 所示。

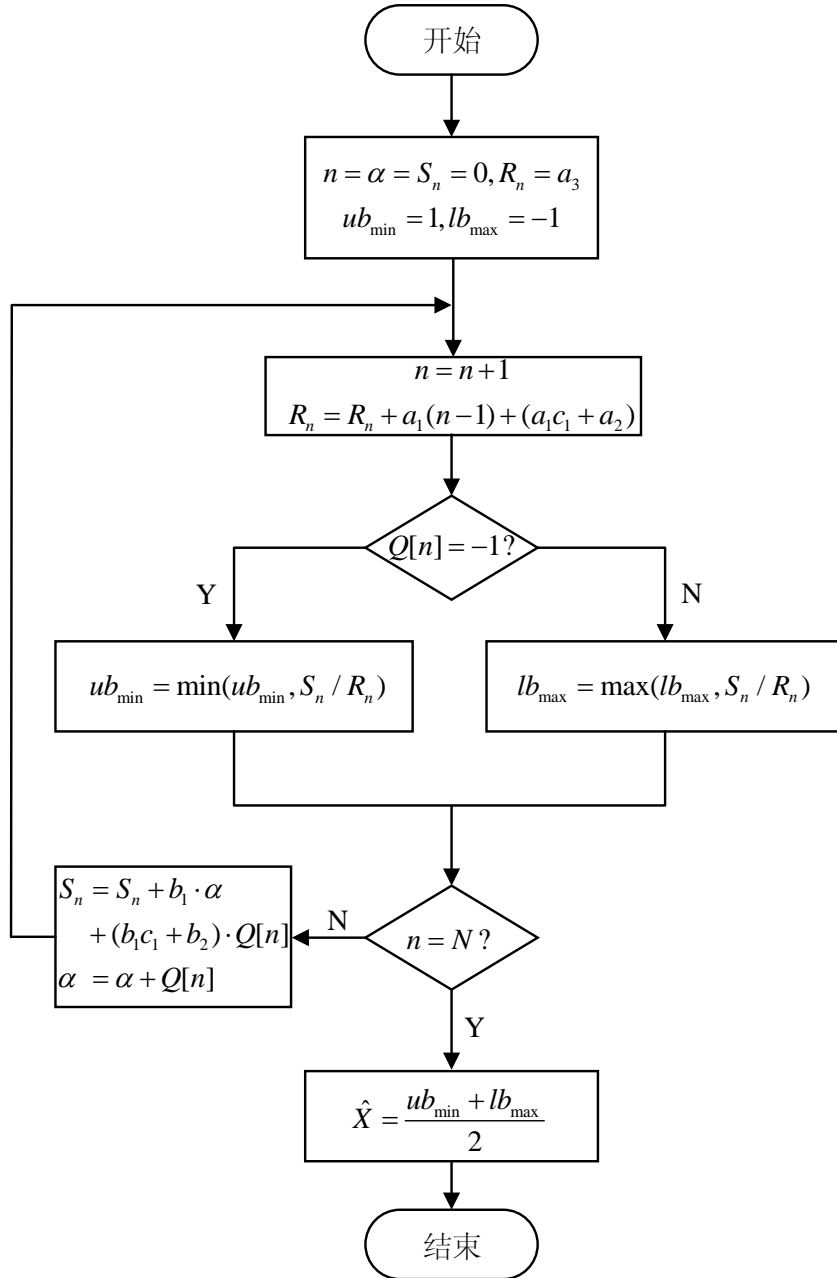


图 3.18 二阶最优数字滤波器的解码流程图

Fig.3.18 Flowchart of second -order optimal digital filter decoding

由于该算法对数字输出 $Q[n]$ 进行的解码过程,与调制器的编码方式相反,并且将量化间隔的中点作为解码结果,那么此算法为最优的解码方式。表格 3.8 总结了此最优数字滤波器解码的操作。

表 3.7 二阶最优数字滤波器的解码结果

Table 3.7 Decoding results of the second-order digital optimal filter

$n$	0	1	2	3	4	5	6
$Q[n]$	0	0	1	-1	1	1	1
$S_n$	0	0	0	2	1	3	6
$R_n$	0	0	1	3	6	10	15
$ub[n]$	1	1	1	2/3	2/3	2/3	2/3
$lb[n]$	-1	-1	0	0	1/6	3/10	2/5

表 3.8 二阶最优数字滤波器的解码算法

Table 3.8 Decoding algorithm of second-order optimal digital filter

**Algorithm 3** 二阶最优数字滤波器的解码算法**input** : Output bitstream  $q$  of size  $1 \times M$ ,  $Q[n] \in \{-1, 1\}$ **output** :  $\hat{X}$ **initialize** :  $ub_{\min} \leftarrow -1$ ,  $lb_{\max} \leftarrow -1$ ,  $S_n \leftarrow 0$ ,  $R_n \leftarrow a_3$ ,  $\alpha \leftarrow 0$ **for**  $n \leftarrow 1$  **to**  $M$  **do** $R_n \leftarrow R_n + a_1(n-1) + (a_1c_1 + a_2)$ **if**  $Q[n] = -1$  **then****if**  $S_n / R_n \leq ub_{\min}$  **then**  $ub_{\min} \leftarrow S_n / R_n$ **else do nothing****else****if**  $S_n / R_n \geq lb_{\max}$  **then**  $lb_{\max} \leftarrow S_n / R_n$ **else do nothing****end** $S_n \leftarrow S_n + (b_1c_1 + c_2) \cdot Q[n] + b_1 \cdot \alpha$  $\alpha \leftarrow \alpha + Q[n]$ **end** $\hat{X} = (ub_{\min} + lb_{\max})/2$ **Return** :  $\hat{X}$ 

通过 Matlab 仿真，当  $OSR=8$  的情况下，最优数字滤波器对于二阶增量型 Sigma-Delta 调制器的输出解码，如图 3.19 所示。

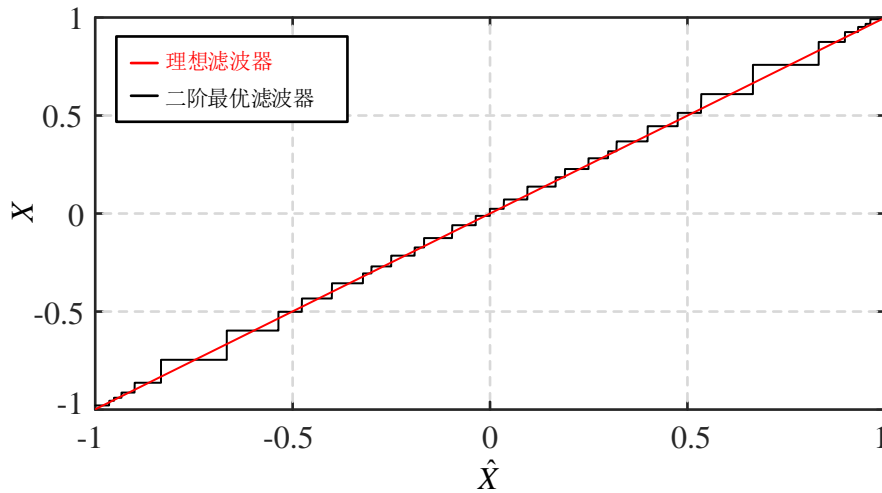


图 3.19 当 OSR=8 时，二阶最优数字滤波器的解码结果

Fig.3.19 Decoded result of the second-order optimal digital filter with OSR=8

与一阶增量型低噪声数字滤波器的设计优化思路基本相同，二阶增量型低噪声数字滤波器的设计同样需要对二阶最优数字滤波器的基础在面对不同的边界场景时，进行有针对性地优化。然而，由于在该设计过程中，二阶增量型 Sigma-Delta 调制器的结构更为复杂，将引入更多参数。因此，相应的流程图和算法思路也要进行对应优化。二阶增量型低噪声数字滤波器的设计仍然需要保证滤波器在两种可能的边界场景中，都可以对一位二阶增量型 Sigma-Delta 调制器的数字输出成功解码，即当转换周期为  $P_{lb}$  和  $P_{ub}$  时，分别得到输入界限  $lb_{\max}$  和  $ub_{\min}$ ，无论哪一个输入界限更大时，此设计都能最大限度地保持低量化噪声，同时提供了良好的热噪声平均。在这里，同样可以考虑将在相对较大的量化周期  $P_{lb}$  或者  $P_{ub}$  下，导出的界限  $lb_{\max}$  或者  $ub_{\min}$  作为输入估计  $\hat{X}$ ，则该输入估计同样满足公式 3.11。在章节 3.21 中，推导出了当过采样率 OSR=6 时，一个无噪输入  $X=3/5$ ，在通过理想的一位二阶增量型 Sigma-Delta 调制器的编码输出  $Q[n]=[0,1,-1,1,1,1]$ 。二阶增量型低噪声数字滤波器的初始条件设置如下： $lb_{\max}=lb[0]=-1$ ， $ub_{\min}=ub[0]=1$ ，同时，量化周期  $P_{lb}=P_{ub}=1$ 。当  $n=0$  时，对调制器进行初始化，其数字输出  $Q[0]=0$ 。根据二阶增量型低噪声数字滤波器对输出比特流解码的设计原理，由于此时量化周期  $P_{lb}=2 < P_{ub}=3$ ，则选择输入界限  $ub_{\min}$  作为输入估计值，即对应的估计值  $\hat{X}=ub_{\min}=2/3$ ，如表 3.9 所示。同时，图 3.20 展示了二阶增量型低噪声数字滤波器对编码输出  $Q[n]$  解码的流程图。

表 3.9 二阶增量型低噪声数字滤波器的解码结果

Table 3.9 Decoding result of second-order incremental low-noise digital filter							
$n$	0	1	2	3	4	5	6
$Q[n]$	0	0	1	-1	1	1	1
$S_n$	0	0	0	2	1	3	6
$R_n$	0	0	1	3	6	10	15
$ub[n]$	1	1	1	<b>2/3</b>	2/3	2/3	2/3
$lb[n]$	-1	-1	0	0	1/6	3/10	<b>2/5</b>

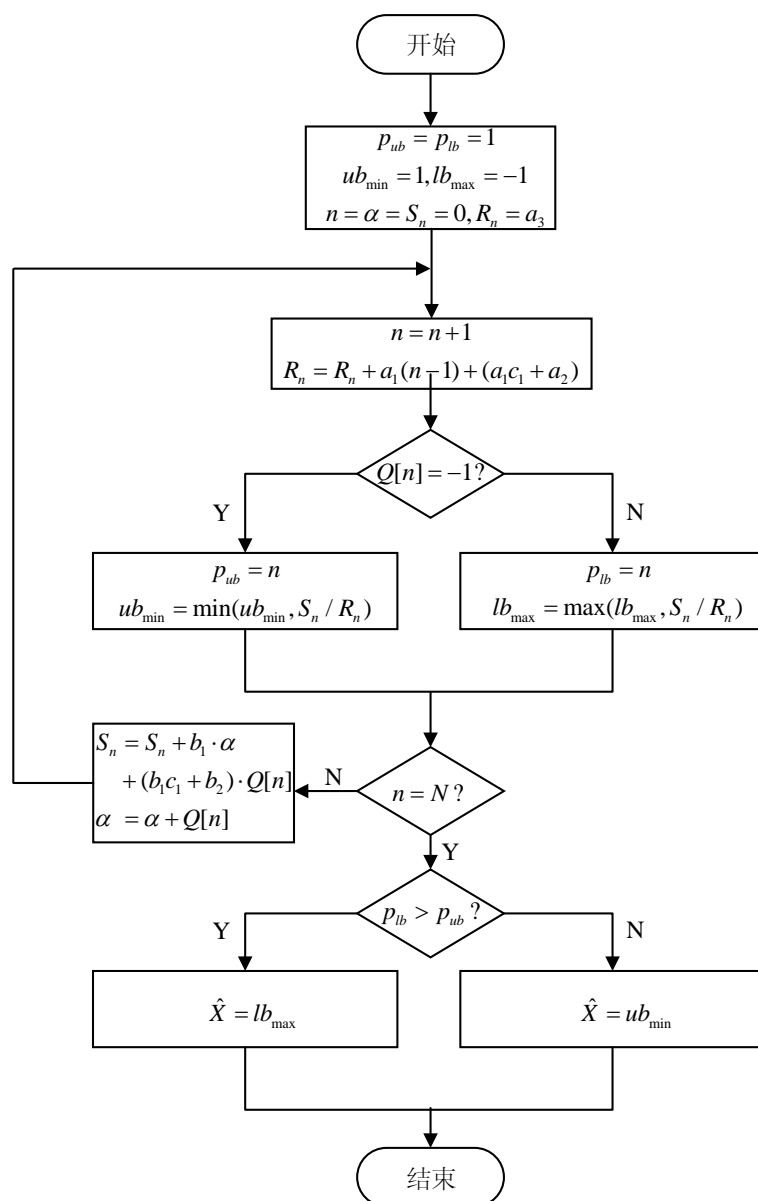


图 3.20 二阶增量型低噪声数字滤波器的解码流程图

Fig.3.20 The decoding flow chart of the second-order incremental low-noise digital filter

表 3.10 二阶增量型低噪声数字滤波器的解码算法

Table 3.10 Decoding algorithm of second-order incremental low-noise digital filter

**Algorithm 4** 二阶增量型低噪声数字滤波器的解码算法

**input** : Output bitstream  $q$  of size  $1 \times M$ ,  $Q[n] \in \{-1, 0, 1\}$

**output** :  $\hat{X}$

**initialize** :  $ub_{\min} \leftarrow 1$ ,  $lb_{\max} \leftarrow -1$ ,  $S_n \leftarrow 0$ ,  $R_n \leftarrow a_3$ ,  $\alpha \leftarrow 0$ ,

$p_{lb} \leftarrow 1$ ,  $p_{ub} \leftarrow 1$ ,

**for**  $n \leftarrow 1$  **to**  $M$  **do**

$R_n \leftarrow R_n + a_1(n-1) + (a_1c_1 + a_2)$

**if**  $Q[n] = -1$  **then**

**if**  $S_n / R_n \leq ub_{\min}$  **then**  $ub_{\min} \leftarrow S_n / R_n$ ,  $p_{ub} \leftarrow n$

**else do nothing**

**else**

**if**  $S_n / R_n \geq lb_{\max}$  **then**  $lb_{\max} \leftarrow S_n / R_n$ ,  $p_{lb} \leftarrow n$

**else do nothing**

**end**

$S_n \leftarrow S_n + (b_1c_1 + b_2) \cdot Q[n] + b_1 \cdot \alpha$

$\alpha \leftarrow \alpha + Q[n]$

**End**

**if**  $P_{lb} > P_{ub}$  **then**  $\hat{X} \leftarrow lb_{\max}$

**else**  $\hat{X} \leftarrow ub_{\min}$

**Return** :  $\hat{X}$

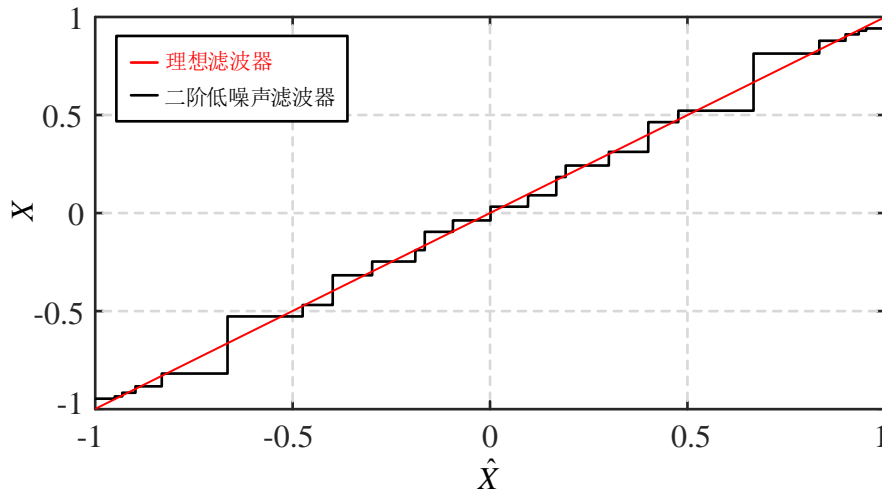


图 3.21 当 OSR=8 时，二阶增量型低噪声数字滤波器的解码结果

Fig.3.21 Decoded result of second-order incremental low-noise digital filter with OSR=8

表 3.10 中总结了此滤波器解码的算法。通过 Matlab 仿真，当  $OSR=8$  的情况下，图 3.21 展示了此数字滤波器对于二阶增量型 Sigma-Delta 调制器的输出解码。

### 3.3.3 二阶增量型低噪声数字滤波器性能分析

二阶增量型 Sigma-Delta 调制器的输出比特流的幅度和模式信息都被所提出的数字滤波器用来实现准确的输入估计，而且将经历更多量化周期的界限用作最终的输入估计，不仅降低了量化噪声，还允许足够的热噪声平均。

#### ① 量化噪声

为了定量地分析二阶增量型低噪声数字滤波器对于量化噪声的处理能力，这里采用了一位二阶增量型 CIFB 拓扑结构 Sigma-Delta 调制器，进行 Matlab 仿真分析，对于相同的 Sigma-Delta 调制器的数字输出比特流，当使用不同的数字滤波器时，增量型 Sigma-Delta ADC 所能达到的 SQNR。由于二阶调制器的数字输出是高度非线性的，因此更多的信息都编码在输出比特流中，那么根据其幅度和模式信息来实现更为准确输入估计的二阶增量型低噪声数字滤波器，在理论上，将拥有比其他线性滤波器更加的优越性能。如图 3.22 所示，当  $OSR$  为 400 时，使用提出的二阶增量型低噪声数字滤波器能达到的 SQNR 分别比  $CoI^2/CoI^3/sinc^2/sinc^3$  滤波器高 28/34/42/31 dB，可知该二阶增量型低噪声数字滤波器有着更加优越的量化噪声处理能力。同时， $CoI^3$  滤波器的性能比  $CoI^2$  滤波器差，这主要是因为当输入接近满量程时， $CoI^3$  滤波器的非线性误差较大。

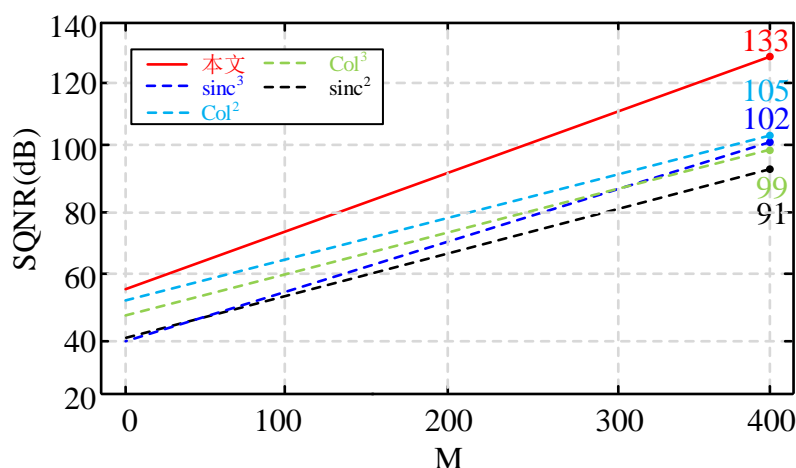


图 3.22 当  $OSR=400$  时，使用不同滤波器的 SQNR

Fig.3.22 SQNR with different filters when  $OSR=400$

## ② 热噪声

不同滤波器的热惩罚因子  $\beta_t$  和  $\overline{\sigma_{t\_out}^2} / \sigma_q^2$  之间的关系, 如图 3.23 所示。在热噪声抑制方面, 二阶增量型低噪声数字滤波器与同样不提供信号陷波的 COI 滤波器相比, 其  $\beta_t$  比 CoI<sup>3</sup> 滤波器低 15.9%, 比 CoI<sup>2</sup> 滤波器高 14%, 考虑到其优秀的量化噪声的处理能力, 这种热噪声性能的略微下降是可以接受的。同时, 与一阶增量型低噪声数字滤波器相比, 二阶  $\beta_t$  对  $\overline{\sigma_{t\_out}^2} / \sigma_q^2$  和 OSR 的依赖性更小, 因为在公式 3.22 中比较阈值  $S_n/R_n$ , 随  $n$  呈二次曲线下降, 最佳界限  $P_{lb}$  或者  $P_{ub}$  是在较大的量化周期中得到的, 而不受热噪声的影响。在理想情况下, 表 3.11 总结了不同滤波器实现 90dB 信噪比所需的 OSR 和  $\sigma_{t\_in}^2$ 。与线性滤波器相比, 该数字滤波器器所需的 OSR 值降低了 2.5~4.8 倍。当目标的信噪比更高时, 可以降低更多的 OSR, 那么对于一位二阶增量型 Sigma-Delta ADC 而言, 能够以更低的功耗达到同样的性能, 从而实现了高能效。

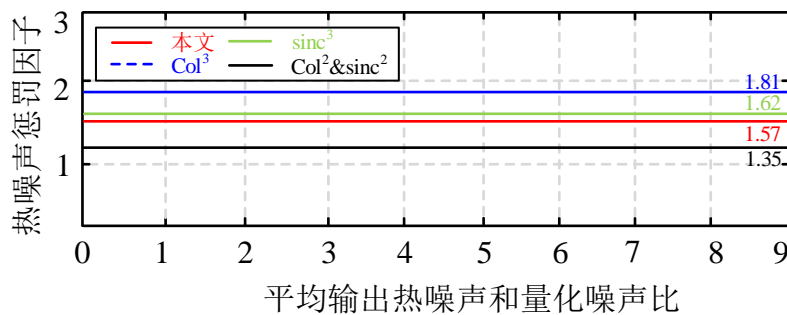


图 3.23 热噪声惩罚因子与平均输出热噪声和量化噪声比的关系

Fig.3.23 Thermal noise penalty factor versus the averaged output thermal noise and quantization noise ratio

表 3.11 为了实现二阶调制器的 90dB 的峰值信噪比, 不同滤波器所需的 OSR 和  $\sigma_{t\_in}^2$

Table 3.11 To achieve the 90dB peak signal-to-noise ratio of the second-order modulator, the required OSR and  $\sigma_{t\_in}^2$

	sinc <sup>2</sup>	sinc <sup>3</sup>	CoI <sup>2</sup>	CoI <sup>3</sup>	本文
OSR	577	320	300	345	120
$\sigma_{t\_in}^2 (\cdot 10^{-7})$	7.8	3.4	3.0	3.4	1.3
信号陷波	Yes	Yes	No	No	No

### 3.4 非理想因素的建模与分析

上述分析都是在理想的 Sigma-Delta 调制器的前提下，实际上，图 3.3 中的一阶增量型 Sigma-Delta 调制器具有各种非理想性，如图 3.24 所示，包括非零的初始条件  $U_0$ ，非单位增益  $0 < g < 1$ ，积分器的慢电荷泄漏  $0 < l < 1$  [45]。

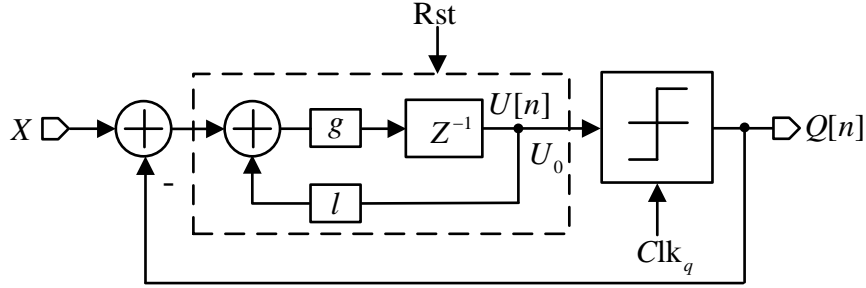


图 3.24 一阶调制器的非理想模型

Fig.3.24 Nonideal models of first-order modulators

考虑到非理想因素，将公式 3.6 修改为：

$$\begin{aligned} U_1[n] &= (gl)^n \cdot U_0 + g \frac{1-(gl)^n}{1-gl} \cdot X - g \sum_{i=1}^{n-1} (gl)^{n-1-i} Q[i] \\ &= \tilde{U}_0 + \tilde{R} X - \tilde{S}_n, \quad 1 \leq n \leq M \end{aligned} \quad (3.25)$$

虽然引入这些非理想因素后，增加了额外的计算，但如果它们的值是恒定的，就可以对其进行校准，避免调制器和数字滤波器之间的系数不匹配而引入的增益和偏移误差。从公式 3.25 中可以发现一阶滤波器的输出  $\tilde{S}_n / \tilde{R}_n$  主要受到  $g$  和  $l$  的影响。通过 Matlab 仿真分析，当使用 OSR 为 280 的不同滤波器时，积分器的非单位增益  $g$  和电荷泄漏  $l$  对 SQNR 的影响，如图 3.25 所示。

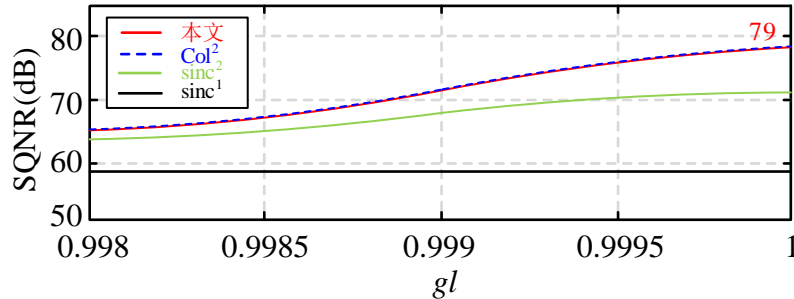


图 3.25 使用 OSR=280 的不同滤波器时，积分器增益和电荷泄漏对 SQNR 的影响

Fig.3.25 Effects of integrator gain and charge leakage on SQNR for different filters with OSR=280



结果表明, 所提出的滤波器受到调制器非理想因素影响的程度与  $\text{Col}^2$  滤波器相当。在现代技术中, 积分器电荷泄漏几乎可以忽略不计,  $l$  接近 1。因此, 只要积分器采用高增益运算放大器, 由调制器非理想因素所引起的 SQNR 下降就相对较小。例如, 一个增益为 80dB 的运算放大器对应于非单位增益  $g$  为 0.9999, 此时 SQNR 的降低量小于 1dB。同样地, 使用与上述相同的设计参数, 当非零初始条件  $U_0=0.01$  时, 将会引入  $35 \cdot 10^{-6}$  的偏移量, 可以方便地校准出来。

同样地, 二阶增量型 Sigma-Delta 调制器也会受到这些非理想性的影响, 除此之外, 由于提出的二阶增量型低噪声数字滤波器是通过调制器输出比特流的幅度和模式信息来实现更为准确的输入估计, 那么因电容失配引起的调制器反馈系数变化, 将会直接影响数字滤波器对量化噪声的处理能力。例如, 图 3.14 中一位二阶增量型 CIFB 拓扑结构的 Sigma-Delta 调制器, 其反馈系数  $b_1$  和  $b_2$  分别为 1 和 2。当 OSR 为 400 时, 反馈系数的变化量  $\Delta b_1$  或者  $\Delta b_2$  对 SQNR 的影响, 如图 3.26 所示。从图中可以得知, 反馈系数  $b_1$  对于 SQNR 的影响更大, 当变化量  $\Delta b_1$  为 0.001 时, SQNR 将会下降约 2 dB, 而当变化量  $\Delta b_2$  为 0.01 时, SQNR 才会下降约 3 dB。

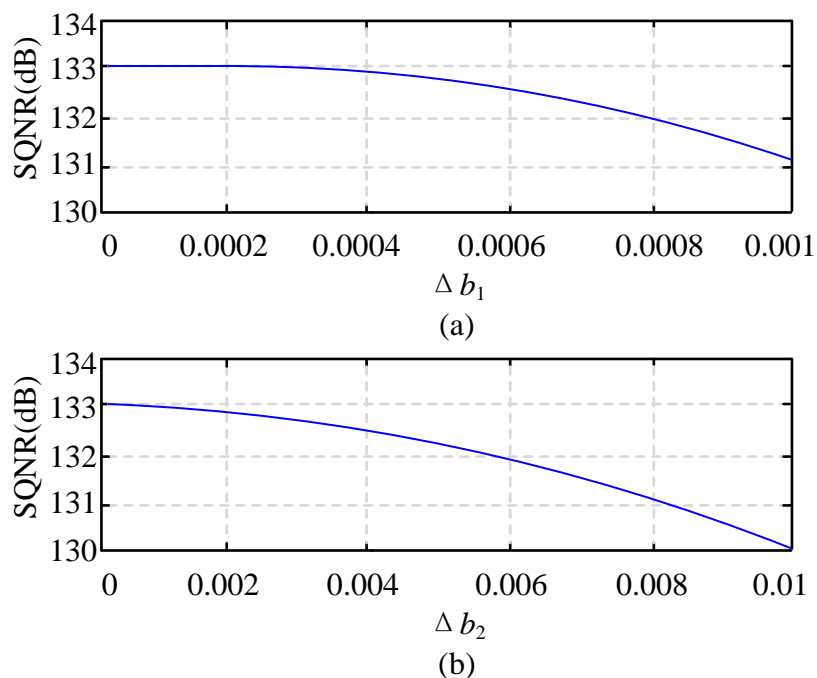


图 3.26 当 OSR=400 时, 调制器反馈系数的变化对 SQNR 的影响

(a) 变化量  $\Delta b_1$  (b) 变化量  $\Delta b_2$

Fig.3.26 The influence of the change of the feedback coefficient of the modulator on the SQNR with OSR=280 (a) Variation  $\Delta b_1$  (b) Variation  $\Delta b_2$

### 3.5 本章小结

首先, 本章介绍了一种恒定输入的量化系统框图, 在量化理论的背景下, Sigma-Delta 调制器对应于一个编码器, 而滤波器和抽取操作则对应于一个解码器。然后, 详细地阐述了增量型 Sigma-Delta 调制器的基本原理以及进行数学模型, 主要推导了一阶增量型 Sigma-Delta 调制器和二阶增量型 Sigma-Delta 调制器的积分器输出所满足离散时间差分方程。随后, 根据所推导的数学方程和量化理论的最优解码, 提出了一种最优数字滤波器, 尽管该滤波器能大幅降低量化噪声, 但受到热噪声影响比较大, 而且不易实现。因此, 本文在最优数字滤波器的基础上, 提出了一种增量型低噪声数字滤波器, 不仅解决了其严重的局限性, 还能够有效并且低功耗的数字实现。同时, 对其进行了量化噪声和热噪声分析, 根据数学分析的结果表明, 对于相同的一位二阶增量型 Sigma-Delta 调制器的数字输出, 与其它线性滤波器( $\text{sinc}^2/\text{sinc}^3/\text{CoI}^2/\text{CoI}^3$  滤波器)相比, 二阶增量型低噪声数字滤波器有着更优越的量化噪声处理能力, 即增量型 Sigma-Delta ADC 拥有更高的 SQNR, 而对于热噪声的处理能力, 该数字滤波器仅略差于线性滤波器。而且, 为了实现 90dB 的信噪比, 与线性滤波器相比, 该滤波器所需的 OSR 值降低了 2.5~4.8 倍。当目标的信噪比较高时, 可以降低更多的 OSR, 即对于一位二阶增量型 Sigma-Delta ADC 而言, 能够以更快的速度和更低的功耗达到同样的性能, 从而实现了高能效。最后, 详细分析了非理想特性对于所提出的低噪声数字滤波器的影响。



## 4 增量型低噪声数字抽取滤波器的设计

在这一章节中,在所提出的数字滤波器架构和理论的基础上,针对当前还存在的问题,例如在上一章节中进行数学推导过程中,进行了有符号的运算,那么在数字实现过程,肯定会增加数字滤波器的开销。同时,当有符号的运算优化为无符号的运算后,使用了数字除法和比较运算。本文采取了一系列优化设计方式,包括无符号的设计以及更简单乘法,以使其后续能够更高能效的在标准 CMOS 工艺中实现,而且,还对前面推导的二阶增量型低噪声数字滤波器算法进行了针对性的优化。同时,本节还对该滤波器的实用性进行了讨论。最后,描述了面向于一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的低噪声数字抽取滤波器进行 RTL 级电路设计。

### 4.1 数字抽取滤波器的无符号设计

对于全差分的增量型 Sigma-Delta 调制器,在公式 (3.7) (3.21) 中,量化器的输出  $Q[n]$  是有符号的(在实际设计中,比较器输出为低代表-1),因此在数字实现的过程中,会额外增加带符号的加法、除法和比较运算,同时,无符号数的最高位为符号位,与无符号数相比,毫无疑问也增加了所提出的数字滤波器的开销。那么,为了减少使用有符号  $Q[n]$  的运算,可以通过将  $Q[n]$  加“1”的方法,来执行简单的常量移位( $Q[n]=0$  除外),以使其成为无符号的。同时,为了确保一阶增量型低噪声数字滤波器的算法 Algorithm-2 以及二阶增量型低噪声数字滤波器的算法 Algorithm-4 的有效性,将对其分别进行相应的优化。接下来,将分别对这两种数字滤波器有符号的设计进行详细的阐述。

对于一阶增量型 Sigma-Delta 调制器,其通过一阶增量型低噪声数字滤波器的解码输出是以  $S[n]/n$  的形式表示,并且  $S[n]$  表示为从  $Q[0]$  到  $Q[n-1]$  的累加之和,而  $n$  表示为在取到输入界限  $lb_{\max}$  或者  $ub_{\min}$  时,最大的转换周期  $P_{lb}$  或者  $P_{ub}$ 。在将  $Q[n]$  简单的常量移位之后,将  $S[n]/n$  修正为  $(S[n]+n-1)/n$ ,但是在修正的结果中,由于  $n$  并不是常数,会导致有一项为  $-1/n$ ,这将会在输出中添加非线性内容,那么与  $S[n]/n$  相比,修正的结果的变化趋势并不是线性的,并不利于后续的校准。因此,在这种情况下,可以将初始条件  $S[0]=0$  修正为  $S[0]=1$ ,从而可以得到优化后的解码输出为  $S[n]/n+1$ 。此无符号设计的优化结果表明一阶增量型低噪声数字滤波器的输出是将实际输出向上偏移了“1”,相应地,后续也很容易校准。例如,在小节 3.1.2 的表 3.3 中推导出的输出将是  $5/3$ ,而后续只需要将该结果再减去“1”,就能得到对应的估计值  $\hat{x}=2/3$ 。

对于二阶增量型 Sigma-Delta 调制器，其通过二阶增量型低噪声数字滤波器的解码输出是以  $S_n/R_n$  的形式表示，在等式(3.19)中定义了  $S_n$  和  $R_n$ 。对于一位二阶增量型 Sigma-Delta 调制器的经典 CIFB 拓扑结构而言，由于其相应的调制器系数为  $a_1=b_1=1$  以及  $b_2=2$ ，则由公式可知，此时  $R_n=n(n-1)/2$ 。在将  $Q[n]$  简单的常量移位之后，将  $S_n/R_n$  修正为  $[S_n+(n-1)^2]/R_n$ ，代入  $R_n$  之后，可以将其简化为  $S_n/R_n+2(n-1)/n$ ，但是在修正的结果中， $n$  并不是常数，会导致有一项为  $2(n-1)/n$ ，将会在输出中添加非线性内容，那么与  $S_n/R_n$  相比，修正的结果的变化趋势并不是线性的，并不利于后续的校准。因此，在这种情况下，可以通过在  $S_n$  的基础上添加额外的一项  $n-1$ ，从而可以得到优化后更为准确的解码输出  $[S_n+(n-1)+(n-1)^2]/R_n=S_n/R_n+2$ 。此无符号设计的优化结果表明二阶增量型低噪声数字滤波器的输出是将实际输出向上偏移了“2”，同样地，后续也很容易校准。例如，在小节 3.2.2 的表 3.8 中导出的输出将是  $12/5$ ，而后续只需要将该结果再减去“2”，就能得到对应的估计值  $\hat{x}=2/5$ 。

因此，通过数字滤波器的无符号设计，使所提出的滤波器在数字实现过程中，将有符号的运算转化为无符号的运算，即将有符号的加法、除法和比较运算都转化为无符号的加法、除法和比较运算，在数字实现过程中，减少了该滤波器的数字资源，进一步降低了功耗和面积。

## 4.2 数字抽取滤波器的乘法设计

在上述进行无符号设计后， $Q[n]$  将执行简单的常量移位，那么每当  $Q[n]=2$  或者  $Q[n]=0$  时，此时可能产生新的输入界限  $lb_{\max}$  或者  $ub_{\min}$ 。例如，假设在量化周期  $p_{lb}$  处能够获得  $lb_{\max}$ ，然而对于一阶增量型 Sigma-Delta 调制器输出序列  $\{Q[p_{lb}], \dots, Q[n], n > p_{lb}\} = \{2, \dots, 2\}$ ，仍然需要验证  $Q[n]$  是否还会生成更大的  $lb_{\max}$ ，可以通过公式(4.1)进行验证：

$$\frac{S'_n}{n} \geq \frac{S'_{plb}}{p_{lb}} \quad (4.1)$$

其中，在进行  $Q[n]$  移位后， $S'_n$  表示为  $S[n]+n$ ，以及  $S'_{plb}$  表示为在量化周期  $p_{lb}$  时获得  $S'_n$ 。显然，公式（4.1）需要进行数字除法和比较运算，尽管该公式所涉及的计算非常简单，但是数字除法是最耗时的，而且当过采样率 OSR 很大时，这在数字电路中相当耗费硬件资源，而且，在 Verilog HDL 中，为了实现除法，那么必须使除数为  $2^N$  (其中  $N \in \mathbb{Z}^+$ )。除此之外，对于除指令“/”，部分综合工具并不能进行综合，即使能够综合，也会造成硬件资源的过多损耗。因此可以考虑将其进一步优化。由于从算法的角度出发，除法可以看成乘法的逆运

算, 因此, 这里使用乘法运算来代替上式的除法, 由于  $n, p_{lb} > 1$ , 上述不等式可简化为:

$$(S'_n - S'_{plb}) \cdot p_{lb} \geq S'_{plb} \cdot (n - p_{lb}) \quad (4.2)$$

由于该不等式处理的是较小的数字<sup>[9]</sup>, 因此比公式 (4.1) 可以节约更多的数字电路的资源。

同理, 假设在量化周期  $p_{ub}$  处能够获得  $ub_{\min}$ , 然而对于一阶增量型 Sigma-Delta 调制器输出序列  $\{Q[p_{ub}], \dots, Q[n], n > p_{ub}\} = \{0, \dots, 0\}$ , 仍然需要验证  $Q[n]$  是否还会生成更小的  $ub_{\min}$ , 可以通过优化后的公式 (4.3) 进行验证:

$$(S'_n - S'_{pub}) \cdot p_{ub} \leq S'_{pub} \cdot (n - p_{ub}) \quad (4.3)$$

其中,  $n, p_{ub} > 1$ 。对于二阶增量型 Sigma-Delta 调制器, 由于其通过二阶增量型低噪声数字滤波器的解码输出是以  $S_n / R_n$  的形式表示, 所以其验证公式也需要进行相应的变化, 则当调制器输出序列  $\{Q[p_{lb}], \dots, Q[n], n > p_{lb}\} = \{2, \dots, 2\}$ , 为验证  $Q[n]$  是否还会生成更大的  $lb_{\max}$ , 可以通过公式 (4.4) 进行验证:

$$\frac{S'_n}{R_n} \geq \frac{S'_{plb}}{R_{plb}} \quad (4.4)$$

同理可得, 将其进一步优化, 简化的不等式为

$$(S'_n - S'_{plb}) R_{plb} \geq S'_{plb} (R_n - R_{plb}) \quad (4.5)$$

其中,  $R_n$  定义在公式 3.20 中, 在  $Q[n]$  移位后,  $S'_n$  表示为  $S[n] + n(n-1)$ , 以及  $S'_{plb}$  在量化周期  $p_{lb}$  获得的  $S'_n$ 。同样地, 相似的分析也可以用来判断一个较小的  $ub_{\min}$  是否可以由  $Q[n]$  的输出序列  $\{Q[p_{ub}], \dots, Q[n], n > p_{ub}\} = \{0, \dots, 0\}$ 。综上所述, 通过数字滤波器的乘法设计, 节省更多的数字电路的资源, 进一步降低了功耗和面积。

### 4.3 数字抽取滤波器的算法设计

经过上述的无符号设计和乘法设计后, 对 Algorithm-2 和 Algorithm-4 进行了优化, 使得增量型低噪声数字滤波器更加易于数字实现。由于一阶和二阶滤波器的算法优化的思路相同, 下面将主要展示对二阶增量型低噪声数字滤波器算法的优化, 同时, 将经典的一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的系数代入后, 即  $a_1=b_1=1, b_2=1$ , 则优化后的二阶增量型低噪声数字滤波器的解码算法, 如表 4.1 为:

表 4.1 优化后的二阶增量型低噪声数字滤波器的解码算法

Table 4.1 Decoding algorithm of optimized second-order incremental low-noise digital filter

**Algorithm 5** 优化后的二阶增量型低噪声数字滤波器的解码算法**input** : Output bitstream  $q$  of size  $1 \times M$ ,  $Q[n] \in \{-1, 0, 1\}$ **output** :  $S_o$ ,  $R_o$ **initialize** :  $p_{lb} \leftarrow 1$ ,  $p_{ub} \leftarrow 1$ ,  $S'_n \leftarrow 0$ ,  $R_n \leftarrow 0$ ,  $S'_{plb} \leftarrow 0$ ,  
 $S'_{pub} \leftarrow 0$ ,  $R_{plb} \leftarrow 0$ ,  $R_{pub} \leftarrow 0$ ,  $\alpha \leftarrow 0$ ,  $\beta \leftarrow 0$ **for**  $n \leftarrow 1$  **to**  $M$  **do** $R_n \leftarrow R_n + \alpha$ **if**  $(Q[n]+1) = 0$  **then****if**  $(S'_n - S'_{pub}) R_{pub} \leq S'_{pub} (R_n - R_{pub})$  **then** $S'_{pub} \leftarrow S'_n$ ,  $R_{pub} \leftarrow R_n$ ,  $p_{ub} \leftarrow n$ **else do nothing****else****if**  $(S'_n - S'_{plb}) R_{plb} \geq S'_{plb} (R_n - R_{plb})$  **then** $S'_{plb} \leftarrow S'_n$ ,  $R_{plb} \leftarrow R_n$ ,  $p_{lb} \leftarrow n$ **else do nothing****end** $S'_n \leftarrow S'_n + 2 \cdot (Q[n]+1) + \alpha + \beta$  $\alpha \leftarrow \alpha + (Q[n]+1)$  $\beta \leftarrow \beta + 1$ **end****if**  $P_{lb} > P_{ub}$  **then**  $S_o \leftarrow S'_{plb}$ ,  $R_o \leftarrow R_{plb}$ **else**  $S_o \leftarrow S'_{pub}$ ,  $R_o \leftarrow R_{pub}$ **Return** :  $S_o$ ,  $R_o$ \*off-chip calculation:  $\hat{X} = S_o / R_o - 2$ 

其中，值得注意的是，在进行无符号设计优化后，该二阶增量型低噪声数字滤波器在实际输出上，添加了固定的直流偏移“2”，那么后续还需要进行校准，即对算法计算出的结果，还必须在片外减去这个直流偏移“2”。实际上，通过优化后的解码算法，本文提出的二阶增量型低噪声数字滤波器可以更简单地在数字实现。然而，在实际设计的过程中，由于非线性特性的影响，需要更多的数值计算和模拟仿真，以此来确定目标的 OSR 以及能否达到其噪声要求。同时，由于该滤波器

对不同输入的转换误差较大，因此更适用于直流信号的数据转换器或者具有采样保持电路的转换器。

#### 4.4 数字抽取滤波器的电路级设计

本章节将会根据二阶增量型低噪声数字滤波器的解码算法，从硬件描述语言的角度出发，对用于一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的二阶增量型低噪声数字滤波器进行 RTL 级电路设计，重点描述同步复位模块和滤波器模块的设计，以及综合后的数字滤波器的 RTL 级电路和硬件资源使用情况。

从增量型 Sigma-Delta ADC 系统的角度分析系统的时序，当 Sigma-Delta 调制器在时钟上升沿产生一位数字输出时，则该数字抽取滤波器同时在时钟下降沿对这一位数字输出，根据算法进行准确的输入估计，但是在一过程中，也存在着一个巨大的隐患，即 Sigma-Delta 调制器和数字抽取滤波器的时序不同步。因此，在使用 Verilog HDL 硬件描述语言设计数字抽取滤波器时，尽管可以根据算法很轻易地设计出数字滤波器模块，但是为了保证时序统一，同步复位模块的设计也是极为重要的。同时，可以通过配置寄存器来选择不同的过采样率，而信号的抽取也将会采用抽取时钟控制触发器的方式来实现。

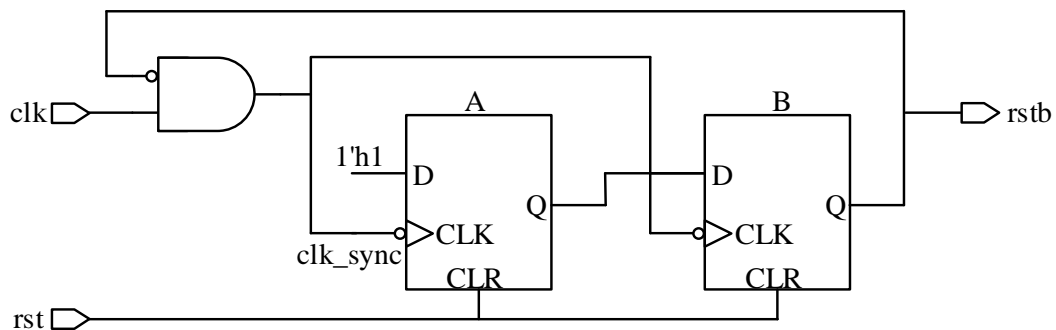


图 4.1 同步复位模块电路图

Fig.4.1 Synchronous reset module circuit diagram

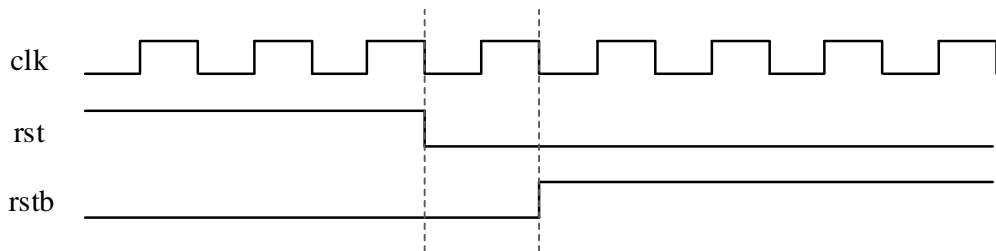


图 4.2 同步复位模块时序图

Fig.4.2 Synchronous reset module timing diagram



图 4.1 显示了同步复位模块电路图，其中输入信号  $clk$  和  $rst$  分别为增量型 Sigma-Delta ADC 系统的全局时钟和全局复位信号，但是为了消除调制器和数字抽取滤波器的时序不同步的隐患，经过简单的数字组合逻辑电路和时序逻辑电路，为数字滤波器模块产生一个新的复位信号  $rstb$ 。更为具体地是，触发器 A 的输入端接入高电平，并且和触发器 B 使用同一个时钟  $clk\_sync$  和全局复位信号  $rst$ ，值得注意的是，时钟  $clk\_sync$  是全局时钟  $clk$  和进行非运算后的输出信号  $rstb$ ，通过与逻辑运算后获得的。同时，将触发器 A 的输出信号传递到下一级的输入端后，信号再经过触发器 B，就能得到一个较为稳定的复位信号  $rstb$ 。图 4.2 表示了同步复位模块的功能仿真，当全局复位信号  $rst$  为低电平时，增量型调制器开始工作，直到  $rst$  变为高电平，产生一位数字输出，并且保存在寄存器中。在等待一个时钟周期后，此时  $rstb$  变为高电平，数字抽取滤波器开始对这一位数字输出进行解码。

当数字滤波器对调制器的数字输出进行解码前，需要将其中的寄存器进行合理配置，选择合适的过采样率，以及配置数字滤波器的输出位数，数字抽取滤波器的顶层电路图，如图 4.3 所示。

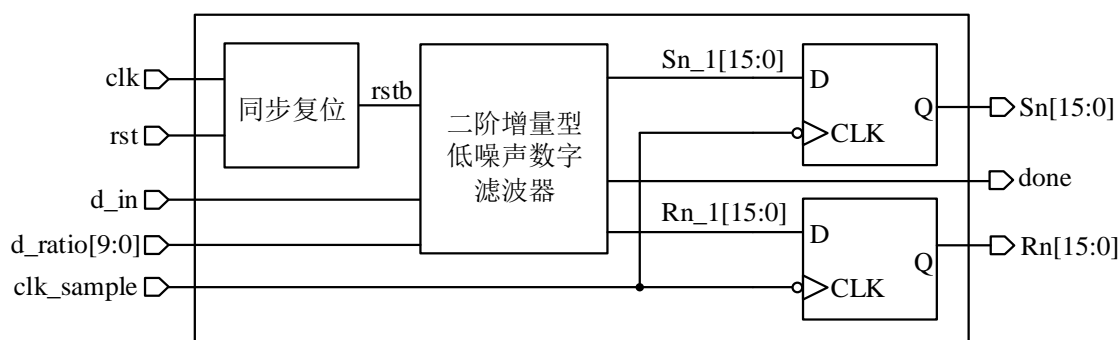


图 4.3 数字抽取滤波器的顶层电路图

Fig.4.3 Top-level circuit diagram of a digital decimation filter

在输入信号线中， $clk$  和  $rst$  分别为全局时钟和全局复位信号， $d\_ratio[9:0]$  为配置寄存器的信号线，以选择合适的过采样率  $M$ ，而  $d\_in$  为增量型调制器的数字输出，在输出信号线中， $Sn\_1[15:0]$  和  $Rn\_1[15:0]$  分别为数字抽取滤波器的输出，而  $done$  为解码完成的标志。在实际的设计中，为了完成抽取操作，还需要增加两个触发器，若  $clk\_sample$  为完成抽取操作的时钟信号，表示为经过具体的时间或者  $M$  个时钟周期后，完成对所得到的数字抽取滤波器的输出的降采样。在降采样后，其输出分别为  $Sn[15:0]$  和  $Rn[15:0]$ 。值得注意的是，最后实际结果为  $Sn[15:0]/Rn[15:0]-2$ 。

在数字抽取滤波器电路的硬件描述语言设计完成后,接着进行逻辑综合,对于专用集成电路的逻辑综合过程,通常是再对设计约束进行读取后,便可将硬件描述语言转为对应的 RTL 级电路,而为了更进一步得到其门级网表,需对综合后的逻辑结构进行优化。本文采用 Xilinx 公司的 Vavido 软件完成逻辑综合,Xilinx 是著名的 EDA 工具厂商,有许多种类的分析设计工具,Vavido 的高层次设计流程受到业界认可。数字抽取滤波器 RTL 级电路原理图,如图 4.4 所示

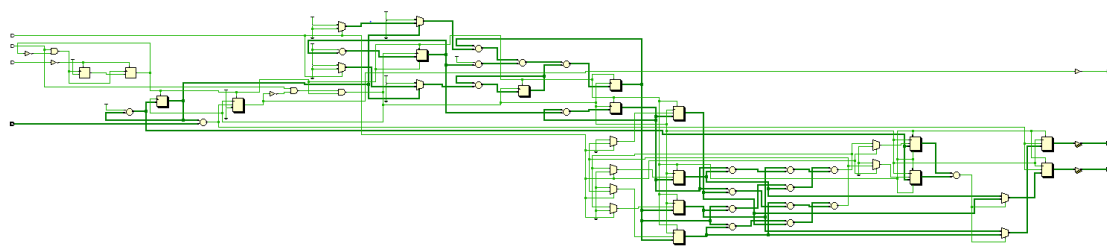


图 4.4 数字抽取滤波器的 RTL 级电路原理图

Fig.4.4 Schematic RTL-level circuit of a digital decimation filter

经过逻辑综合后,通过综合报告可查看数字抽取滤波器的硬件资源使用情况。为了清晰地展现无符号设计和乘法设计的优势,这里将优化前的数字抽取滤波器的硬件资源使用情况,也一同放在表 4.2 中。需要说明的是,此次硬件资源消耗情况都是在 Kintex-7 KC705 Evaluation Platform 上进行的。从表中可以分析出,优化后的数字抽取滤波器实现了硬件资源的节约。尽管 IO 和 BUFG 的数目相同,但是其 BRAM 的资源使用率减少了约 41.7%,而查找表资源(Look-Up-Tables)减少了约 45%。综上所述,对于数字抽取滤波器的无符号和乘法设计,其在功耗和面积上能达到的优化效果是极其明显的,这也可以表明设计的数字抽取滤波器实现了高能效。

表 4.2 数字抽取滤波器硬件资源使用情况

Table 4.2 Digital decimation filter hardware resource usage

Logic Utilization	优化前	优化后	逻辑资源总数
Number of FF	4839	2609	407600
Number of LUT	3379	2330	203800
Number of I/O	7	7	500
Number of BRAM	198	140	445
Number of BUFG	11	11	32

## 4.5 本章小结

本章通过对数字滤波器的无符号设计，将数字滤波器中的有符号的运算转化为无符号的运算，将有符号的加法、除法和比较运算都转化为无符号的加法、除法和比较运算，从而减少了该滤波器的数字资源，降低了功耗和面积。随后，通过数字滤波器的乘法设计，将无符号的除法运算转化为乘法运算，节省更多的数字电路的硬件资源，进一步实现了低能耗。经过上述的无符号设计和乘法设计后，对二阶增量型低噪声数字滤波器的解码算法进行了优化，其优化后解码算法，更加易于数字实现。接着，对该滤波器的实用性进行了讨论。由于非线性特性的影响，为了确定目标的 OSR 以及能否达到其噪声要求，该增量型低噪声数字滤波器不仅需要更多的数值计算，而且仅仅适用于直流信号的数据转换器或者具有采样保持电路的转换器。最后，描述了面向一位二阶增量型 CIFB 架构的 Sigma-Delta 调制器的增量型低噪声数字滤波器进行 RTL 级电路设计，而且通过数字抽取滤波器系统的硬件资源使用情况的对比，展现了数字抽取滤波器的高能效。

## 5 增量型低噪声数字抽取滤波器功能仿真和性能分析

在这一章节中,通过在 Matlab 中构建出二阶增量型调制器的 Simulink 模型,以及使用硬件描述语言 Verilog 完成对增量型低噪声数字滤波器电路设计,从而验证二阶增量型低噪声数字滤波器电路功能的正确性。随后,通过由理想 Veriloga 构建的一位二阶 CIFB 架构的增量型 Sigma-Delta 调制器和由 Verilog 实现的二阶增量型低噪声数字滤波器,搭建数模混合电路仿真平台,以完成其性能仿真。最后,讨论一下该滤波器的实用性以及其适用场景。

### 5.1 功能仿真

当二阶增量型低噪声数字滤波器电路使用 Verilog 硬件描述语言设计完成后,还需要对其进行功能仿真,该功能仿真不考虑非理想因素,即是在整个仿真过程中不涉及寄生参数和实际延时。该功能仿真在 Mentor Graphics 公司的 ModelSim 工具中进行。同时,由于输入信号为二阶增量型 CIFB 结构的 Sigma-Delta 调制器的数字输出比特流,那么根据该调制器的数学模型和相应的调制器参数,在 Matlab 中构建出 Simulink 模型,如图 5.1 所示。接着,通过配置合理的参数,可以获得在理想情况下的一位数字输出比特流。值得注意的是,对于该增量型调制器,其输入信号  $V_{in}$  为直流信号,即恒定不变的信号。因此,为了更加简明扼要,这里通过一个输入信号来展示功能仿真以及数据处理的过程,此时配置输入信号  $V_{in}=1$ 。同时,为了使过采样率为 100,换句话说,该一位数字输出比特流将会有 100 个二进制输出值,可以通过合理地设置采样周期  $T_s$  和 Simulink 仿真时间来实现。

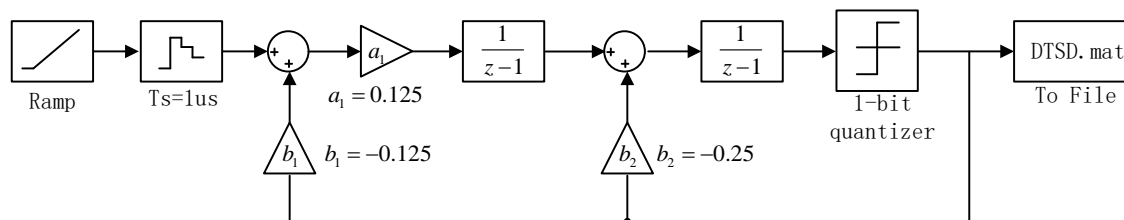


图 5.1 一位二阶 CIFB 结构的 Sigma-Delta 调制器的 Simulink 模型

Fig.5.1 Simulink Model of Sigma-Delta Modulator with One-Bit Second-Order CIFB Structure

随后,在 ModelSim 工具中编写测试向量文件(testbench),向数字抽取滤波器顶层电路提供必要的测试激励。其中,在测试向量文件中,全局时钟 `clk` 和全局

复位信号  $\text{rst}$  应该与增量型 Sigma-Delta 调制器的 Simulink 模型中配置相同。而对于增量型调制器的数字输出  $\text{d\_in}$ ，将 Simulink 模型中仿真出的数字输出比特流导入即可。那么，对整个系统进行联合仿真，当过采样为 100，输入信号  $V_{in}=1$  时，得到二阶增量型低噪声数字滤波器电路的功能仿真结果，如图 5.2 所示。从 ModelSim 的仿真结果中，可以看到标志信号  $\text{done}$  从 0 变为 1，表示该二阶增量型低噪声数字滤波器解码完成。同时，数字抽取滤波器的仿真结果  $\text{Sn}[15:0]$  和  $\text{Rn}[15:0]$  转化为十进制数，其分别为 14849 和 4950，从而实际的输入估计  $\hat{V}_{in}$  为  $\text{Sn}[15:0]/\text{Rn}[15:0]-2=0.9998$ 。根据功能仿真和数据处理的结果，能够验证二阶增量型低噪声数字滤波器正确地完成滤波和抽取功能。

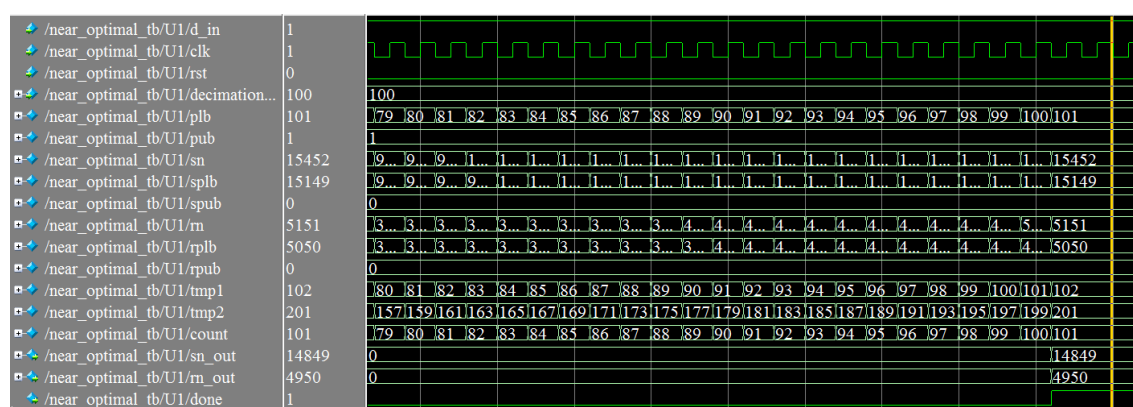


图 5.2 二阶增量型低噪声数字滤波器电路的功能仿真结果

Fig.5.2 Functional simulation results of second-order incremental low-noise digital filter circuits

接下来，为了更加充分地验证功能的正确性，输入信号取更多的点数。当过采样率为 100 时，对于输入信号  $V_{in}$  取 0 到 1，步长尽可能的小，步长设置为  $10^{-4}$ 。通过 Matlab 和 ModelSim 联合仿真，该数字抽取滤波器对于二阶增量型 CIFB 结构的 Sigma-Delta 调制器的输出解码的仿真结果，如图 5.3 所示。红色的曲线表示为理想滤波器的解码过程，调制器的输入信号  $V_{in}$  正好等于抽取滤波器的解码输出  $\hat{V}_{in}$ ，可以理解为在编码和解码的过程中，整个系统没有产生任何误差，但这只是一种理想的状态。由于在实际编码的过程中，即调制器输出数字比特流的过程中，该调制器中的量化器模块产生了量化误差，而且该误差属于系统误差，在所有的模数转换器中都是不可避免的，同时，采用的是一位量化器，该量化的相对误差比较大。因此，从量化系统的角度来看，量化误差会一直存在于整个编码和解码的过程，系统不可能没有产生任何误差，但是可以通过采用级数更高的量化器或者低噪声数字抽取滤波器的方法，来尽可能地降低量化误差，或者更为准确地说，减少量化噪声给该增量型 Sigma-Delta ADC 带来的影响。而黑色的曲线

表示为二阶增量型低噪声数字滤波器的解码输出,从总体曲线来看,该曲线几乎重合于理想的解码输出曲线。

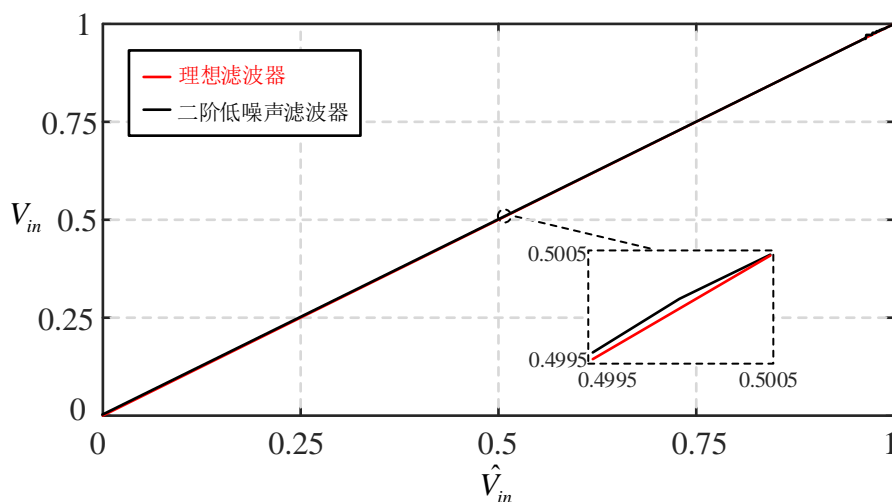


图 5.3 二阶增量型低噪声数字滤波器电路的功能仿真结果( $V_{in}$ 从 0 到 1, 步长为  $10^{-4}$ )

Fig.5.3 Functional simulation results of second-order incremental low-noise digital filter circuits ( $V_{in}$  goes from 0 to 1 in steps of  $10^{-4}$ )

同时,图中也展现了调制器的输入信号 $V_{in}$ 在输入区间为 0.4995 到 0.5005 时,可以很明显地看出,该数字滤波器的解码输出曲线与理想的解码输出曲线也是十分接近,该仿真结果验证了在第三章节中的理论分析,而且可以表明当数字输出比特流是高度调制时,数字抽取滤波器的解码的效果是更为明显的,这也充分地验证功能的正确性。

## 5.2 性能分析

在 Cadence 公司的 Virtuoso 中搭建性能仿真平台,如图 5.4 所示。通过由理想 Veriloga 构建的二阶一位量化的增量型 CIFB 结构的 Sigma-Delta 调制器和由 Verilog 实现的二阶增量型低噪声数字滤波器搭建的数模混合电路仿真平台,以完成其性能仿真。

此次设计采用标准的  $0.18\text{-}\mu\text{m}$  的 CMOS 工艺,采样时钟频率为 50 MHz,电源电压为 3.3 V,而共模电压  $V_{CM}$  为 1.65V。根据经典的一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的数学模型(图 3.14),在 Virtuoso 中调用 Veriloga 理想模型来设计一个理想的全差分调制器电路,则该电路中使用到的电容、开关以及触发器和全差分运算放大器等模块均为理想模型,但是同样也会受到非理想因素的影响,正如在章节 3.4 中,对于积分器的非单位增益和慢电荷泄漏以及非零初始条件的分析,那么为

了尽可能减小非理想因素对二阶增量型低噪声数字滤波器的影响，将构成积分器的全差分运算放大器的增益设置为 80 dB。

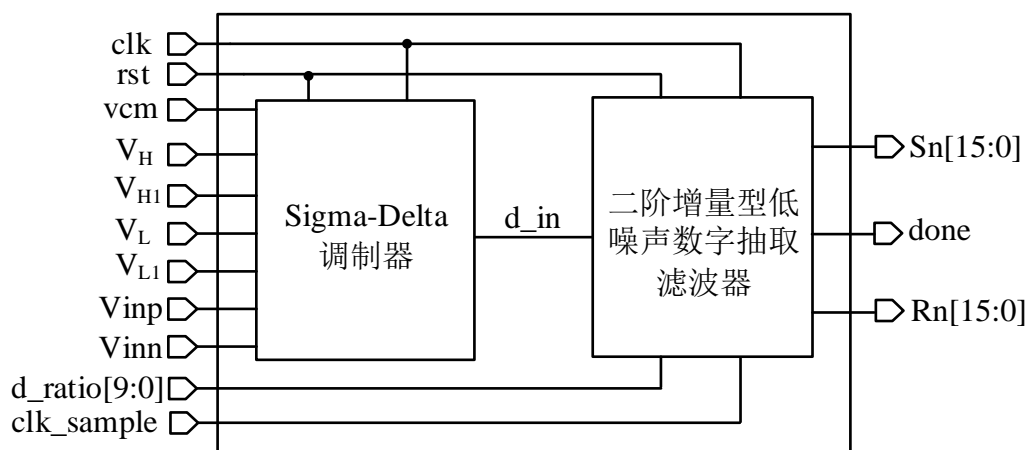


图 5.4 二阶增量型低噪声数字滤波器的性能仿真平台

Fig.5.4 Performance simulation platform for second-order incremental low-noise digital filters

一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的理想电路，如图 5.5 所示。需要注意的是， $q_0 \sim q_4$  为 DAC 中的控制逻辑信号。由于增量型 Sigma-Delta 调制器与离散时间 Sigma-Delta 调制器比较相似，不同点仅仅在于增量型 Sigma-Delta 调制器的输入信号是一个直流电压，量化周期为过采样率，并且在得到数字输出比特流后还需进行复位<sup>[46,47]</sup>。

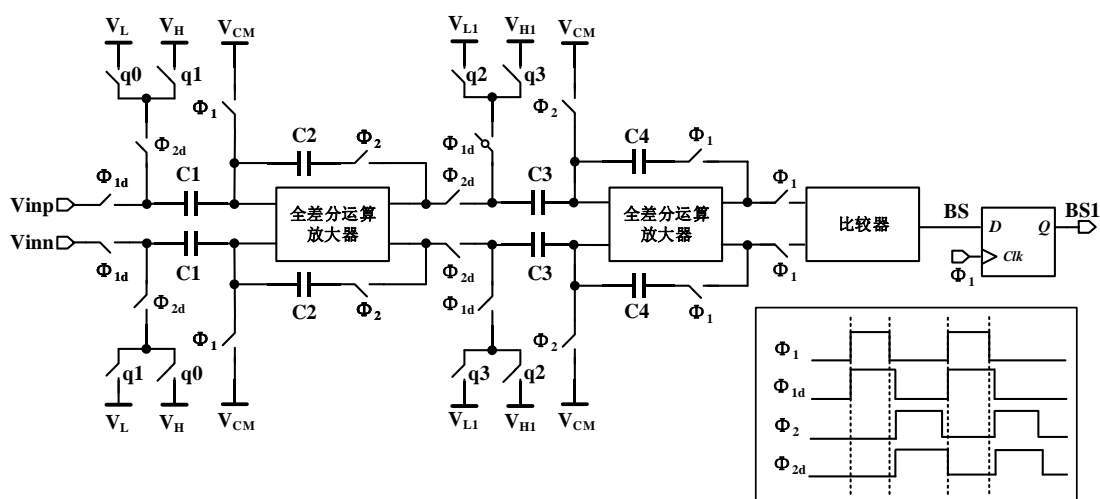


图 5.5 二阶增量型 CIFB 结构的 Sigma-Delta 调制器的理想电路

Fig.5.5 The ideal circuit of second-order incremental CIFB structure Sigma-Delta modulator

当电源电压为 3.3V 时，差分输入信号为输入频率  $F_{in}=40$  KHz 以及峰峰

值电压  $V_{pp}=0.5\text{ V}$  的正弦输入信号时, 调制器电路的仿真结果, 如图 5.6 所示, 其中蓝色的曲线为该输入信号, 而另一条曲线为调制器的输出比特流, 然后通过 Matlab 将进行 FFT 处理, 取点数为 4096, 则调制器的功率谱密度, 如图 5.7 所示。从图可知, 调制器的  $\text{SNR}=77.3544\text{ dB}$ , 有效位数为 12.55 bits。

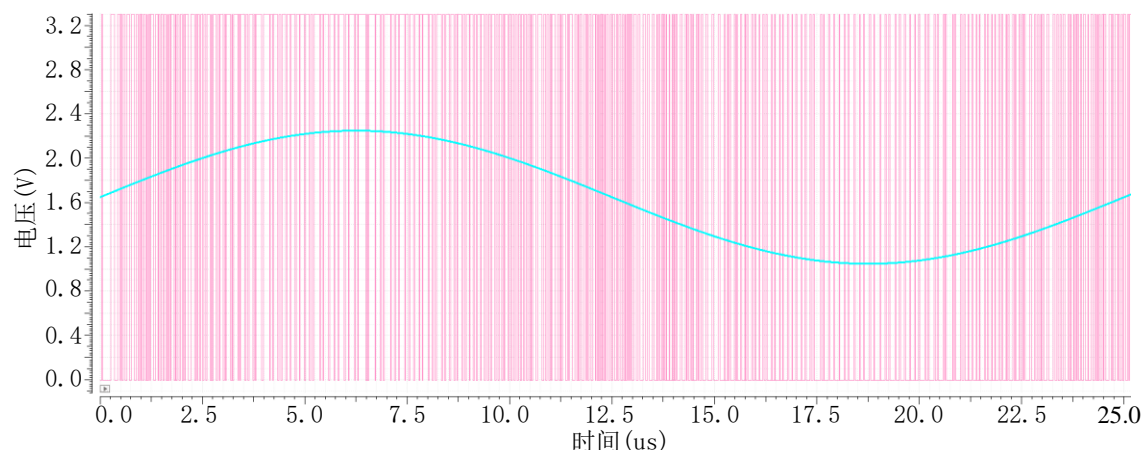


图 5.6 调制器电路的仿真结果

Fig.5.6 Modulator circuit simulation results

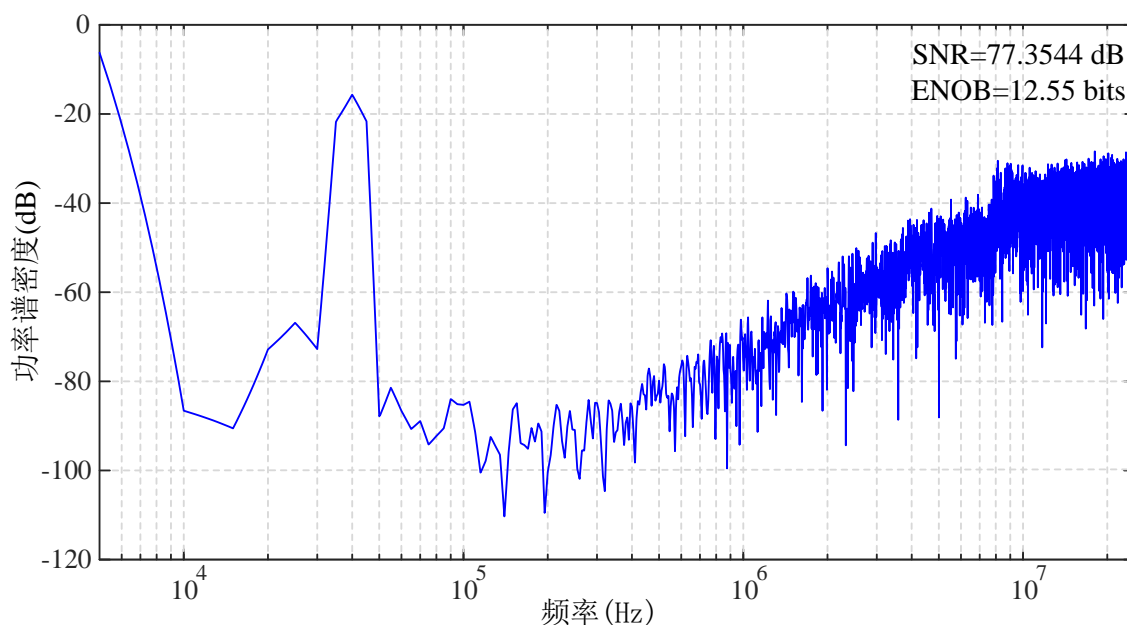


图 5.7 调制器电路的功率谱密度

Fig.5.7 Power Spectral Density of the Modulator Circuit

接下来, 对于系统进行数模混合仿真, 同时加入热噪声。由于本文所提出的二阶增量型低噪声数字滤波器适用于直流电压信号转换, 那么输入信号考虑使用斜坡信号<sup>[48,49]</sup>。同时, 在数模混合仿真的过程中, 还会使用其他线性滤波器, 如



$\text{CoI}^2$  和  $\text{sinc}^3$ , 从而进行性能对比, 展现所提出的滤波器性能上的优越性。那么, 对于在不同 OSR 下, 不同滤波器的均方根噪声的仿真结果, 如图 5.8 所示。

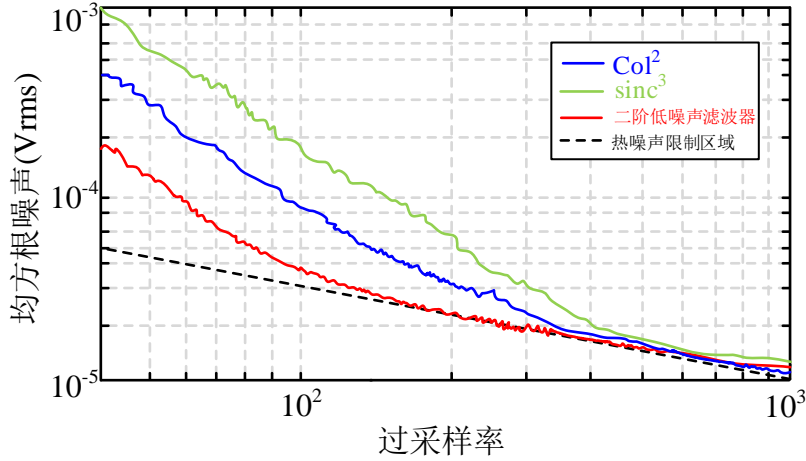


图 5.8 在不同 OSR 下, 滤波器的均方根噪声

Fig.5.8 The rms noise of the filter under different OSR

其中, 虚线代表滤波器抑制量化误差进入热噪声限制区域的临界值。当滤波器的均方根噪声的值等于此临界值时, 表示在此 OSR 处, 滤波器已经抑制了量化误差, 反而是热噪声对其影响更大。对于最佳线性  $\text{sinc}^3$  和  $\text{CoI}^2$  以及所提出的滤波器, 达到热噪声限制状态所需的转换周期分别约为 340/300/150。正如预期的那样, 所提出的滤波器所需的 OSR 至少比线性滤波器的少 2 倍, 以抑制量化误差并使转换器进入其热噪声限制区。由图中可知, 在 OSR 为 150 的情况下, 该解码器进入热噪声限制区, 其均方根噪声为  $30\mu\text{ Vrms}$ , 而  $\text{CoI}^2$  和  $\text{sinc}^3$  滤波器均方根噪声为  $62\mu\text{ Vrms}$  和  $101.9\mu\text{ Vrms}$ , 由于此时最佳线性滤波器未进入热噪声限制区, 其均方根噪声主要由量化噪声控制。结果表明, 与  $\text{CoI}^2$  和  $\text{sinc}^3$  滤波器相比, 该滤波器的信噪比分别提高了 6.1dB 和 10.3dB。

尽管该数字滤波器在量化噪声抑制方面表现出优越的性能, 但其较大的热噪声惩罚限制以及不能提供信号陷波限制了其应用, 因而更适用于直流或近直流信号的转换或有采样保持电路的转换器。在 OSR 为 150 的情况下, 使用本文所提出的滤波器, 其不同输入的噪声分布以及恒定输入的解码输出分布情况, 如图 5.9 所示, 由于二阶增量型调制器没有很大的量化步长, 所以输出噪声分布相当均匀。图 5.10 所示的 13 位分辨率 Sigma-Delta ADC 的积分非线性 INL (最大为 0.25 LSB) 表明所提出的滤波器能使系统保持高线性度。但可惜的是, 关于功耗方面的性能对比并不是那么显而易见。正如第三章分析所述, 使用所提出的滤波器对于功耗的节省主要来自增量型模数转换器的外围电路(参考、时钟、偏置、控制器、缓冲器等),

这些外围电路的数据在其他文献中很少被披露。但是根据分析和仿真，对于整个系统而言，本文所提出的滤波器是高效能的，并且可以节省数倍的成本。

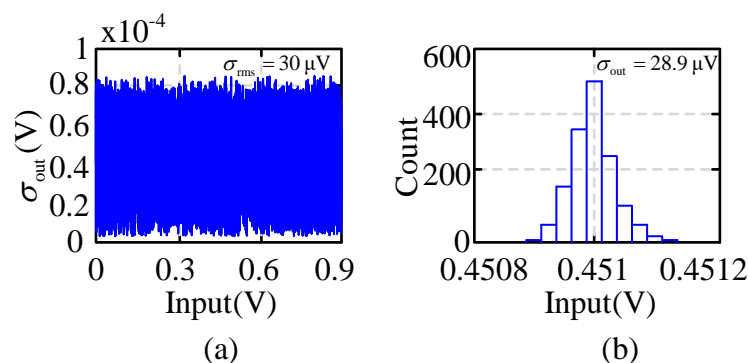


图 5.9 在 OSR 为 150 时，使用提出的滤波器

(a) 不同输入的噪声分布 (b) 对于恒定输入的解码输出分布

Fig.5.9 Using the proposed filter at an OSR of 150

(a) Noise distribution of different inputs (b) Decoding output distribution for constant input

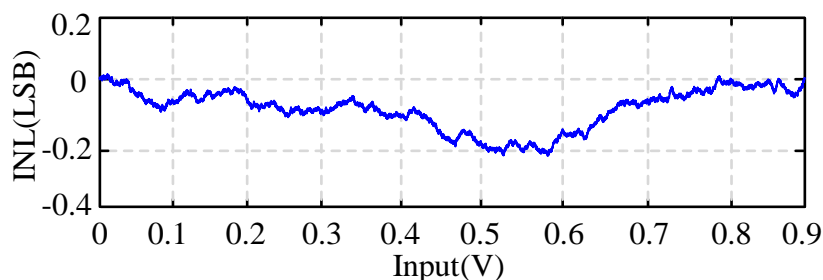


图 5.10 13 位分辨率 Sigma-Delta ADC 的积分非线性

Fig.5.10 Integral nonlinearity of 13-bit resolution Sigma-Delta ADC

在实际的设计中，如果数字滤波器必须提供信号陷波，最好的选择仍然是 CIC 滤波器，但代价是 OSR 较高，从而降低了能效<sup>[50,51]</sup>。如果不需要周期性噪声抑制，CoI 滤波器和提出的译码器是更好的方案。对于一阶调制器，由于其输出不是高度调制的，因此 CoI 滤波器因其更简单的实现而显得更加实用。而对于输出比特流高度调制的二阶、高阶或其他调制器的变型，所提出的滤波器与 CoI 滤波器相比，更好地实现了对量化噪声抑制，显著地提高了 SQNR。同时，所提出的滤波器甚至可以比一些 CoI 滤波器能实现更好的热噪声抑制，使其成为节能设计的更好选择。本文提出的滤波器针对数字设计进行了优化，可以方便地在片上实现。其主要缺点是其非线性特性，在设计时需要更多的数值模拟来确定 OSR 和噪声要求。

### 5.3 本章小结

本章详细地描述了功能验证平台，在 Matlab 中通过 Simulink 软件构建出二阶增量型调制器的行为级模型，通过配置合理的参数，在理想情况下获得一位数字输出比特流。接着，与使用 Verilog 设计出的二阶增量型低噪声数字滤波器电路，共同搭建功能验证平台。当过采样率为 100 时，对于输入信号  $V_{in}$  取 0 到 1，步长设置为  $10^{-4}$ 。随后对其输出进行数据处理，该数字抽取滤波器对于二阶增量型 CIFB 结构的 Sigma-Delta 调制器的输出解码的仿真结果，验证了功能的正确性。随后，通过二阶一位量化的增量型 CIFB 结构的 Sigma-Delta 调制器的理想 Verilog 电路模型，与二阶增量型低噪声数字滤波器，在 Virtuoso 中搭建的性能仿真平台。通过数模混合电路仿真，其对于最佳线性滤波器  $\text{CoI}^2$  和  $\text{sinc}^3$  以及所提出的滤波器，达到热噪声限制状态所需的转换周期分别约为 340/300/150，即所提出的滤波器所需的 OSR 至少比线性滤波器的少 2 倍。而且，当 OSR 为 150 的情况时，仿真结果表明，该滤波器和线性滤波器  $\text{CoI}^2$  和  $\text{sinc}^3$  相比，其信噪比分别提高了 6.1dB 和 10.3dB。那么来自增量型模数转换器的外围电路的功耗的节省是十分显著的，因此对于模数转换器系统而言，本文所提出的滤波器是高效能的。同时，由于该 Sigma-Delta ADC 的积分非线性为 0.25 LSB，则表明所提出的滤波器能使系统保持高线性度。最后，由于该解码器对不同输入的转换误差较大，因此更适用于直流或近直流信号的转换或有采样保持电路的模数转换器。

## 6 总结与展望

### 6.1 工作总结

本文设计了一种适用于增量型 Sigma-Delta ADC 的低噪声数字滤波器。首先,介绍了 Sigma-Delta ADC 的理论基础,包括 ADC 的静态指标和动态指标, Sigma-Delta 调制器中的过采样和噪声整形两大核心技术,以及数字抽取滤波器的信号抽取过程,同时阐述了线性滤波器和非线性滤波器,通过对比表明两者的区别和各自的优势所在。

随后,本文将 Sigma-Delta ADC 与一种恒定输入的量化系统建立了联系。在量化理论的背景下, Sigma-Delta 调制器对应于一个编码器,而滤波器和降采样操作则对应于一个解码器。然后,详细地阐述了增量型 Sigma-Delta 调制器的基本原理以及建立数学模型,主要推导了一阶和二阶增量型 Sigma-Delta 调制器的积分器输出所满足离散时间差分方程。随后,根据所推导的数学方程和量化理论的最优解码,提出了一种最优数字滤波器,尽管该滤波器能大幅降低量化噪声,但受到热噪声影响比较大,而且不易实现。因此,本文在最优数字滤波器的基础上,提出了一种增量型低噪声数字滤波器,不仅解决了其严重的局限性,还能够有效并且低功耗的数字实现。同时,该滤波器有着较好的量化噪声处理能力,而对于热噪声的处理能力,只是略差于其它线性滤波器。

最后,通过对数字滤波器的无符号设计以及乘法设计,节省了的数字电路的硬件资源,进一步实现了低能耗,进而提出了更加易于 Verilog 实现的增量型低噪声数字滤波器的算法。本文设计了适用于一位二阶增量型 CIFB 结构的 Sigma-Delta 调制器的增量型低噪声数字滤波器的 RTL 级电路,同时列出了硬件资源使用情况的对比表,以显示其高能效。通过搭建功能验证和性能仿真平台,以验证其功能的正确性。在 Virtuoso 中,通过数模混合电路仿真,对于所设计的滤波器,达到热噪声限制状态时所需的转换周期约为 150,那么达到相同的信噪比,所需的 OSR 至少比线性滤波器的低 2 倍。当 OSR 为 150 时,和线性滤波器  $\text{CoI}^2$  和  $\text{Sinc}^3$  相比,该滤波器的信噪比分别提高了 6.1 dB 和 10.3 dB。同时,由于该 Sigma-Delta ADC 的积分非线性为 0.25 LSB,则表明所提出的滤波器能使系统保持高线性度。

### 6.2 未来工作展望

尽管本文从前端设计的仿真结果来看,与其它线性滤波器相比,有着比较优越的性能,但是目前还未完成后端版图的设计工作,此外为了实现流片,还要对版图进行后端仿真,今后还有很多的工作需要完成,其次,本文在抽取滤波器的

设计过程中, 尽管其乘法设计以代替了除法, 但是还有很大的优化空间, 在后面的研究中, 可以考虑一种更为折中的方案, 将乘法设计优化为加减法设计, 在略微损失其对于量化噪声处理能力的前提下, 进一步实现对功耗的降低。然后, 由于该数字抽取滤波器对不同输入的转换误差较大, 更适用于直流信号的数据转换器或者具有采样保持电路的转换器, 因此适用于增量型调制器, 扩展其应用的范围, 将其应用到离散时间 Sigma-Delta 调制器, 这同样成为今后研究工作的方向之一。最后, 本文所设计的数字抽取滤波器, 主要是适用于一位量化器的 Sigma-Delta 调制器, 然而高精度的 Sigma-Delta 调制器往往是多位量化的, 同时采用更高阶的架构, 不仅仅是一阶或者二阶, 那么如何将设计延伸到高阶多位量化的 Sigma-Delta 调制器, 这也是在今后工作中需要继续思考和逐步完善的地方。

## 参考文献

- [1] 国务院. 国务院关于印发《“健康中国2030”规划纲要》的通知(国发[2016] 25号) [EB/OL]. [http://www.gov.cn/xinwen/2016-10/25/content\\_5124174.htm](http://www.gov.cn/xinwen/2016-10/25/content_5124174.htm). 2022-03-15.
- [2] 余晓帆. Sigma-Delta模数转换器中数字抽取滤波器的设计与ASIC实现[D]. 电子科技大学, 2010.
- [3] Xiaofei Cao, Yanchao Wang, Zhijun Fu, et al. A 95-dB DR second order incremental  $\Sigma\Delta$  ADC for multi-channel healthcare application[J]. Analog Integrated Circuits and Signal Processing, 2015, 82(2): 393-400.
- [4] C. Weng, Y. Lin, T. Lin. A 1-V 5-MHz Bandwidth 68.3-dB SNDR Continuous-Time Delta-Sigma Modulator With a Feedback-Assisted Quantizer[J]. IEEE Transactions on Circuits and Systems I, 2017, 64(5): 1085-1093.
- [5] R. Gray. Oversampled Sigma-Delta Modulation[J]. IEEE Transactions on Communications, 1987, 35(5): 481-489.
- [6] Robert, Jacque and Deval, Philippe. A second order high resolution incremental A/D converter with offset and charge injection compensation[J]. IEEE Journal of Solid-State Circuits, 1988, 23(3): 736-741.
- [7] J. Robert, G. C. Temes, V. Valencic, R. Dessoulavy and P. Deval. A 16-bit low-voltage CMOS A/D converter[J]. IEEE Journal of Solid-State Circuits, 1987, 22(2): 157-163.
- [8] S. Hein and A. Zakhor. Optimal decoding for data acquisition applications of sigma delta modulators[C]. 1990 Conference Record Twenty-Fourth Asilomar Conference on Signals, Systems and Computers, 1990: 520.
- [9] S. Hein and A. Zakhor. Optimal decoding for data acquisition applications of sigma delta modulators[J]. IEEE Transactions on Signal Processing, 1993, 41(2): 602-616.
- [10] Dadouche, Foudil, Frick, et al. Adjustable Nyquist-rate System for Single-Bit Sigma-Delta ADC with Alternative FIR Architecture[J]. International Journal of Electronics: Theoretical & Experimental, 2016, 103(9): 1593-1606.
- [11] E. Keerthi, S. Arum. Mastani, Sreelal S. Pillai. Design and implementation of digital compensation method for the drooping sine response of Sigma Delta ADCs[C]. International Conference on Wireless Communications, Signal Processing and Networking (WiSPNET), Chennai, India, 2017: 2304-2308.

- [12] A. P. Chavan and H. V. R. Aradhya. Design and Synthesis of Low Power, High Speed 5th Order Digital Decimation Filter for Sigma-Delta Analog to Digital Converter[C]. 2020 International Conference on Communication and Signal Processing (ICCSP), 2020: 0092-0096.
- [13] Samueli, H. An improved search algorithm for the design of multiplierless FIR filters with powers-of-two coefficients[J]. IEEE Transactions on Circuits and Systems, 1989, 36(7): 1044-1047.
- [14] Fang Tang, Zhongjie Wang, Yingjun Xia, et al. An Area-Efficient Column-Parallel Digital Decimation Filter With Pre-BWI Topology for CMOS Image Sensor[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(8): 2524-2533.
- [15] Q. Huang, P. Wan, X. Xie, C. Wang, L. Su and Z. Chen. Digital Filter Design of A High Resolution Audio Sigma-delta ADC[C]. 2018 12th IEEE International Conference on Anti-counterfeiting, Security, and Identification (ASID), 2018: 208-211.
- [16] Peng Yin, Zhongjie Wang, Yingjun Xia, et al. A Low-area Low-power Column-parallel Digital Decimation Filter Using 1-bit Pre-BWI Topology for CMOS Image Sensor in 40-nm CMOS Process[J]. Circuits, Systems & Signal Processing, 2022.
- [17] 成杨. 带宽10MHz高阶连续时间型Sigma\_Delta调制器设计[D]. 复旦大学, 2012.
- [18] Cutler C. C. Transmission systems employing quantization[J]. 1954.
- [19] 许金波. 高速宽带连续型Sigma Delta调制器的研究与设计[D]. 华中科技大学, 2011.
- [20] 康荣宗, 田鹏武, 于宏毅. 基于量化噪声谱分析的ADC无杂散动态范围[J]. 吉林大学学报(工学版), 2015, 45(01): 328-334.
- [21] 江帆. 基于真分式噪声传递函数的长环路延时连续时间Sigma Delta调制器的研究与设计[D]. 复旦大学, 2014.
- [22] 杜斌. 高精度低功耗Sigma-Delta模数转换器设计[D]. 哈尔滨工程大学, 2014.
- [23] Chenxi Deng. An area-efficient implementation of  $\Sigma\Delta$  ADC multistage decimation filter[C]. 2013 IEEE 10th International Conference on ASIC, 2013: 1-5.
- [24] 徐鹏. 16位Sigma-delta ADC中数字模块的设计[D]. 电子科技大学, 2020.
- [25] Hengfang Zhu, Xiaobo Wu and Xiaolang Yan. Low-Power and Hardware Efficient Decimation Filters in Sigma-Delta A/D Converters[C]. 2005 IEEE Conference on Electron Devices and Solid-State Circuits, 2005: 665-668.
- [26] E. Hogenauer. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, 1981, 29(2): 155-162.
- [27] J. Candy. Decimation for Sigma Delta Modulation[J]. IEEE Transactions on Communications, 1986, 34(1): 72-76.

- [28] Manuel J. Barragan, Rshdee Alhakim, Haralampos-G. Stratigopoulos, et al. A fully-digital BIST wrapper based on ternary test stimuli for the dynamic test of a 40 nm CMOS 18-bit stereo audio  $\Sigma\Delta$  ADC[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(11): 1876-1888.
- [29] K. H. Abed, S. B. Nerurkar and S. Colaco. Design and Implementation of a Decimation Filter For High Performance Audio Applications[C]. 2007 14th IEEE International Conference on Electronics, Circuits and Systems, 2007: 812-815.
- [30] Nianxiong Tan and S. Eriksson. Two-stage decimation filter design technique for oversampling Delta-Sigma/ A/D converters[C]. 1994 IEEE International Symposium on Circuits and Systems (ISCAS), 1994: 513-516.
- [31] J. Markus. Higher-order incremental delta-sigma analog-to-digital converters[D]. Ph.D. dissertation, Dept. Meas. Inf. Syst., Budapest Univ. Technol. Econ., Budapest, Hungary, 2005.
- [32] 吴笑峰. 高精度sigma-delta ADC的研究与设计[D]. 西安电子科技大学, 2009.
- [33] 曹桂平. 高精度Sigma-Delta调制器研究及ASIC实现[D]. 中国科学技术大学, 2012.
- [34] 李迪. 高性能sigma-delta ADC的设计与研究[D]. 西安电子科技大学, 2010.
- [35] 曹天霖. 高性能带通 $\Sigma\Delta$ 模数转换器芯片研究与实现[D]. 浙江大学, 2017.
- [36] R. van de Plassche. A sigma-delta modulator as an A/D converter[J]. IEEE Transactions on Circuits and Systems, 1978, 25(7): 510-514.
- [37] J. Markus, P. Deval, V. Quiquempoix, J. Silva and G. C. Temes. Incremental Delta-Sigma Structures for DC Measurement: an Overview[C]. IEEE Custom Integrated Circuits Conference 2006, 2006: 41-48.
- [38] S. Hein, K. Ibrahim and A. Zakhor. New properties of sigma-delta modulators with DC inputs[J]. IEEE Transactions on Communications, 1992, 40(8): 1375-1387.
- [39] S. Kavusi, H. Kakavand and A. E. Gamal. On incremental sigma-delta modulation with optimal filtering[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2006, 53(5): 1004-1015.
- [40] Shaohua Liu, Lai Jiang, Hang Yu, Yan Li, Dao ming xi and Qingguo Xie. A 3-transistor CMOS active pixel with in-pixel correlated double sampling[C]. 2013 IEEE International Conference of Electron Devices and Solid-state Circuits, 2013: 1-2.
- [41] C. Y. -P. Chao, H. Tu, T. Wu, K. -Y. Chou, S. -F. Yeh and F. -L. Hsueh. CMOS Image Sensor Random Telegraph Noise Time Constant Extraction From Correlated To Uncorrelated Double Sampling[C]. IEEE Journal of the Electron Devices Society, 2017, 5(1): 79-89.
- [42] Y. Chae, K. Souiri and K. A. A. Makinwa. A 6.3  $\mu$ W 20 bit Incremental Zoom-ADC with 6 ppm INL and 1  $\mu$ V Offset[J]. IEEE Journal of Solid-State Circuits, 2013, 48(12): 3019-3027.



- [43] Jesper Steensgaard, Zhiqing Zhang, Wenhuan Yu, et al. Noise-Power Optimization of Incremental Data Converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2008, 55(5): 1289-1296.
- [44] B. Wang, S. Sin, U. Seng-Pan, F. Malobertr and R. P. Martins. A 550 $\mu$ W 20kHz BW 100.8DB SNDR Linear-Exponential Multi-Bit Incremental Converter with 256-cycles in 65NM CMOS[C]. 2018 IEEE Symposium on VLSI Circuits, 2018: 207-208.
- [45] Richard Schreier, Gabor C. Temes. Understanding Delta-Sigma Data Converters[M]. JOHN WILEY & SONS, INC: New Jersey, 2005: 91.
- [46] 严喻冬. 高速 $\Sigma\Delta$ 模数转换器的研究与实现[D]. 东南大学, 2015.
- [47] Steven R. Norsworthy, Richard Schreier, Gabor C. Delta-Sigma Data Converters: Theory, Design, and Simulation[M]. IEEE Press: Piscataway, NJ, 1997: 186.
- [48] W. Kester. Data Conversion Handbook[M]. Amsterdam, The Netherlands: Elsevier, 2005.
- [49] Wen-Ta Lee, Yi-Zhen Liao, Jia-Chang Hsu, Yuh-Shyan Hwang and Jiann-Jong Chen. A high precision ramp generator for low cost ADC test[C]. 2008 9th International Conference on Solid-State and Integrated-Circuit Technology, 2008: 2103-2106.
- [50] D. N. Milić and V. D. Pavlović. A New Class of Low Complexity Low-Pass Multiplierless Linear-Phase Special CIC FIR Filters[J]. IEEE Signal Processing Letters, 2014, 21(12): 1511-1515.
- [51] J. O. Coleman. Chebyshev Stopbands for CIC Decimation Filters and CIC-Implemented Array Tapers in 1D and 2D[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59(12): 2956-2968.

## 附 录

## A. 攻读硕士学位期间发表论文

- [1]. Fang Tang, Qiyun Ma, Zhou Shu, et al. A 28 nm CMOS 10 bit 100 MS/s Asynchronous SAR ADC with Low-Power Switching Procedure and Timing-Protection Scheme[J]. Electronics. 2021; 10(22): 2856.
- [2]. Zhongjie Wang, Qiyun Ma, Tongbei Yang, et al. A Low-power Column-parallel  $\Sigma\Delta$  ADC with Shared OTAs and Single-bit-BWI Decimation Filter for CMOS Image Sensor[J]. IEEE Transactions on Electron Devices, 2022, 69(6): 2979-2985.
- [3]. Huang L, Shen J, Ma Q, et al. A Low Noise and Monolithic Array Tactile Sensor Based on Incremental Delta-Sigma Analog-to-Digital Converters[J]. Electronics, 2022, 11(8): 1206.

## B. 学位论文数据集

关键词		密级		中图分类号	
增量型 Sigma-Delta ADC；调制器； 数字抽取滤波器；低噪声；		公开		TN	
学位授予单位名称	学位授予单位代码	学位类别		学位级别	
重庆大学	10611	学术学位		硕士	
论文题名		并列题名		论文语种	
面向增量型 Sigma-Delta ADC 的低噪声数字抽取滤波器研究与设计		无		中文	
作者姓名	马琦赟	学号		201912021005	
培养单位名称		培养单位代码			
重庆大学		10611			
学科专业	研究方向	学制		学位授予年	
电子科学与技术	集成电路设计	3		2022	
论文提交日期	2022. 06	论文总页数		87	
导师姓名	唐枋	职称		教授	
答辩委员会主席		涂亚庆 教授			
电子版论文提交格式					
文本（√） 图像（） 视频（） 音频（） 多媒体（） 其他（）					



## 致 谢

时光飞逝，在重庆大学三年硕士研究生生活即将落下帷幕。回顾我的研究生学习生活，有太多的人需要感谢。

首先，我要感谢我的导师唐枋老师，在这三年研究生期间对我的谆谆教诲，不仅是在学习上交给了我丰富的知识，更是在生活上教会我为人处世之道。这种亦师亦友的关系使我的研究生生活过得十分顺利且丰富多彩。这三年的时间使我对集成电路有了新的认识，特别是对模数转换器有了深入的了解，我相信这些知识在将来的工作中必定能够发挥它的作用。唐老师对待科研刻苦钻研小心求证和对待生活乐观向上的精神使我受益匪浅，未来的日子一定谨遵恩师教诲更加努力。

同时，我也要感谢实验室师兄师姐以及同门们的帮助，感谢舒洲、王忠杰在电路设计问题上的交流讨论，感谢杨通贝、黄莎琳、李明东、曾令辉在版图设计上的指导，感谢黄琳清、沈九龙在过去的三年学习中一直互相学习，共同进步，感谢师弟师妹们共同探讨问题，感谢这一个氛围轻松、欢乐的实验室。

最后我要感谢我的家人，他们在背后默默的付出着并且支持我顺利的完成学业，衷心的向他们说声谢谢，感谢有你们的陪伴！

马 琦 赞

二〇二二年五月 于重庆