

适用于 Sigma-Delta ADC 的多抽取率数字滤波器设计

王尧, 卜刚

(南京航空航天大学 电子信息工程学院, 江苏 南京 210000)

摘要: 采用标准 $0.18\ \mu\text{m}$ 工艺, 设计了一种能改变抽取率并且适应不同信号带宽的应用于 Sigma-Delta 模数转换器的数字抽取滤波器。该滤波器采用多级抽取, 由级联积分梳状滤波器、补偿滤波器和半带滤波器组成。实现的数字滤波器抽取率可以在 64、128、256、512 中变化, 并且补偿滤波器和半带滤波器的带宽可调整。滤波器版图尺寸 $0.6\ \text{mm} \times 0.6\ \text{mm}$ 。在 $1.98\ \text{V}$ 工作电压下, 最大总功耗约为 $2\ \text{mW}$, 最高信噪比达到 $110.5\ \text{dB}$ 。当补偿滤波器和半带滤波器的通带截止频率根据带宽选择从最高降到最低时, 可分别节省 56% 和 39% 的功耗; 当滤波器功耗降至最小 $69.63\ \mu\text{W}$ 时, 所能处理的带宽为 $390.6\ \text{Hz}$, 信噪比为 $107.8\ \text{dB}$ 。

关键词: 数字滤波器; 多抽取率; 低功耗; 多带宽

中图分类号: TN492

文献标识码: A

DOI: 10.16157/j.issn.0258-7998.211706

中文引用格式: 王尧, 卜刚. 适用于 Sigma-Delta ADC 的多抽取率数字滤波器设计[J]. 电子技术应用, 2022, 48(1): 89-93.

英文引用格式: Wang Yao, Bu Gang. Design of multi-decimation rate digital filter for sigma-delta ADC[J]. Application of Electronic Technique, 2022, 48(1): 89-93.

Design of multi-decimation rate digital filter for sigma-delta ADC

Wang Yao, Bu Gang

(College of Electronic Information Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 210000, China)

Abstract: Based on the standard $0.18\ \mu\text{m}$ process, a digital decimation filter applied to the Sigma-Delta analog-to-digital converter is designed, which can change the decimation rate and adapt to different signal bandwidths. The filter adopts multi-stage decimation and consists of a cascaded integrator comb filter, a compensation filter and a half-band filter. The realized digital filter can be changed in the decimation rate of 64, 128, 256 and 512. Compensation filters and half-band filters of different bandwidths are also designed. The filter area is $0.6\ \text{mm} \times 0.6\ \text{mm}$. Under $1.98\ \text{V}$ working voltage, the total maximum power consumption is about $2\ \text{mW}$, and the highest signal-to-noise ratio reaches $110.5\ \text{dB}$. When the passband frequency of the compensation filter and the half-band filter is selected according to the bandwidth from the highest to the lowest, it can save 61% and 53% of the power consumption respectively; When the filter power consumption being the smallest $69.63\ \mu\text{W}$, the bandwidth that can be processed is $390.6\ \text{Hz}$, and the signal-to-noise ratio is $107.8\ \text{dB}$.

Key words: digital decimation filter; multiple decimation rate; low power consumption; multiple bandwidth

0 引言

现代信息技术飞速发展, 导致对模数转换器(Analog-To-Digital Converter, ADC)的需求越来越大, 对其要求也越来越高。而 Sigma-delta ADC 作为实现高分辨率 ADC 的方案被业界所认可。这种滤波器通过过采样和噪声整形技术提高信噪比, 在调制器之后需要滤波器来降低采样率并滤除带外噪声。采用多级结构是业内的常用做法, 因为单级结构的滤波器往往需要上千阶, 实现困难。本文采用多抽取率和多带宽的滤波器结构, 意在让其适用于多种输入信号带宽下多种转换精度的要求。

1 数字抽取滤波器整体结构

如图 1 所示, 处理过采样调制信号时, 往往是选择级联积分梳状滤波器(Cascade Integrator Comb Filter, CIC)

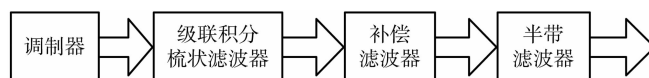


图 1 系统整体框图

作为第一级, 但通带衰减过大。Hogenauer 等^[1]提出了多级滤波器结构, FIR 滤波器的引入不但能补偿 CIC 滤波器的通带衰减, 还能增加阻带衰减。而马绍宇等^[2]引入的半带滤波器则进一步提高了滤波器的通带和阻带性能。补偿滤波器和半带滤波器也可以附带有两倍频信号抽取功能, 降低了 CIC 滤波器的降采样要求。

本文采用 64 倍、128 倍、256 倍以及 512 倍降采样率, 实现在输入信号频率固定的情况下, 通过改变抽取率来达到不同的信噪比。同时, 针对同一降采样率, 本文

还设计了不同通带截止频率的滤波器以满足不同带宽的输入信号的要求。在时钟频率固定的情况下,使用不同的降采样率同时实现了不同的输出带宽。信号带宽越窄,补偿滤波器和半带滤波器的阶数越低,占用的硬件资源越小并且功耗也更小。

1.1 CIC 滤波器的设计

CIC 滤波器没有乘法器电路,可以非常有效地减少电路的开销,其冲激响应为^[1]:

h(n)=⎧⎩10≤n≤N-10其他(1)

式中,N 是 CIC 滤波器的阶数。根据 Z 变换的定义,CIC 滤波器的冲激响应的 Z 变换转移函数为:

H(z)=∑n=0N-1Z-n=1-z-N1-z-1(2)

梳状滤波器有递归结构^[3]和非递归结构^[4]两种常见结构。由于递归结构的降采样的变化只需要在抽取处进行,结构容易实现且无需使用乘法器,本文采用递归结构的梳状滤波器。

为了保证数字滤波器的稳定,CIC 滤波器的级数至少比前级调制器的阶数多一^[5]。本文针对二阶 Sigma-Delta 调制器,选择 CIC 级数为三,具体结构如图 2 所示。其中,降采样率有四种选项,从 16 到 128 等比可调。

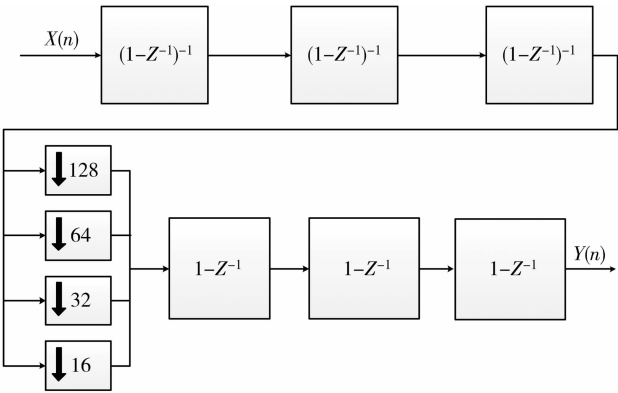


图 2 本文设计的 CIC 滤波器结构

1.2 补偿滤波器的设计

将图 1 中的主瓣放大后观察可得,CIC 滤波器在通带内会有较大的衰减。补偿滤波器通常采用升幅的 FIR 滤波器来实现,具有反 Sinc 函数特征^[6]。

利用 MATLAB 的 FDA Tool,可以设计出不同通带截止频率的补偿滤波器。

加入补偿滤波器前在 0.24π(9 375 Hz)处超过了 0.6 dB,而补偿后在该处的衰减不到 0.01 dB,满足设计要求。

上述补偿滤波器是在补偿频率点为 9 375 Hz (归一化频率 0.24π)的情况下做出的设计。除此之外,本文还设计了补偿频率在 0.08π 和 0.16π 的补偿滤波器。具体的补偿滤波器通带截止频率和阶数见表 1。

在时钟频率固定的情况下,如果 CIC 滤波器的降采

表 1 不同补偿滤波器的阶数

通带截止频率	阶数
0.24π	28
0.16π	16
0.08π	10

样率发生改变,其输出数据率也将改变。补偿滤波器和半带滤波器都是按照 CIC 滤波器输出数据率所对应的降低了的采样频率进行归一化频率设计的补偿点,也就是说如果改变 CIC 滤波器的降采样率,虽然补偿滤波器的归一化频率特性没有变,但归一化频率所对应的绝对频率发生了改变。即在 2.5 MHz 的主时钟频率下,如果 CIC 抽取率为 32,那么补偿点频率 9 375 Hz 所对应的归一化频率为 0.24π。如果 CIC 抽取率变为 16,那么补偿点归一化频率仍为 0.24π,即 18 750 Hz。

可以看到,补偿点从 0.24π 左移到 0.08π,补偿滤波器的阶数降低了 60%,意味着占用的面积和功耗也会按比例下降。

1.3 半带滤波器的设计

半带滤波器是有一半系数为 0 的一种对称 FIR^[7]。这种结构大大减小了芯片面积和功耗,相比与一般的 FIR 滤波器,硬件消耗减小了一半^[8]。

和补偿滤波器一样,最后的通带频率发生变化时,半带滤波器的阶数也会随之改变。当信号频率不一样时,可以根据情况选择不同阶数的半带滤波器,降低整体功耗。而选择不同的抽取率,则可以在更大的范围内选择信号带宽。比如,当时钟频率为 0.625 MHz,抽取率为 512 时,带宽为 390.625 Hz;而当时钟频率为 10 MHz,抽取率为 64 时,带宽为 50 kHz。

具体的阶数和补偿频率点对应关系如表 2 所示。

同上可计算当半带滤波器通带截止频率点从 0.48π 左移到 0.16π,随着阶数的减小功耗将减小 50%。

表 2 不同半带滤波器的阶数

通带频率点	阶数
0.48π	42
0.32π	28
0.16π	14

2 数字抽取滤波器的硬件设计

2.1 CIC 滤波器的硬件设计

设 CIC 滤波器的阶数为 N,抽取倍数为 M,延迟因子为 D,输入与输出位数分别为 B_{in} 和 B_{out},则两者必须满足如下关系^[9]:

Bout=N⋅log2(M⋅D)+Bin(3)

本文中,输入的信号为前端调制器的输出信号,即 1 bit 的数据流。M 最大值为 128,D 为 1,N 为 3,则可得最大输出位数为 22 bit。而为了保证所有抽取率的 CIC 滤波器都能得到正确的结果,将 CIC 滤波器中的每一级积分电路和差分电路的输出都设置为 22 位。

2.2 补偿滤波器的硬件设计

由前面的 MATLAB 仿真分析可知,数据的最高有效位数为 18.1 bit。为了不让后续的数据计算出现失真,将

补偿滤波器的输出设为 19 bit。当补偿滤波器阶数不同时, 各级寄存器在运算过程中需要的最大位数基本一样, 而当 CIC 滤波器的抽取率不一样时, 具体的各级寄存器需要的最大位数如表 3 所示。

表 3 28 阶补偿滤波器运算位数

CIC 抽取率	加法器	乘法器	结果
128	23	47	51
64	20	41	45
32	17	35	39
16	14	29	33

可以看到, 当抽取率不同时, 运算过程中的字长会显著减少。

2.3 半带滤波器的硬件设计

同补偿滤波器一样, 为了不让最后的数据出现失真, 将输出定为 19 bit。在半带滤波器的输入端, 由于前面补偿滤波器的输出为 19 bit, 可得出 42 阶的半带滤波器所需各级寄存器的最大位数如表 4 所示。

表 4 42 阶半带滤波器运算位数

CIC 抽取率	加法器	乘法器	结果
128	20	41	45
64	18	37	41
32	16	33	37
16	14	29	33

和补偿一样, 补偿频率点不同时, 主要减少的是乘法器的使用数量; 当抽取率降低时, 主要减少的是运算过程中所需寄存器的字长。

滤波器的系数采用 CSD (Canonic Signed-Digit) 进行编码。相比于传统的编码方式, 采用 CSD 编码后的平均运算量大约可以降低 33%^[10]。

2.4 抽取选择电路设计

由于在不同的抽取率下用到的时钟分频不同, 因此需要设计外部的选择器电路, 在不同的抽取率下为滤波器选择不同的时钟分频。可以设计三个多路选择器对计数器的不同位数进行选择来达到不同的分频比, 如图 3 所示。

2-4 选择器由外部输入的 2 位数据控制, 且三个 MUX 都由同一组外部输入信号控制。例如, 当外部控制信号为 00 时, 三个 MUX 都选择最低位输出, 而接在最低位上的三个数据分别为计数器的第 3、4、5 位, 对应着抽取率分别为 16、32、64。

2.5 电路仿真结果分析

将写好的滤波器 Verilog 代码放在 Quartus II 中编译, 成功之后编写 Testbench, 在 Testbench 中选择滤波器的时钟频率为 2.5 MHz, 通过外部的选择信号选择抽取率为 128, 补偿滤波器和半带滤波器都按照最高阶的系

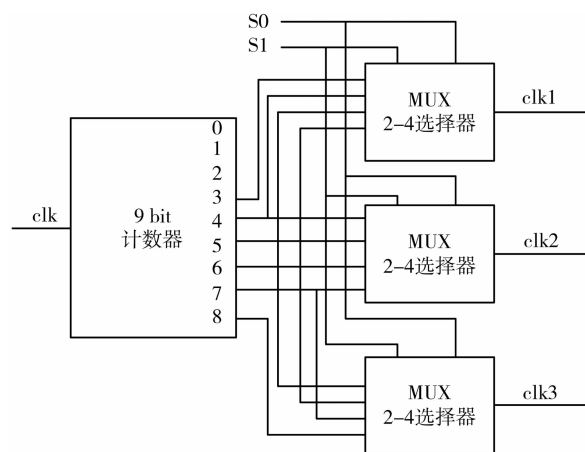


图 3 时钟分频选择模块

数代入。其中的输入信号是前端调制器输出的 5 kHz 正弦波产生的 1 bit 数据流。结果如图 4 所示。

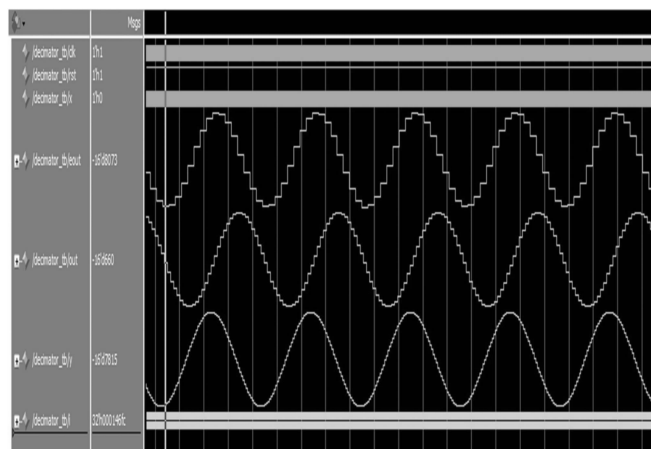


图 4 滤波器的仿真结果

图 4 中, 从上到下, 依次为主时钟信号、复位信号、输入的 1 bit 数据流信号、半带滤波器的输出信号、补偿滤波器的输出信号、CIC 滤波器的输出信号以及对所有输入 1 bit 数据流的编号。

将 1 bit 数据流分别在从 1.25 MHz 到 10 MHz 的时钟下进行带宽为 9 765.625 Hz 的抽取滤波, 即分析从 64 到 512 倍抽取率下输出信号的信噪比。512 倍降采样输出信号信噪比如图 5 所示。

最后实现的信噪比根据不同的抽取率, 由小到大可以达到 71.8 dB、86.5 dB、99.1 dB 以及 110.5 dB。

3 数字后端设计和功耗分析

在标准 0.18 μm 工艺下, 利用 IC Compiler (ICC) 自动布局布线工具, 完成了滤波器的后端版图设计。在提取寄生参数后, 先用 Prime Time 完成了数字滤波器的时序分析和功耗分析, 再将版图导入 Cadence Virtuoso 完成 DRC、LVS 物理验证。滤波器版图如图 6 所示。

整个滤波器的总面积约为 $0.6 \times 0.6 \text{ mm}^2$ 。

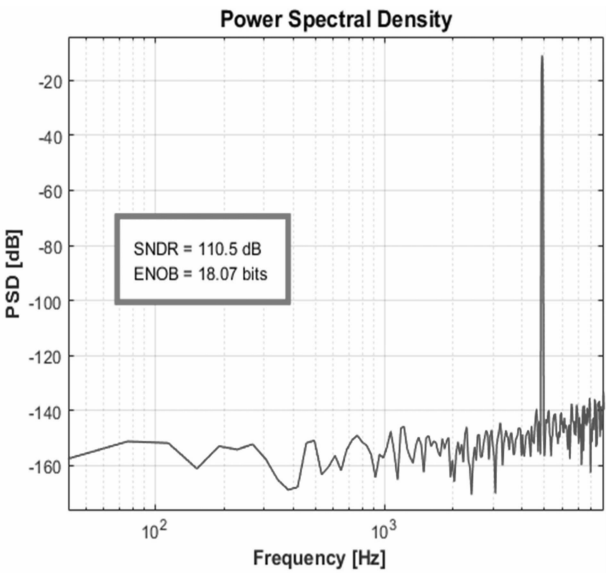


图5 512 倍降采样输出信号信噪比

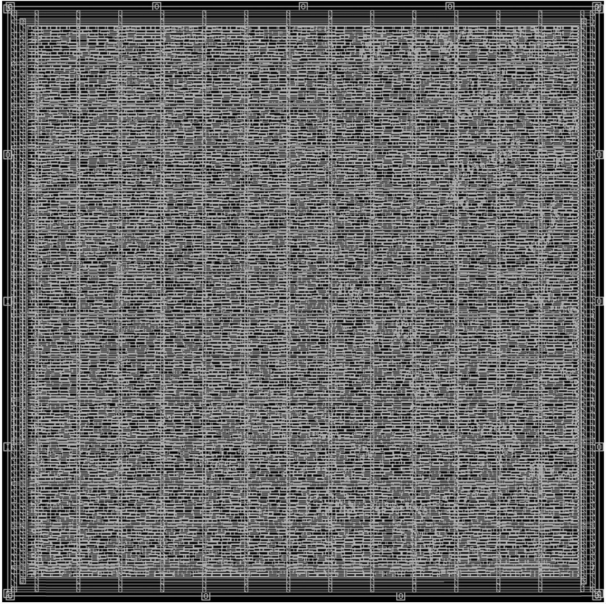


图6 滤波器版图

对于滤波器的功耗,先将工作时钟频率设为 10 MHz,抽取率设为 64,补偿滤波器和半带滤波器都选择最高阶,得到整个滤波器的功耗如图 7 所示。

然后将 CIC 滤波器,补偿滤波器和半带滤波器分开分析,得到结果如表 5 所示。

对于补偿滤波器和半带滤波器,选择不同的阶数,

Cell Internal Power	=	1.8554 mW	(92%)
Net Switching Power	=	150.6716 uW	(8%)

Total Dynamic Power	=	2.0061 mW	(100%)
Cell Leakage Power	=	23.5786 uW	

图7 最高功耗报告

表 5 各级滤波器的最大功耗

滤波器	功耗/ μ W
CIC 滤波器	735.36
补偿滤波器	816.40
半带滤波器	391.27

分析得到的功耗如表 6、表 7 所示。

表 6 不同阶数补偿滤波器的功耗

阶数	功耗/ μ W
28	816.40
16	509.22
10	355.63

表 7 不同阶数半带滤波器的功耗

阶数	功耗/ μ W
42	391.27
28	314.76
14	242.24

最低阶的补偿滤波器和半带滤波器相比于最高阶功耗分别降低了 56%和 39%,低于预计结果的原因在于所有的移位和相加都使用同一组寄存器,当阶数降低时寄存器依然在移位相加,只是乘法运算会减少,因此功耗下降略低于预期。

降低时钟频率分析,得到结果如表 8 所示。

表 8 不同时钟频率滤波器的总功耗

时钟频率/MHz	功耗/ μ W
10	2 006.10
5	1 003.05
2.5	501.53
1.25	250.76

从表中可以看出,时钟频率降低,功耗基本也等比降低。在 10 MHz 时钟频率下,提高滤波器的抽取率分析,得到结果如表 9 所示。

表 9 不同抽取率滤波器的总功耗

抽取率	功耗/ μ W
64	2 006.10
128	1 336.04
256	816.93
512	557.07

相比于时钟频率下降,抽取率上升虽然也会导致后两级滤波器的功耗等比下降,但 CIC 滤波器的功耗却基本不变,只是差分器的功耗因为工作时钟频率降低而等比下降。

当滤波器工作在 1.25 MHz 的时钟频率并抽取率为 512,补偿滤波器和半带滤波器都取最低阶时,相关参数如表 10 所示。

滤波器的最低功耗为 69.63 μ W,此时带宽为 1 220.7 Hz,但是由于后两级滤波器的通带频率截止点下降,因此能还原有效信号的带宽为 390.6 Hz,信噪比为 107.8 dB。

表 10 最低功耗滤波器相关参数

参数名称	数值
带宽	1 220.7 Hz
信噪比	107.8 dB
功耗	69.63 μ W

4 结论

本文采用标准 0.18 μ m 工艺实现了应用于二阶 Sigma-Delta 调制器的抽取滤波器。先完成顶层滤波器的设计,在 MATLAB 中做系统级仿真,接着编写 Verilog 代码,在 Modelsim 中做仿真,最后实现后端版图。整个的流程属于自顶向下的设计方法。由于本设计和前端调制器一脉相承,因此可以在滤波器中改变时钟频率,让整个 ADC 的频率达到 10 MHz、5 MHz、2.5 MHz 以及 1.25 MHz。除了针对规定带宽同时改变时钟频率和抽取率以改变精度之外,还可以在特定时钟频率下改变抽取率来达到不一样的带宽以及降低功耗。最后,还可以在时钟频率和抽取率都固定的情况下,根据信号带宽改变补偿滤波器和半带滤波器的阶数,最大程度降低功耗。

参考文献

- [1] HOGNAUER E. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics Speech & Signal Processing, 1981, 29(2): 155-162.
- [2] 马邵宇, 韩燕, 蔡友. Σ - Δ ADC 中数字抽取滤波器的多级实现[J]. 天津大学学报(自然科学与工程技术版), 2007, 40(12): 1421-1425.
- [3] SCULLEY S, FIE T. Digital COMB filter implementation for the II $\Sigma\Delta$ A/D converter[J]. ISCAS, 1996, 2: 281-284.
- [4] Tan Nianxiong, ERIKSSON S, WANHAMMAR L. A novel bit-serial design of comb filters for oversampling A/D converters[C]. IEEE International Symposium on Circuits and Systems, 1994: 259-262.
- [5] CANDY J. Decimation for sigma delta modulation[J]. IEEE Transactions on Communications, 1986, 34(1): 72-76.
- [6] 刘春炜, 黄世震, 林伟. Sigma-Delta 调制器的 SIMULINK 行为模型的分析与设计[J]. 国外电子测量技术, 2007, 26(11): 1-4.
- [7] LYONS R G. Understanding digital signal processing[M]. 2nd ed. Englewood Cliffs, New Jersey: Prentice Hall, 2004: 258-260.
- [8] 丁玉美, 高西全. 数字信号处理[M]. 第 2 版. 西安: 西安电子科技大学出版社, 2000.
- [9] WANG Z, ZHENG T H, LU D, et al. Configurable incremental sigma-delta ADC for DC measure and audio conversion[C]. // IEEE Custom Integrated Circuits Conference, 2014: 1-4.
- [10] HARTLEY R I. Subexpression sharing in filters using canonic signed digit multipliers[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1996, 43(10): 677-688.

(收稿日期: 2021-04-30)

作者简介:

王尧(1993-), 男, 硕士研究生, 主要研究方向: 模数混合集成电路设计。

卜刚(1969-), 男, 教授, 主要研究方向: 模拟射频集成电路设计。



扫码下载电子文档

(上接第 88 页)

电子与封装, 2020, 20(1): 41-47.

- [16] 杨安生, 黄世震. 基于 ARM SoC 的 FPGA 原型验证[J]. 电子器件, 2011, 34(3): 247-251.

- [17] 程翼胜. SoC 芯片 FPGA 原型的软硬件协同验证[J]. 单片机与嵌入式系统应用, 2017, 17(11): 7-10, 13.

(收稿日期: 2021-04-28)

作者简介:

杨楚玮(1991-), 男, 硕士研究生, 工程师, 主要研究方向: 集成电路、嵌入式软件。

张梅娟(1981-), 女, 硕士研究生, 高级工程师, 主要研究方向: 集成电路、嵌入式软件。

侯庆庆(1988-), 男, 硕士研究生, 工程师, 主要研究方向: 集成电路、硬件设计。



扫码下载电子文档