

ARQUITETURA DE COMPUTADORES

Projeto lógico de um processador

O computador NEANDER

O computador NEANDER tem as seguintes características:

- ☐ Largura de dados e endereços de 8 bits
- ☐ Dados representados em complemento de dois
- ☐ 1 (registrador) acumulador de 8 bits (AC)
- ☐ 1 (registrador) apontador de programa de 8 bits (PC)
- ☐ 1 registrador de estado com 2 códigos de condição: negativo (N) e zero (Z)

Componentes internos

Controle:

- FSM, ou máquina de estados

Datapath, ou caminho de dados:

- Registradores
- ULA
- Decodificador de instruções

3

Transferências

Instrução LDA

Busca:

$RI \leftarrow MEM(PC)$
 $PC \leftarrow PC+1$

REM \leftarrow PC
Read
RI \leftarrow RDM

Execução:

$end \leftarrow MEM(PC)$
 $PC \leftarrow PC+1$
 $AC \leftarrow MEM(end)$; atualiza N e Z

4

Transferências

Instrução LDA

Busca: $REM \leftarrow PC$
 $Read; PC \leftarrow PC+1$
 $RI \leftarrow RDM$

Execução: $REM \leftarrow PC$
 $Read; PC \leftarrow PC+1$
 $REM \leftarrow RDM$
 $Read$
 $AC \leftarrow RDM; \text{atualiza N e Z}$

5

Transferências (outro ex.)

Instrução JMP

Busca: $RI \leftarrow MEM(PC)$
 $PC \leftarrow PC+1$

Execução: $end \leftarrow MEM(PC)$
 $PC \leftarrow end$

$REM \leftarrow PC$
 $Read$
 $RI \leftarrow RDM$

6

Transferências (outro ex.)

Instrução JMP

Busca: $REM \leftarrow PC$
 $Read; PC \leftarrow PC+1$
 $RI \leftarrow RDM$

Execução: $REM \leftarrow PC$
 $Read$
 $PC \leftarrow RDM$

7

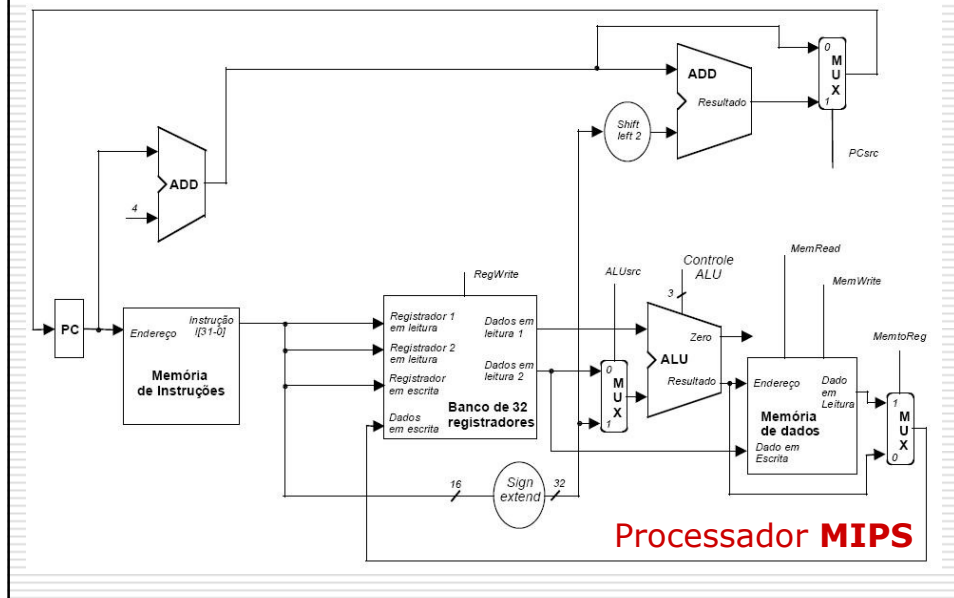
Organização interna do NEANDER

- Sinais de controle:
 - Operações de transferência
 - Instruções
 - Expressões booleanas

Ver PDF OrgNea2004.pdf

8

Monociclo



Características do monociclo

- ❑ Ao final de cada ciclo de relógio o PC é carregado com um novo valor
- ❑ A mudança no valor do PC se propaga através de uma grande lógica combinacional
 - memória de instruções => banco de registradores => ALU => memória de dados => banco de registradores
- ❑ período do ciclo de relógio deve ser maior do que máximo atraso de propagação através desta lógica combinacional

Exemplo monociclo (MIPS)

Supondo os seguintes atrasos:

- memórias: 2 ns
- ULA: 1 ns
- banco de registradores: 1 ns
- somadores: 0,5 ns
- demais componentes: atraso desprezível

Período do ciclo de relógio deve ser maior do que 7 ns (cerca de 140MHz)

11

Exemplo multiciclo (Neander)

Supondo os seguintes atrasos:

- memórias: 2 ns
- ULA: 1 ns
- Registradores: 1 ns
- demais componentes: atraso desprezível

Período do ciclo de relógio deve ser maior do que 2 ns (cerca de 500MHz)

CPI – Ciclos Por Instrução

12

Resumo

- ❑ Se nós entendemos as instruções ...
 nós podemos construir um processador simples
- ❑ Se as instruções custam tempos diferentes, multiciclo é melhor
- ❑ Caminho de dados é implementado usando:
 - Lógica combinacional para aritmética
 - Elementos de estado para 'relembrar' os bits
- ❑ Controle é implementado usando:
 - Lógica combinacional para implementação monociclo
 - Máquina de estados finitos para implementação multiciclo

13

Literatura

- ❑ *Weber – cap 10*
- ❑ *Patterson & Hennessy – cap 5*
- ❑ *Stallings – cap 11.1 a 11.3 ☺*

14

Somos o que repetidamente
fazemos. A excelência,
portanto, não é um feito,
mas, um hábito.

Aristóteles

15

Questões adicionais...

- ☐ Sugestões para melhorar o desempenho dos processadores vistos

16