

Slide 4 – Desempenho

- Influenciam na velocidade da CPU
 - Pipeline
 - Superescalar
 - Sistemas de memória
 - ASIP

PIPELINE

- Várias unidades funcionais chaveando juntas, aumenta o desempenho, mas consome mais potência.
- Medidas de desempenho:
 - Latencia – Tempo de passagem de instruções.
 - Throughput – Número de instruções por unidade de tempo.
- O pipeline aumenta o throughput, mas não reduz a latência.
- Prejudicam o desempenho: Dependência de dados e instruções de desvios.
- Lógicas adicionais consomem mais potência (predição de desvio e forwarding).

SUPERESCALAR

- Explora o paralelismo dinâmico.
- Usa mais de um pipeline.
- Os problemas de gastos são os mesmos encontrados pelo pipeline.
- Além disso os computadores escalares possuem um hardware adicional escalonador que irá consumir mais energia.
- Afetam o desempenho: execução fora de ordem.

VLIW

- Escalona o paralelismo na compilação.
- Não tem hardware escalonador o que beneficia no consumo de energia.
- Como compila para uma arquitetura específica, não irá ter problemas com sistemas embarcados onde o hw e o sw são bem casados.

SISTEMA DE MEMÓRIA

- Hierarquia de memória, trazer memória mais rápida para perto da CPU. Devido ao aumento da velocidade da CPU e a velocidade das memórias não terem alcançado.
- Potência:
 - Cache diminui a potencia gasta, pois é mais rápida e os acessos irão ser mais nela.
 - Mas uma cache muito grande pode aumentar a potência, a cache deve ser a menor possível para aquela aplicação.
 - MMU
 - WCET
- Desempenho
 - Aumenta o desempenho geral.

- Há um certo prejuízo por falhas na cache.
 - Introduz um fato indeterminístico.
 - Ruim para aplicações de tempo-real
- Ao introduzir a memória cache um chip a mais será mais acessado e este chip é mais rápido.

OTIMIZAÇÃO NO TAMANHO DE CÓDIGO

- RISC
 - Modularização de instruções.
 - Palavra maior.
- CISC
 - Menos bits
 - Sem modularização
 - Menor palavra
 - Menos potência.
- Compacta-se as instruções para evitar desperdício EX: instruções thumb da arm.

ASIP

- Set de instruções específicas (estendido)
- Continua sendo um processador.
- No domínio embarcado não existe a preocupação e um software vai usar ou não as instruções plus.
- Encarece pouco o produto final. Pic14 X dsPic
- Do ponto de vista dos pinos não afeta, mas na lógica ele tem mais hardware e consome mais, porém para compensar ele é mais rápido em certas operações. O hardware a mais promove a economia de energia.
- Não existe ASIP genérico, a aplicação é definida a priori.
- Existem alguns que mudam partes da ISA em tempo de execução.

PDS

- Leitura off-line do arquivo.
- Online “real-time” – muitas operações matemáticas em tempo curto.

FILTRO FIR E DSP

- Um processador normal implementa um filtro FIR de forma ineficiente com leituras constantes na memória.
- Um processador DSP:
 - Tem hardware e instruções especializadas para fazer o filtro
 - ULA MAC, significa ter um operador específicos para operações MAC.
 - Registrador de saída.
 - “Não interage” com a memória (DMA)
 - Acesso direto para busca de dados.
 - Usa uma instrução do tipo SIMD operam em um vetor de valores com uma única instrução.
 - Os laços são controlados por hardware, o que contribui para um ganho de tempo. (Operador módulo).

- Operações em ponto fixo.
- Maior desvantagem: Se a operação existir, você tem opções em alto nível para ela, se você quer fazer algo não padrão, mas ainda sim quer utilizar o hardware específico, você deve fazer em assembly.

Slide 5 – Reconfiguráveis

- Arquitetura intermediária
 - Alia as ideias de hardware especializado à compra de prateleira do processador.
- No fim parece-se mais com um circuito especializado.
 - Não é necessário enviar ao “chinês”
 - O usuário mesmo programa, entende-se por usuário um programador na fase de desenvolvimento do sistema.

PLDs

- Small Scale integration, um chip com várias (200) portas lógicas.
- O interesse nesse chip é quais entradas colocar para ter uma determinada saída, o interior é uma caixa preta programável.
- Esses chips tinham várias portas cujas conexões podiam ser reconfiguradas uma só vez.
- Hoje em dia seus representantes são os FPGAs e os CPLDs.

VANTAGENS DO USO DE RECONFIGURÁVEIS. (EM COMPARAÇÃO COM ASSIC)

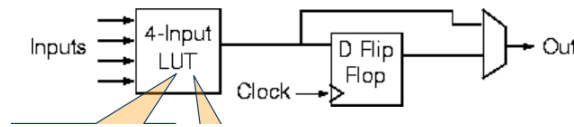
- Prototipação rápida em comparação ao ASIC. O hardware é mais rápido de fazer, pois já está “pronto” precisando apenas fazer as conexões certas.
- Esse tempo não é melhor que o dos processadores, mas pode no máximo empatar.
- Projetos de FPGA podem perder tempo, pois as ferramentas de desenvolvimento são mais “ácidas”.
- Correção de bugs é mais fácil do que enviar o chip para refazer (ASSIC).
- Custo de projeto é menor já que o reconfigurável é algo de prateleira e tem uma escala maior.

APLICAÇÕES

- Seu uso pode recair na prototipação para ASIC ou mesmo uma aplicação.
- Bom para produtos que exigem um hardware específico, mas não terão uma boa escala.
- Pode-se aplicar nos mesmos lugares que o ASIC.
- Glue logic, chips que gerenciam as conexões entre outros chips num sistema maior.
- Sistemas completos – SOC.
- Co-processadores.
- Computadores de alto desempenho.

O gasto de energia de um reconfigurável perde para tanto o ASIC quanto para o processador.

FPGA (inside)



- LUT – Tabela que representa a lógica combinacional que deseja-se alcançar.
- Memória SRAM é usada. Essa memória tem boa densidade e é de fácil modificação, sua desvantagem está na volatilidade e no alto consumo de potência.
- Em um FPGA existem milhões de LUTs.
- FPGA é mais lento que algo feito de transistores, pois transistores são mais rápidos que memórias.
- Para compensar a lentidão os FPGAs utilizam a melhor tecnologia de memória possível.
- Perde para os transistores no tempo e na energia.
- Ganha na escala, tempo de desenvolvimento e flexibilidade.
- Pode conter blocos de memória inteiros (BRAM)
- As memórias são voláteis, logo é preciso de uma memória não volátil para guardar a descrição do hardware.
- Quanto menor a célula, mais flexibilidade de arranjo se tem. Células muito grande promovem o desperdícios. (Analogia Areia/Tijolo).
- Não é possível conectar todas as células umas com as outras, número de conexões é limitado.
- Existem casos que 97% do chip está cheio, mas ele acusa que não pode mais gravar. Isso se deve ao fato de todas as conexões possíveis terem sido esgotadas.
- Não é raro que existam melhorias na heurística de roteamento e em uma versão do software de síntese o chip gastasse 60% e numa versão mais nova gaste 50%.

FPGA x CPLD

Blocos menores,	Blocos maiores
Maior flexibilidade	Menor flexibilidade, menos conexões
Baseado em RAM	Baseado em EEPROM
Mercado de circuitos grande de alta complexidade	Mercado de substituição de PLDS (lógica combinacional)
Já vem com funções complexas embutidas, pode ser reconfigurado parcialmente em alguns casos.	
Maior capacidade (número de portas)	Menor capacidade

OUTRAS APLICAÇÕES

- Tradução de protocolo
- ADC e DAC
- FFT, demodulação e filtragem
- Criptografia

PROCESSADOR SOFTCORE

- São processadores que foram descritos em linguagem de descrição de hardware e implementados num FPGA.
- É comum existirem processadores nativos de softcore, e não pegar processadores existentes e coloca-los em FPGA.

HÍBRIDOS

- A ideia é ter um processador feito normalmente e um malha FPGA. Ou seja, fazer um processador com portas lógicas e liga-lo a parte reconfigurável.
- Tem uma menor flexibilidade, pois a parte do processador é fixa.
- Proporciona uma melhor eficiência energética e melhor performance, pois uma das partes mais importantes do chip foi feita da forma mais eficiente possível.
- Ótimo para utilizar o chip processador e adiciona um hardware especializado na parte FPGA.

OBSERVAÇÕES FINAIS

- FPGAs podem ser melhores que ASIC quando se considera tempo de projeto.
- FPGAs tem maior densidade e flexibilidade.
- A qualidade final do produto depende do software de síntese.
- O uso de HDL para descrever o hardware não é fácil
 - Linguagem não imperativa.
 - Hardware tem que pensar em paralelo.
 - Mais difícil de encontrar programadores bons.
 - Gasta-se mais tempo e dinheiro.
- Pode-se fazer o reuso de bibliotecas.
- O mercado hibrido ganhou força pela entrada da ARM.