INSTITUTO FEDERAL DE EDUCAÇÃO, CIENCIA E TECNOLOGIA DO CEARÁ-IFCE ARQUITETURA DE COMPUTADORES ENG. DE COMPUTAÇÃO PN2 15/12/2017

NONE PROBLED PROPE lustruções para avaliação: NOTAT Leia atentamente a prova.

- Não utilize celular.
- Responda as questões em ordem.
- Utilize as folhas de resposta.
- Só responda na prova as questões de marcar. Nas questões que exigirem justificativa,
- Utilize caneta (azul ou preta) pelo menos para resposta final.
- Analise as afirmativas abaixo e marque a opção correta. (20 escores)
 - i. Hazards de dados, hazards de controle e hazards estruturais ocasionam limitações em
 - ii. No despacho múltiplo estático, é necessária a implementação de um buffer de despacho
 - lii. Delayed Branch é uma técnica utilizada para solucionar casos de antidependências.
 - iv. No despacho múltiplo dinâmico, a tarefa de determinar a ordem que as instruções são
 - v. A renomeação de registradores e o desenrolar de laços são técnicas utilizadas para solucionar casos de falsas dependências em processadores superescalares.
 - b) I, II e III estão corretas.
 - II, III e V estão falsas,
 - d) I e IV são afirmações falsas.
 - e) le V estão corretas.
- 2. Analise as seguintes frases. Determine se as afirmações são verdadeiras ou falsas e reescreva
 - a. (V) No método de acesso sequencial para acessar um registro é necessario passar
 - b. (V) Memórias cache geralmente são memórias não voláteis.
 -) Memórias não voláteis são aquelas memórias que não podem ser apagadas.
 - d. (V) Pelo princípio da localidade espacial, quando uma posição de memória é acessada, provavelmente será acessada novamente daqui há algum tempo.
 - e. (V) O uso de uma hierarquia de memórias é feito com o objetivo de se obter grande capacidade de armazenamento aliado à uma alta velocidade de acesso.
- 3. Quais princípios permitem que uma hierarquia de memórias seja utilizada em um
- 4. Cite três características de memórias e classifique disco magnético (HD), memória flash. memória RAM e DVD quanto à essas características. (20 escores)
- Considere um processador com despacho múltiplo dinâmico que possui uma unidade de execução para instruções de escrita/leitura e uma para instruções lógicas, aritméticas e de desvio. Em quantos ciclos de clock o código abaixo será executado? Justifique sua resposta exibindo o lw \$s2, 100(\$s0)
 - add \$16, \$55, \$19
 - 3 add \$t2, \$s2, \$s5
 - 4 SW \$t2, 104(\$s0)
 - 5 Iw \$\$3, 108(\$\$0)
 - 6 add \$t4, \$s3, \$t2
 - 7 add \$17, \$55, \$56
 - 8 SW \$t4, 112(\$s0)
 - 9 addi \$14, \$t3, 20

1	Valakilidade /	lescal 1	Unid Transferência
Disco magnifical	likátov-can	Edwara	Echanna
Memoria Plansh	Não - rodákil	Exkorna	Ecturas /
Mamoria RAM	Volásie	July or on	Indura 0.0
DND	Não - volákil	Externa	Exturna

03) Espaço de armazenamento, tempo de acurso e curto por bit. X

capagaga ron mabeg ciostaber-ear capinèment (3 (50

STE OF EX MEM WBAR

STE OF

As youk a longer that the state of