



**FUNDAÇÃO EDSON QUEIROZ**  
**UNIVERSIDADE DE FORTALEZA**  
ENSINANDO E APRENDENDO

# Aula 05

## Arquitetura PIC18 – Parte II

(18F4520 - Uma Visão Geral)

### Microcontroladores PIC18 – Programação em C



Prof. Ítalo Jáder Loiola Batista

**Universidade de Fortaleza - UNIFOR**

**Centro de Ciências Tecnológicas - CCT**

*E-mail: [italoloiola@unifor.br](mailto:italoloiola@unifor.br)*

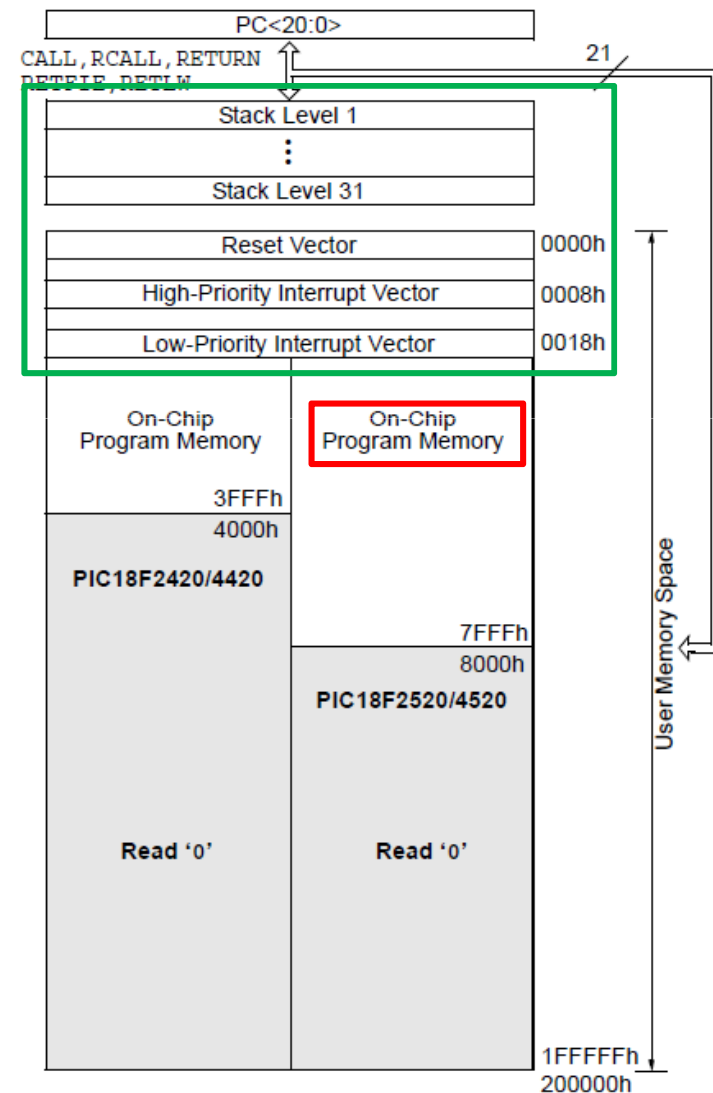
*Jan/2011*

# Memória do PIC18F4520

- ❑ O PIC18F4520 possui três tipos de memória integrados:
  - ❑ Memória de **programa (Flash-ROM)**: 32k x 16bits
  - ❑ Memória de **dados (RAM)**: 1536 x 8bits
  - ❑ Memória **EEPROM**: 256 x 8bits

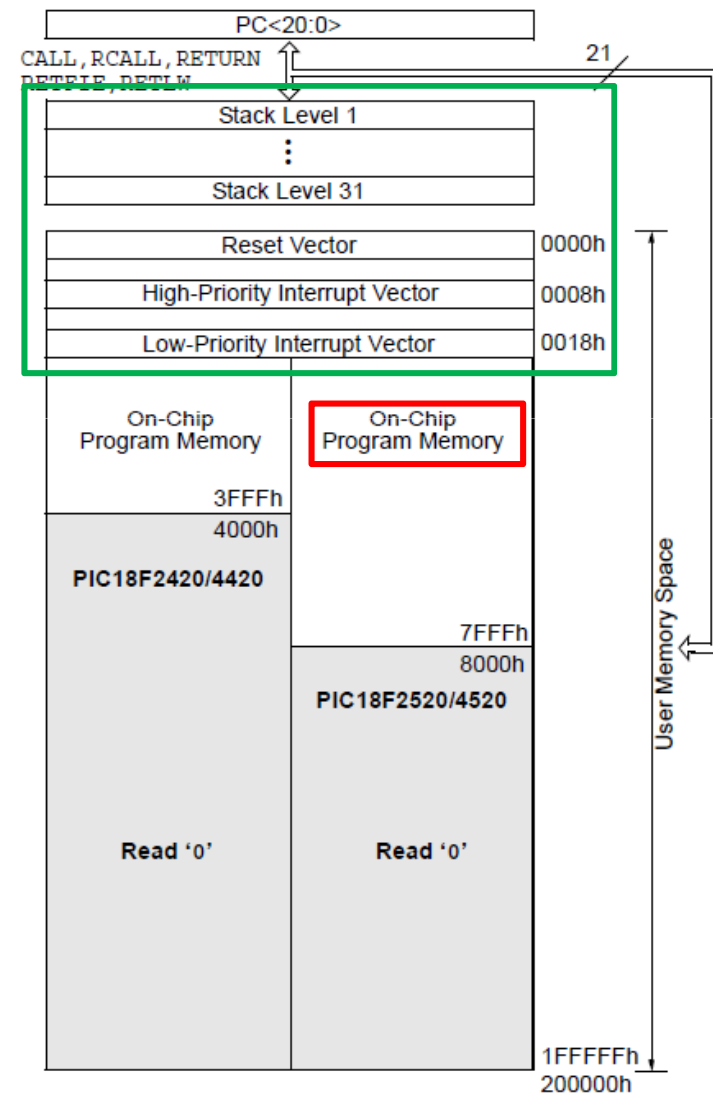
# Memória de Programa

- **Flash-ROM:** 32k x 16bits (0000h – 7FFFh);
- O endereço do **Reset** é 0000h;
- Vetores de **interrupção** 0008h e 0018h;
- A **Pilha** (stack) possui 31 níveis, isso permite ter aninhadas até 31 chamadas de sub-rotinas;
- Permite que sejam efetuadas até **100.000** gravações/apagamentos;
- Tempo de retenção garantido pelo fabricante de **40 anos**;



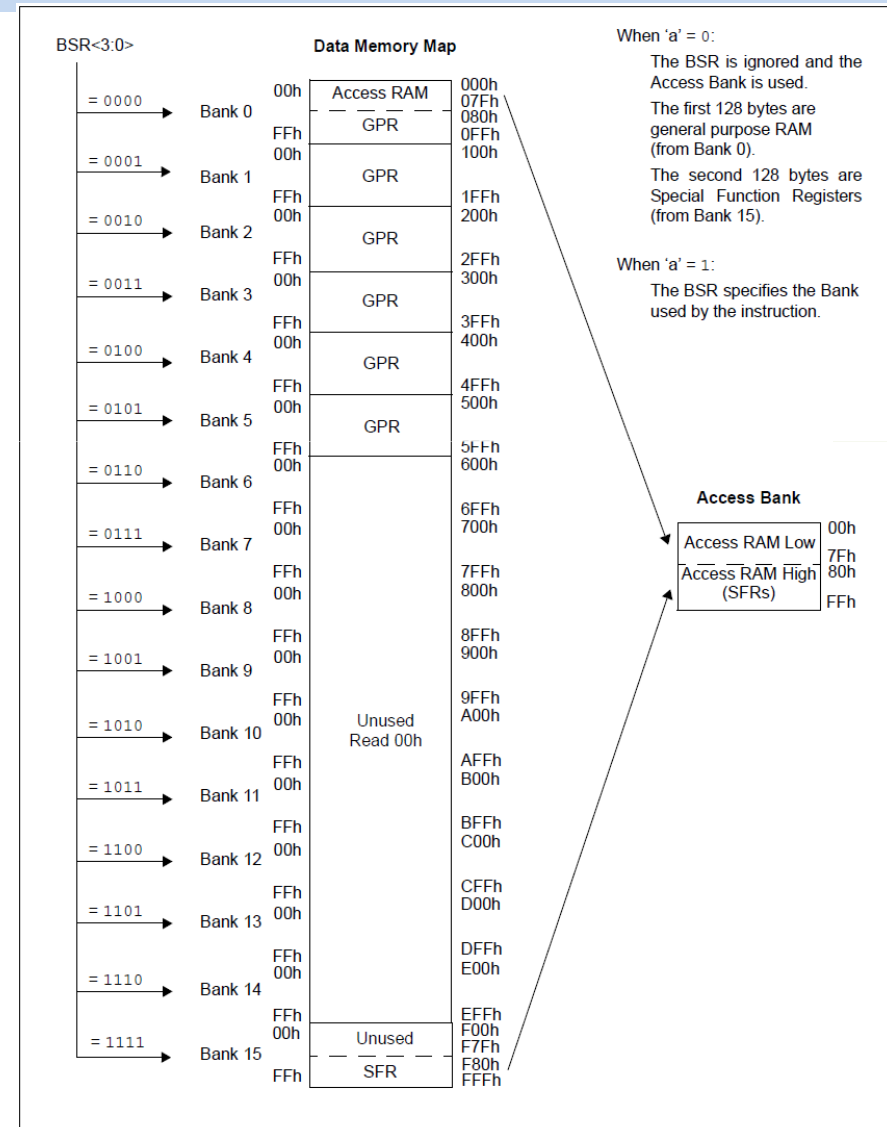
# Memória de Programa

- **Program Counter (PC)** - Contador de Programa.
- Aponta para a próxima instrução a ser buscada na memória de programa.
- Após executar uma instrução, PC é automaticamente incrementado para apontar para a próxima instrução.
- Não podemos ler o conteúdo de PC diretamente.
- Composto por 21 bits em 3 registradores de 8 bits;



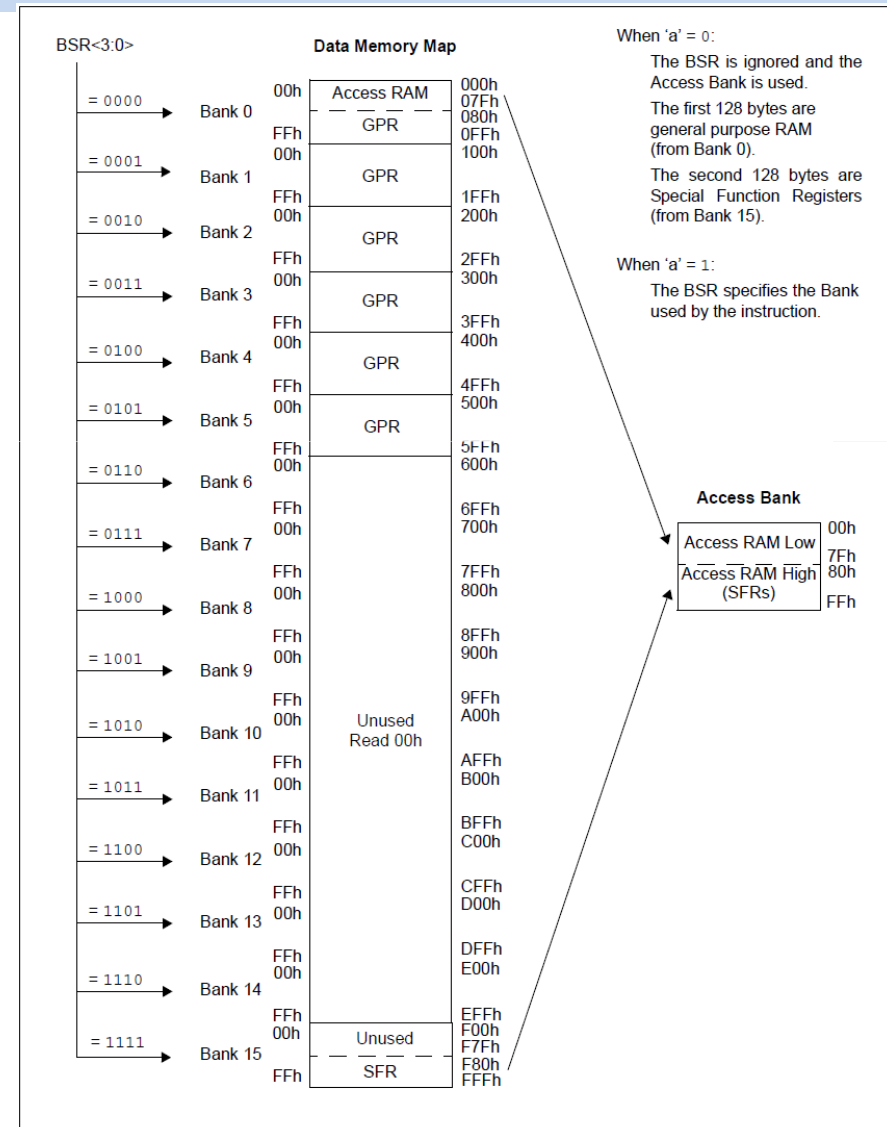
# Memória de Dados

- Memória RAM de 1536 bytes x 8bits;
- Armazena as “Variáveis” e os “Registradores” usados pelo programa;
- Organizada em 16 bancos de registradores;
- Cada banco possui 256 localidades;
- O chaveamento entre os bancos de memória é realizado por meio do bit  $BSR<3:0>$ ;
- Apenas os bancos 0, 1, 2, 3, 4, 5 e 15 estão implementados fisicamente;



# Memória de Dados

- Registradores de uso geral (GPRs):
  - Utilizados para armazenamento de **dados temporários** gerados ou manipulados pelo sistema;
- Registradores com finalidade específico (SFRs):
  - Utilizados no **controle da CPU** e na configuração dos **periféricos**;
- Os endereços **mais baixos** de cada banco são sempre reservado para SFRs.



# Registradores com finalidade específico (SFR)

Address	Name	Address	Name	Address	Name	Address	Name
FFFh	TOSU	FDFh	INDF2 <sup>(1)</sup>	FBFh	CCPR1H	F9Fh	IPR1
FFEh	TOSH	FDEh	POSTINC2 <sup>(1)</sup>	FBEh	CCPR1L	F9Eh	PIR1
FFDh	TOSL	FDDh	POSTDEC2 <sup>(1)</sup>	FBDh	CCP1CON	F9Dh	PIE1
FFCh	STKPTR	FDCh	PREINC2 <sup>(1)</sup>	FBCh	CCPR2H	F9Ch	— <sup>(2)</sup>
FFBh	PCLATU	FDBh	PLUSW2 <sup>(1)</sup>	FBBh	CCPR2L	F9Bh	OSCTUNE
FFAh	PCLATH	FDAh	FSR2H	FBAh	CCP2CON	F9Ah	— <sup>(2)</sup>
FF9h	PCL	FD9h	FSR2L	FB9h	— <sup>(2)</sup>	F99h	— <sup>(2)</sup>
FF8h	TBLPTRU	FD8h	STATUS	FB8h	BAUDCON	F98h	— <sup>(2)</sup>
FF7h	TBLPTRH	FD7h	TMR0H	FB7h	PWM1CON <sup>(3)</sup>	F97h	— <sup>(2)</sup>
FF6h	TBLPTRL	FD6h	TMR0L	FB6h	ECCP1AS <sup>(3)</sup>	F96h	TRISE <sup>(3)</sup>
FF5h	TABLAT	FD5h	T0CON	FB5h	CVRCON	F95h	TRISD <sup>(3)</sup>
FF4h	PRODH	FD4h	— <sup>(2)</sup>	FB4h	CMCON	F94h	TRISC
FF3h	PRODL	FD3h	OSCCON	FB3h	TMR3H	F93h	TRISB
FF2h	INTCON	FD2h	HLVDCON	FB2h	TMR3L	F92h	TRISA
FF1h	INTCON2	FD1h	WDTCON	FB1h	T3CON	F91h	— <sup>(2)</sup>
FF0h	INTCON3	FD0h	RCON	FB0h	SPBRGH	F90h	— <sup>(2)</sup>
FEFh	INDF0 <sup>(1)</sup>	FCFh	TMR1H	FAFh	SPBRG	F8Fh	— <sup>(2)</sup>
FEeh	POSTINC0 <sup>(1)</sup>	FCEh	TMR1L	FAeh	RCREG	F8eh	— <sup>(2)</sup>
FEDh	POSTDEC0 <sup>(1)</sup>	FCDh	T1CON	FADh	TXREG	F8Dh	LATE <sup>(3)</sup>
FECh	PREINC0 <sup>(1)</sup>	CCCh	TMR2	FACH	TXSTA	F8Ch	LATD <sup>(3)</sup>
FEBh	PLUSW0 <sup>(1)</sup>	FCBh	PR2	FABh	RCSTA	F8Bh	LATC
FEAh	FSR0H	FCAh	T2CON	FAAh	— <sup>(2)</sup>	F8Ah	LATB
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEADR	F89h	LATA
FE8h	WREG	FC8h	SSPADD	FA8h	EEDATA	F88h	— <sup>(2)</sup>
FE7h	INDF1 <sup>(1)</sup>	FC7h	SSPSTAT	FA7h	EECON2 <sup>(1)</sup>	F87h	— <sup>(2)</sup>
FE6h	POSTINC1 <sup>(1)</sup>	FC6h	SSPCON1	FA6h	EECON1	F86h	— <sup>(2)</sup>
FE5h	POSTDEC1 <sup>(1)</sup>	FC5h	SSPCON2	FA5h	— <sup>(2)</sup>	F85h	— <sup>(2)</sup>
FE4h	PREINC1 <sup>(1)</sup>	FC4h	ADRESH	FA4h	— <sup>(2)</sup>	F84h	PORTE <sup>(3)</sup>
FE3h	PLUSW1 <sup>(1)</sup>	FC3h	ADRESL	FA3h	— <sup>(2)</sup>	F83h	PORTD <sup>(3)</sup>
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB
FE0h	BSR	FC0h	ADCON2	FA0h	PIE2	F80h	PORTA

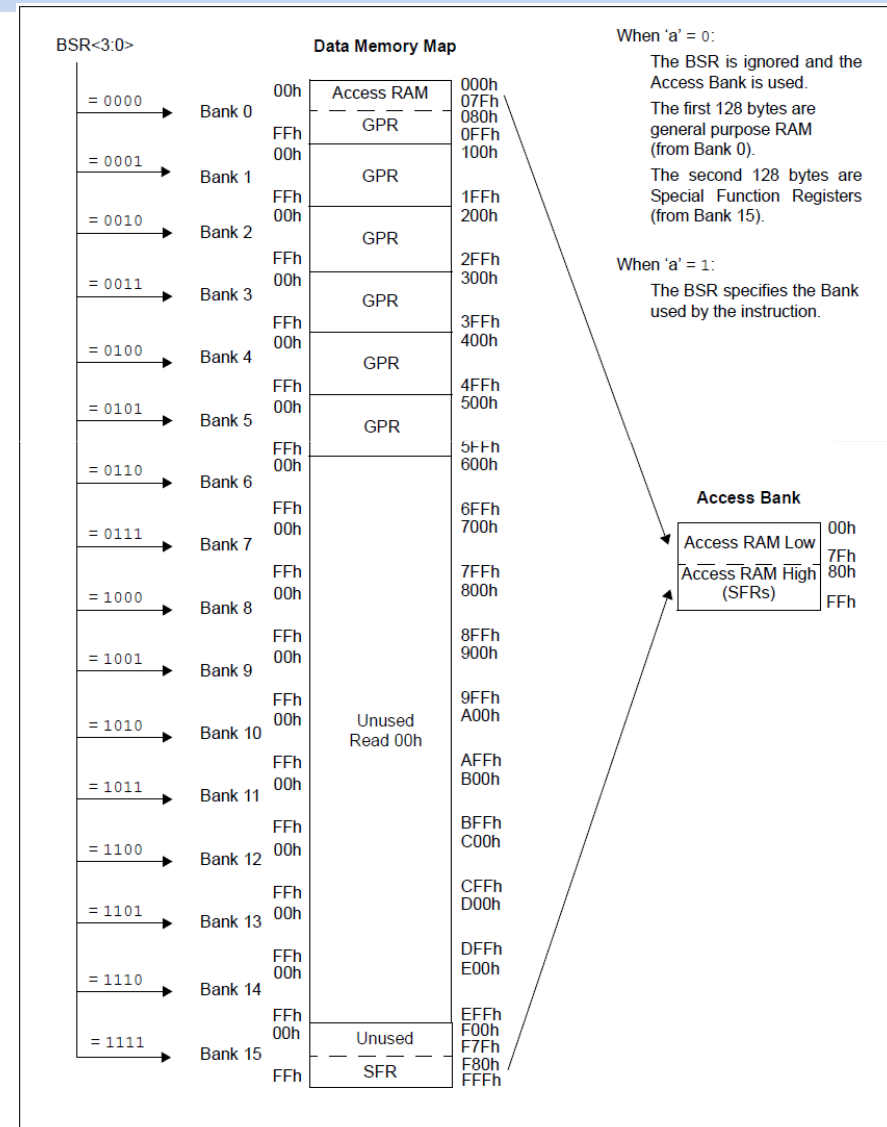
## Registradores com finalidade específico (SFR)

- Os SFRs serão vistos quando estudarmos os periféricos e outros recursos especiais do PIC.



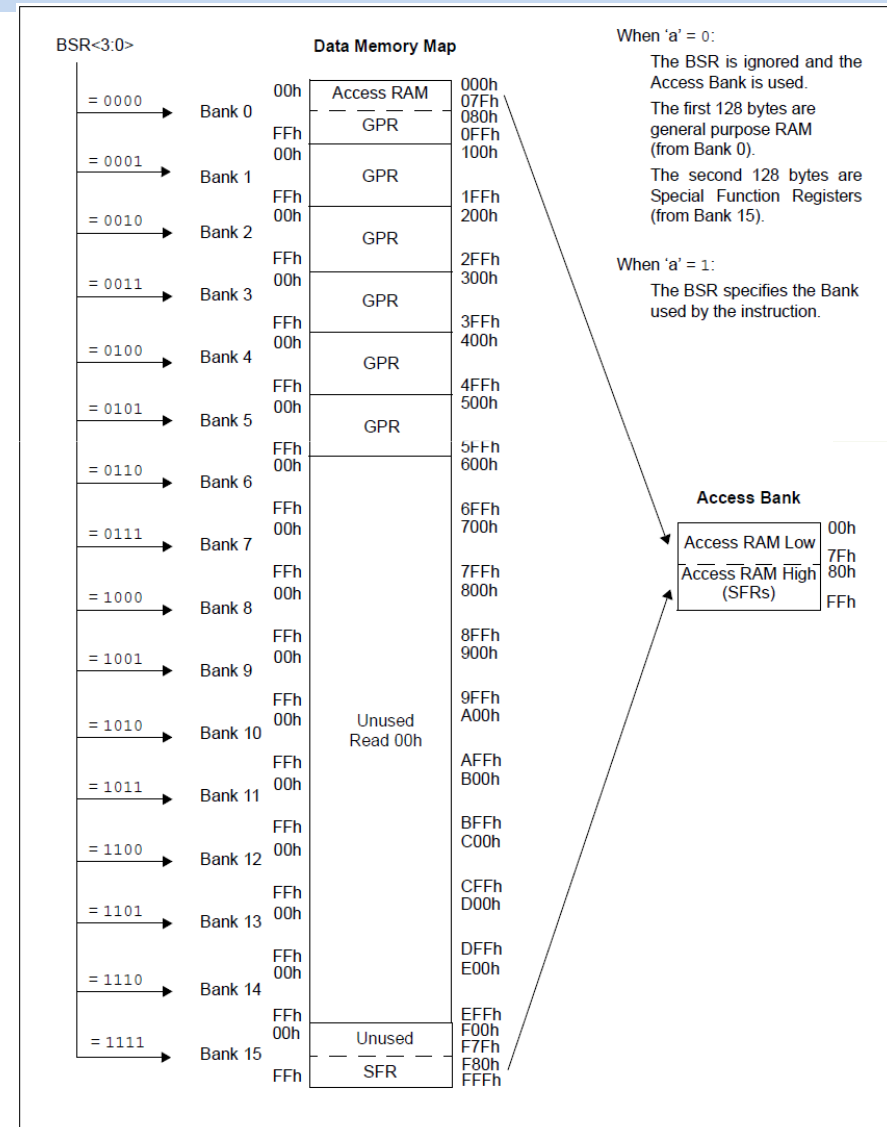
# Memória de Dados

- Acesso as localidades da memória de dados pode ser efetuado de duas formas:
- Endereçamento **direto**:
  - Utiliza o registrador BSR;
- Endereçamento **indireto**:
  - Utiliza o registradores:
    - **FSR**:
      - Armazena o endereço da localidade;
    - **INDF**:
      - Armazena o dado;



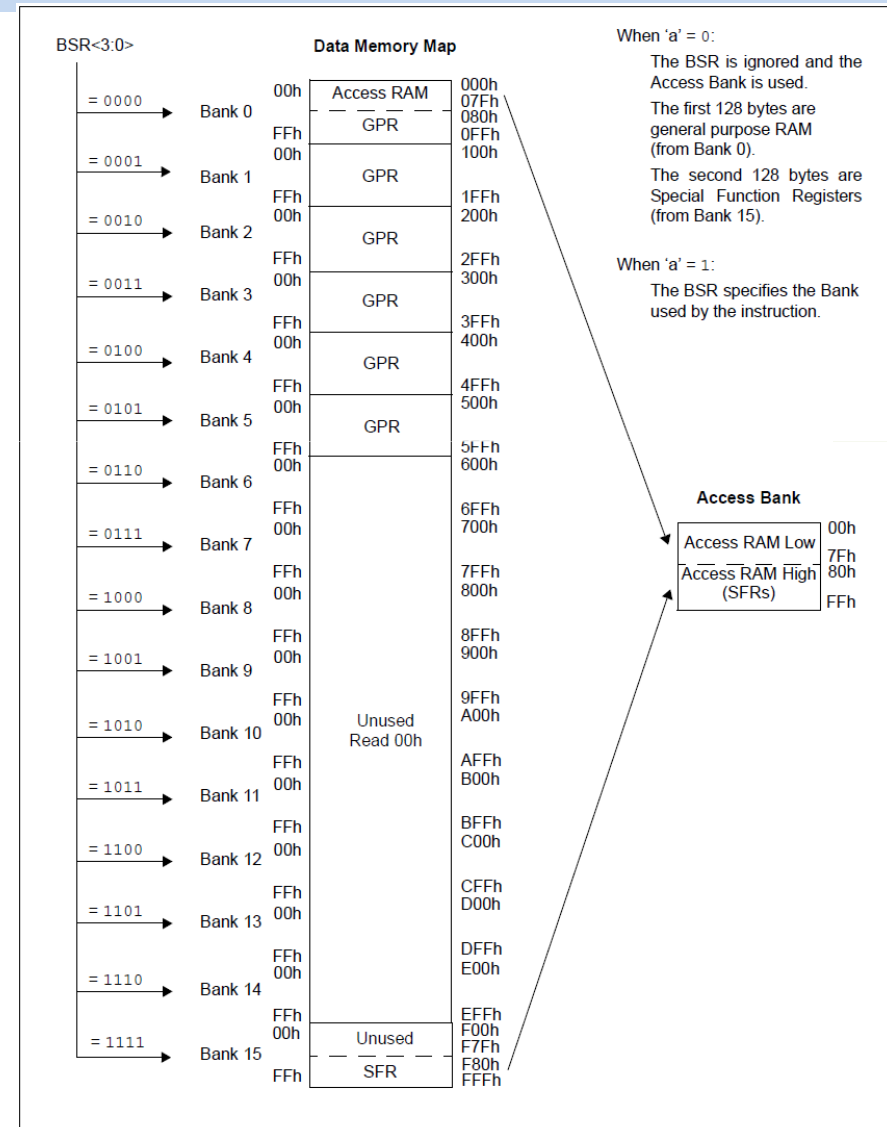
# Memória de Dados

- O *Access Bank* é uma forma de acesso a memória na qual **não é** necessário o **chaveamento** entre os bancos ;
- Utiliza um segmento do **banco 0** e um segmento do **banco 15** para formar um único banco de memória no qual podemos acessar tanto os SFRs quanto os GPRs



# Memória de Dados

- Outro **aprimoramento** que ocorre na série PIC18 no acesso à memória de dados é a possibilidade de **copiar** uma informação armazenada em uma localidade de memória para outra utilizando **uma única instrução**, a MOVFF;



# Memória de EEPROM

- O PIC18F4520 possui 256 localidades de memória EEPROM;
- Podem ser utilizados para o armazenamento de dados que não devem ser perdidos, mesmo que a energia seja desligada;
- Ocupa a faixa de endereços 00h – FFh;
- O acesso é feito por meio de quatro SFRs:
  - EECON1
  - EECON2
  - EEADR
  - EEDATA
- Os SFRs EECON1 e EECON2 são registradores de controle, enquanto os SFRs EEADR e EEDATA recebem, respectivamente, o endereço e o dado que será lido ou escrito;

## Registradores de Configuração

- Os PIC18 possuem um conjunto especial de registradores localizados em uma região específica da memória flash (endereços 0x300000 a 0x30000D).
- Esses registradores configuram diversas opções de operação dos microcontroladores;
- Somente podem ser alterados no instante em que se grava o chip (por meio de um gravador externo).

# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG1H (0x300001)	Leitura	IESO	FCMEM	0	0	FOSC3	FOSC2	FOSC1	FOSC0
	Padrão	0	0	0	0	0	1	1	1

Nome do Bit	Descrição	Símbolo
<b>IESO</b>	Seleção do modo de partida em duas velocidades ( <i>two-speed start-up</i> ): 1 - modo de partida em duas velocidades ativado. Após um <i>reset</i> ou saída de modo <i>sleep</i> , o <i>clock</i> é originado do oscilador interno até que decorra o tempo de partida do oscilador (1.024 ciclos de <i>clock</i> ), quando então o <i>clock</i> é comutado para a fonte externa. 0 - modo de partida em duas velocidades desativado.	<b>IESO = ON</b>  <b>IESO = OFF</b>
<b>FCMEM</b>	Habilitação do monitor de falha de <i>clock</i> : 1 - monitor de falha de <i>clock</i> habilitado. Ao detectar uma falha no oscilador externo, o <i>clock</i> do sistema é automaticamente comutado para o oscilador interno e uma interrupção de falha de oscilador é gerada caso esteja habilitada (o <i>flag</i> OSCFIF no registrador PIR2 é setado). 0 - monitor de falha de <i>clock</i> desabilitado.	<b>FCMEM = ON</b>  <b>FCMEM = OFF</b>
<b>FOSC3</b> <b>FOSC2</b> <b>FOSC1</b> <b>FOSC0</b>	Seleção do oscilador: 0000 - modo LP (baixa potência). Para uso com cristais ou ressonadores cerâmicos com frequências menores ou iguais a 200kHz.	<b>OSC = LP</b>
	0001 - modo XT. Para uso com cristais ou ressonadores cerâmicos com frequências entre 100kHz e 4MHz.	<b>OSC = XT</b>
	0010 - modo HS. Para uso com cristais ou ressonadores cerâmicos com frequências entre 4MHz e 25MHz.	<b>OSC = HS</b>
	0011 - oscilador RC externo, pino RA6 como saída de <i>clock</i> .	<b>OSC = RC</b>
	0100 - modo EC, saída de <i>clock</i> em RA6. Um oscilador externo deve ser ligado ao pino CLKI/RA7, pino CLKO/RA6 como saída de <i>clock</i> . A frequência máxima do <i>clock</i> externo é de 40MHz.	<b>OSC = EC</b>
	0101 - modo EC, pino RA6 em modo E/S. Um oscilador externo deve ser ligado ao pino CLKI/RA7. A frequência máxima do <i>clock</i> externo é de 40MHz.	<b>OSC = ECIO6</b>
	0110 - modo HS com PLL x4. Para uso com cristais ou ressonadores cerâmicos com frequências entre 4MHz e 10MHz.	<b>OSC = HSPLL</b>
	0111 - oscilador RC externo, pino RA6 em modo E/S.	<b>OSC = RCIO6</b>
	1000 - oscilador interno, pinos RA6 e RA7 no modo E/S.	<b>OSC = INTIO67</b>
	1001 - oscilador interno, pino RA6 como saída de <i>clock</i> (CLKO) e pino RA7 no modo E/S.	<b>OSC = INTIO7</b>
	101x - oscilador RC externo, pino RA6 como saída de <i>clock</i> .	<b>OSC = RC</b>
	11xx - oscilador RC externo, pino RA6 como saída de <i>clock</i> .	<b>OSC = RC</b>



# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG2L (0x300002)	Leitura	0	0	0	BORV1	BORV0	BOREN1	BOREN0	PWRTEN
	Padrão	0	0	0	1	1	1	1	1

Nome do <i>Bit</i>	Descrição	Símbolo
<b>BORV1</b> <b>BORV0</b>	Seleção do nível de disparo do <i>reset</i> por queda de tensão ( <i>brown-out</i> ) (o <i>reset</i> por queda de tensão precisa estar habilitado nos <i>bits</i> BOREN1 e BOREN0): 00 - valor máximo (tipicamente 4,59V).	<b>BORV = 0</b>
	01 - valor intermediário (tipicamente 4,33V).	<b>BORV = 1</b>
	10 - valor intermediário (tipicamente 2,79V).	<b>BORV = 2</b>
	11 - valor mínimo (tipicamente 2,05V).	<b>BORV = 3</b>
<b>BOREN1</b> <b>BOREN0</b>	Habilitação do <i>reset</i> por queda de tensão ( <i>brown-out reset</i> ): 00 - <i>reset</i> por queda de tensão desabilitado.	<b>BOREN = OFF</b>
	01 - <i>reset</i> por queda de tensão controlado através do <i>bit</i> SBOREN no registrador RCON.	<b>BOREN = ON</b>
	10 - <i>reset</i> por queda de tensão habilitado por <i>hardware</i> (não pode ser desabilitado por <i>software</i> ). Desabilitado no modo <i>sleep</i> .	<b>BOREN = NOSLP</b>
	11 - <i>reset</i> por queda de tensão habilitado por <i>hardware</i> , inclusive durante o modo <i>sleep</i> (não pode ser desabilitado por <i>software</i> ).	<b>BOREN = SBORDIS</b>
<b>PWRTEN</b>	Habilitação do temporizador de partida ( <i>power-up timer</i> ): 0 - temporizador habilitado (o temporizador mantém o <i>chip</i> em <i>reset</i> por aproximadamente 65ms após a energização dele). 1 - temporizador desabilitado.	<b>PWRT = ON</b> <b>PWRT = OFF</b>

# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG2H (0x300003)	Leitura	0	0	0	WDTPS3	WDTPS2	WDTPS1	WDTPS0	WDTEN
	Padrão	0	0	0	1	1	1	1	1

Nome do Bit	Descrição	Símbolo
WDTPS3 WDTPS2 WDTPS1 WDTPS0	Seleção do pós-divisor da saída do cão-de-guarda ( <i>watchdog</i> ): 0000 - divide por 1 ( <i>timeout</i> em aproximadamente 4,1ms).	WDTPS = 1
	0001 - divide por 2 ( <i>timeout</i> em aproximadamente 8,2ms).	WDTPS = 2
	0010 - divide por 4 ( <i>timeout</i> em aproximadamente 16,4ms).	WDTPS = 4
	0011 - divide por 8 ( <i>timeout</i> em aproximadamente 32,8ms).	WDTPS = 8
	0100 - divide por 16 ( <i>timeout</i> em aproximadamente 65,6ms).	WDTPS = 16
	0101 - divide por 32 ( <i>timeout</i> em aproximadamente 131,2ms).	WDTPS = 32
	0110 - divide por 64 ( <i>timeout</i> em aproximadamente 262,4ms).	WDTPS = 64
	0111 - divide por 128 ( <i>timeout</i> em aproximadamente 524,8ms).	WDTPS = 128
	1000 - divide por 256 ( <i>timeout</i> em aproximadamente 1049,6ms).	WDTPS = 256
	1001 - divide por 512 ( <i>timeout</i> em aproximadamente 2099,2ms).	WDTPS = 512
	1010 - divide por 1024 ( <i>timeout</i> em aproximadamente 4198,4ms).	WDTPS = 1024
	1011 - divide por 2048 ( <i>timeout</i> em aproximadamente 8396,8ms).	WDTPS = 2048
	1100 - divide por 4096 ( <i>timeout</i> em aproximadamente 16793,6ms).	WDTPS = 4096
	1101 - divide por 8192 ( <i>timeout</i> em aproximadamente 33587,2ms).	WDTPS = 8192
	1110 - divide por 16384 ( <i>timeout</i> em aproximadamente 67174,4ms).	WDTPS = 16384
	1111 - divide por 32768 ( <i>timeout</i> em aproximadamente 134348,8ms).	WDTPS = 32768
WDTEN	Habilitação do cão-de-guarda ( <i>watchdog</i> ): 0 - desabilitado (pode ser habilitado através do bit SWDTEN no registrador WDTCON). 1 - habilitado (não pode ser desabilitado por <i>software</i> ).	WDT = OFF WDT = ON



# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG3H (0x300005)	Leitura	MCLRE	0	0	0	0	LPT1OSC	PBADEN	CCP2MX
	Padrão	1	0	0	0	0	0	1	1

Nome do <i>Bit</i>	Descrição	Símbolo
<b>MCLRE</b>	Seleção da função do pino MCLR/RE3: 0 - pino na função RE3. 1 - pino na função MCLR.	<b>MCLRE = OFF</b> <b>MCLRE = ON</b>
<b>LPT1OSC</b>	Seleção do modo de baixa potência para o oscilador do <i>timer</i> 1: 0 - oscilador do <i>timer</i> 1 no modo normal. 1 - oscilador do <i>timer</i> 1 no modo de baixo consumo.	<b>LPT1OSC=OFF</b> <b>LPT1OSC=ON</b>
<b>PBADEN</b>	Configuração padrão dos pinos da porta B multiplexados com o conversor A/D: 0 - pinos RB0 a RB4 no modo E/S digital após um <i>reset</i> . 1 - pinos RB0 a RB4 como entradas do A/D após um <i>reset</i> .	<b>PBADEN = OFF</b> <b>PBADEN = ON</b>
<b>CCP2MX</b>	Multiplexação do pino de entrada/saída do CCP2: 0 - RB3 é ligado ao CCP2. 1 - RC1 é ligado ao CCP2.	<b>CCP2MX=PORTBE</b> <b>CCP2MX=PORTC</b>

# Registradores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG4L (0x300006)	Leitura	$\overline{\text{DEBUG}}$	XINST	0	0	0	LVP	0	STVREN
	Padrão	1	0	0	0	0	1	0	1

Nome do Bit	Descrição	Símbolo
$\overline{\text{DEBUG}}$	Habilitação do depurador em <i>background</i> : 0 - depurador habilitado. Pinos RB6 e RB7 utilizados pelo depurador. 1 - depurador desabilitado. Pinos RB6 e RB7 como E/S normais.	<b>DEBUG = ON</b> <b>DEBUG = OFF</b>
XINST	Habilitação do conjunto de instruções estendidas: 0 - Instruções estendidas desabilitadas. 1 - Instruções estendidas habilitadas.	<b>XINST = OFF</b> <b>XINST = ON</b>
LVP	Programação utilizando baixa tensão: 0 - desabilitada. 1 - habilitada.	<b>LVP = OFF</b> <b>LVP = ON</b>
STVREN	Reset por estouro da pilha ( <i>overflow e underflow</i> ): 0 - reset desabilitado. 1 - reset habilitado.	<b>STVREN = OFF</b> <b>STVREN = ON</b>

# Registradores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG5L (0x300008)	Leitura	0	0	0	0	CP3	CP2	CP1	CP0
	Padrão	0	0	0	0	1	1	1	1

Nome do Bit	Descrição	Símbolo
<b>CP3</b>	Proteção contra leitura externa da área de memória do bloco 3 (0x6000 a 0x7FFF): 0 - protegido. 1 - desprotegido.	<b>CP3 = ON</b> <b>CP3 = OFF</b>
<b>CP2</b>	Proteção contra leitura externa da área de memória do bloco 2 (0x4000 a 0x5FFF): 0 - protegido. 1 - desprotegido.	<b>CP2 = ON</b> <b>CP2 = OFF</b>
<b>CP1</b>	Proteção contra leitura externa da área de memória do bloco 1 (0x2000 a 0x3FFF): 0 - protegido. 1 - desprotegido.	<b>CP1 = ON</b> <b>CP1 = OFF</b>
<b>CP0</b>	Proteção contra leitura externa da área de memória do bloco 0 (0x0800 a 0x1FFF): 0 - protegido. 1 - desprotegido.	<b>CP0 = ON</b> <b>CP0 = OFF</b>

# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG6L (0x30000A)	Leitura	0	0	0	0	WRT3	WRT2	WRT1	WRT0
	Padrão	0	0	0	0	1	1	1	1

Nome do Bit	Descrição	Símbolo
<b>WRT3</b>	Proteção contra escrita no bloco 3 (0x6000 a 0x7FFF): 0 - protegido (escrita inibida). 1 - desprotegido (escritas permitidas).	<b>WRT3 = ON</b> <b>WRT3 = OFF</b>
<b>WRT2</b>	Proteção contra escrita no bloco 2 (0x4000 a 0x5FFF): 0 - protegido (escrita inibida). 1 - desprotegido (escritas permitidas).	<b>WRT2 = ON</b> <b>WRT2 = OFF</b>
<b>WRT1</b>	Proteção contra escrita no bloco 1 (0x2000 a 0x3FFF): 0 - protegido (escrita inibida). 1 - desprotegido (escritas permitidas).	<b>WRT1 = ON</b> <b>WRT1 = OFF</b>
<b>WRT0</b>	Proteção contra escrita no bloco 0 (0x0800 a 0x1FFF): 0 - protegido (escrita inibida). 1 - desprotegido (escritas permitidas).	<b>WRT0 = ON</b> <b>WRT0 = OFF</b>



# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG6H (0x30000B)	Leitura	WRTD	WRTB	WRTC	0	0	0	0	0
	Padrão	1	1	1	0	0	0	0	0

Nome do Bit	Descrição	Símbolo
<b>WRTD</b>	Proteção contra escrita na EEPROM interna: 0 - protegida (escrita inibida). 1 - desprotegida (escritas permitidas).	<b>WRTD = ON</b> <b>WRTD = OFF</b>
<b>WRTB</b>	Proteção contra escrita no bloco de <i>boot</i> (0x4000 a 0x5FFF): 0 - protegido (escrita inibida). 1 - desprotegido (escritas permitidas).	<b>WRTB = ON</b> <b>WRTB = OFF</b>
<b>WRTC</b>	Proteção contra escrita nos registradores de configuração: 0 - protegidos (escrita inibida). 1 - desprotegidos (escritas permitidas).	<b>WRTC = ON</b> <b>WRTC = OFF</b>

# Registradores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG7L (0x30000C)	Leitura	0	0	0	0	EBTR3	EBTR2	EBTR1	EBTR0
	Padrão	0	0	0	0	1	1	1	1

Nome do <i>Bit</i>	Descrição	Símbolo
<b>EBTR3</b>	Proteção contra leitura do bloco 3 (0x6000 a 0x7FFF) via instruções TBLRD localizadas em outros blocos: 0 - protegido (leitura inibida). 1 - desprotegido (leitura permitida).	<b>EBTR3 = ON</b> <b>EBTR3 = OFF</b>
<b>EBTR2</b>	Proteção contra leitura do bloco 2 (0x4000 a 0x5FFF) via instruções TBLRD localizadas em outros blocos: 0 - protegido (leitura inibida). 1 - desprotegido (leitura permitida).	<b>EBTR2 = ON</b> <b>EBTR2 = OFF</b>
<b>EBTR1</b>	Proteção contra leitura do bloco 1 (0x2000 a 0x3FFF) via instruções TBLRD localizadas em outros blocos: 0 - protegido (leitura inibida). 1 - desprotegido (leitura permitida).	<b>EBTR1 = ON</b> <b>EBTR1 = OFF</b>
<b>EBTR0</b>	Proteção contra leitura do bloco 0 (0x0800 a 0x1FFF) via instruções TBLRD localizadas em outros blocos: 0 - protegido (leitura inibida). 1 - desprotegido (leitura permitida).	<b>EBTR0 = ON</b> <b>EBTR0 = OFF</b>

# Registadores de Configuração

Nome		<i>BIT 7</i>	<i>BIT 6</i>	<i>BIT 5</i>	<i>BIT 4</i>	<i>BIT 3</i>	<i>BIT 2</i>	<i>BIT 1</i>	<i>BIT 0</i>
CONFIG7H (0x30000D)	Leitura	0	EBTRB	0	0	0	0	0	0
	Padrão	0	1	0	0	0	0	0	0

Nome do <i>Bit</i>	Descrição	Símbolo
<b>EBTRB</b>	Proteção contra leitura do bloco de <i>boot</i> (0x0000 a 0x07FF) via instruções TBLRD localizadas em outros blocos: 0 - protegido (leitura inibida). 1 - desprotegido (leitura permitida).	<b>EBTRB = ON</b> <b>EBTRB = OFF</b>

## Próxima Aula

### **Aula 06**

**Kit de Desenvolvimento  
PIC18F  
(RF\_Explorer)**