



קובץ הכנה ניסוי מעבדה מס' 7

Tutorial 7.3 – Module DAC12 + Code Example

מעבדת מיקרומחשבים – המחלקה להנדסת חשמל ומחשבים

מס' קורס - 361.1.3353

כתיבה ועריכה: חנן ריבוא

מהדורה 1 – שנה"ל תשע"ו

DAC12 (Digital-to-Analogue Converter) - קריאה מקדימה

בהמשך להרצאה בנושא ממרצה הקורס, יש לקרא בקובץ מעבדה MSP430x4xx user guide עמודים 855 - 871

A. כללי:

מודול חומרה DAC12 הינו הרכיב האחרון בשרשרת האנלוגית (analog signal chain) המקשר בין הבקר ולעולם האמיתי (עולם בו האותות אנלוגיים). מודול DAC12 ממיר מספר דיגיטלי לאות מתח אנלוגי. כמו עבור מודול ADC12, גם למודול DAC12 ישנם מתחי רפרנס המגדירים את גבולות המתח אותו נחלק ב- $(2^m - 1)$ (m מספר סיביות לייצוג) כך שבאופן חד-חד ערכי נוכל להתאים לכל מספר רמת מתח מתאימה.

B. הקדמה - מודול DAC12:

- (a) בבקר אתו אנו עובדים במעבדה (MSP430FG4619) למודול DAC12 ישנם 2 ערוצים היכולים לעבוד במקביל וניתנים לסנכרון.
- (b) זמן ההתייצבות ניתן לתכנות כדי לחסוך באנרגיה.
- (c) מתחי הרפרנס יכולים להיות פנימיים (מתוך המעבד – 1.5v, 2.5v) או חיצוניים (מחוץ למעבד $V_{CC}=3.3v$) המתח במוצא DAC12 יכול להיות חיובי בלבד (מאחר ומתחי רפרנס חיוביים בלבד).
- (d) גודל מספר הבינארי (רגיסטר DAC12_xDAT) אותו ממיר DAC12 למתח אנלוגי הוא באורך 12bit (אפשר לקנפג אותו עבור 8bit), זו למעשה קביעת הרזולוציה של DAC12 (מרחק בין רמות מתח סמוכות) ע"י הביטים DAC12RES, DAC12IR, ברגיסטר DAC12_CTL.

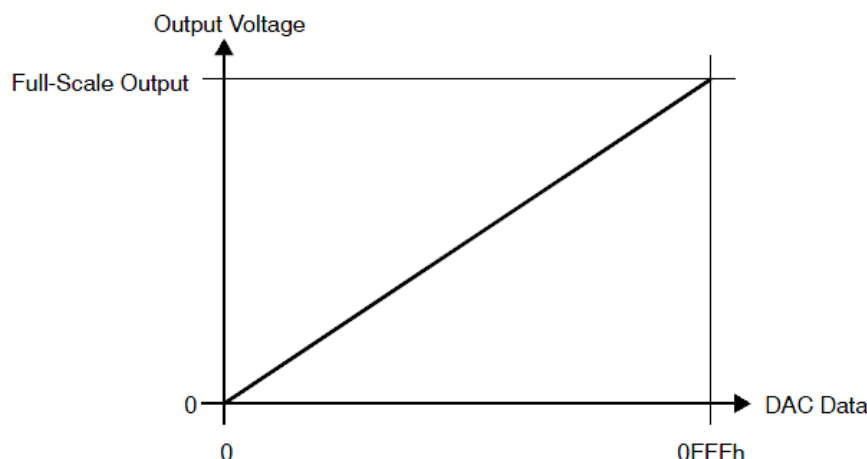
Resolution	DAC12RES	DAC12IR	Output Voltage Formula
12 bit	0	0	$V_{out} = V_{ref} \times 3 \times \frac{DAC12_xDAT}{4095}$
12 bit	0	1	$V_{out} = V_{ref} \times \frac{DAC12_xDAT}{4095}$
8 bit	1	0	$V_{out} = V_{ref} \times 3 \times \frac{DAC12_xDAT}{255}$
8 bit	1	1	$V_{out} = V_{ref} \times \frac{DAC12_xDAT}{255}$

C. ייצוג ערך ההמרה: המספר הבינארי אותו ממיר DAC12 יכול להיות ב-2 ייצוגים:

1. ייצוג חיובי (Unsigned = Straight binary):

★ עבור רזולוציה של 12bit $0 \leq DAC12_xDAT \leq 0xFFF$

★ עבור רזולוציה של 8bit $0 \leq DAC12_xDAT \leq 0xFF$

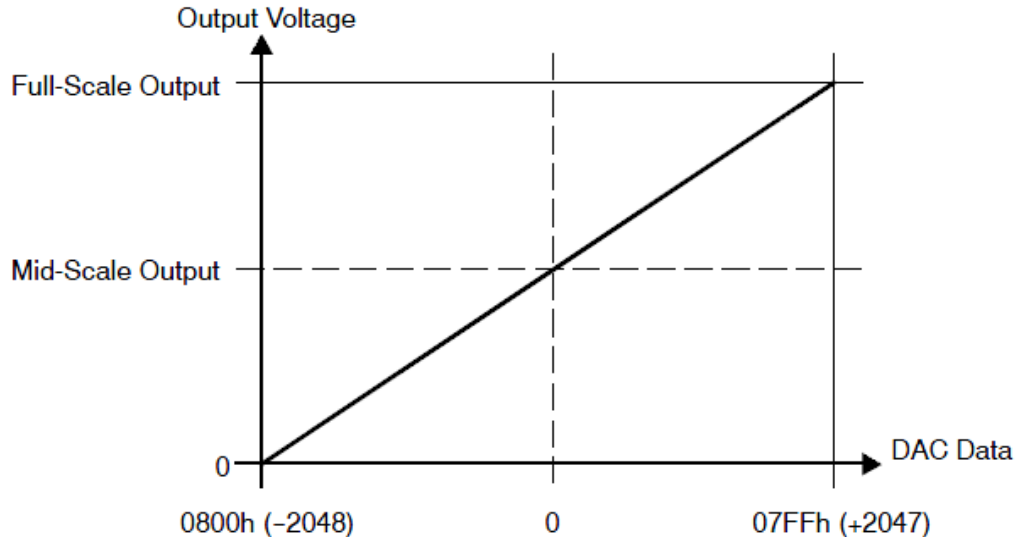


2. ייצוג שלילי (2's complement):

כאשר ה-0 מהווה את האמצע בין 2 גבולות מתחי הרפרנס.

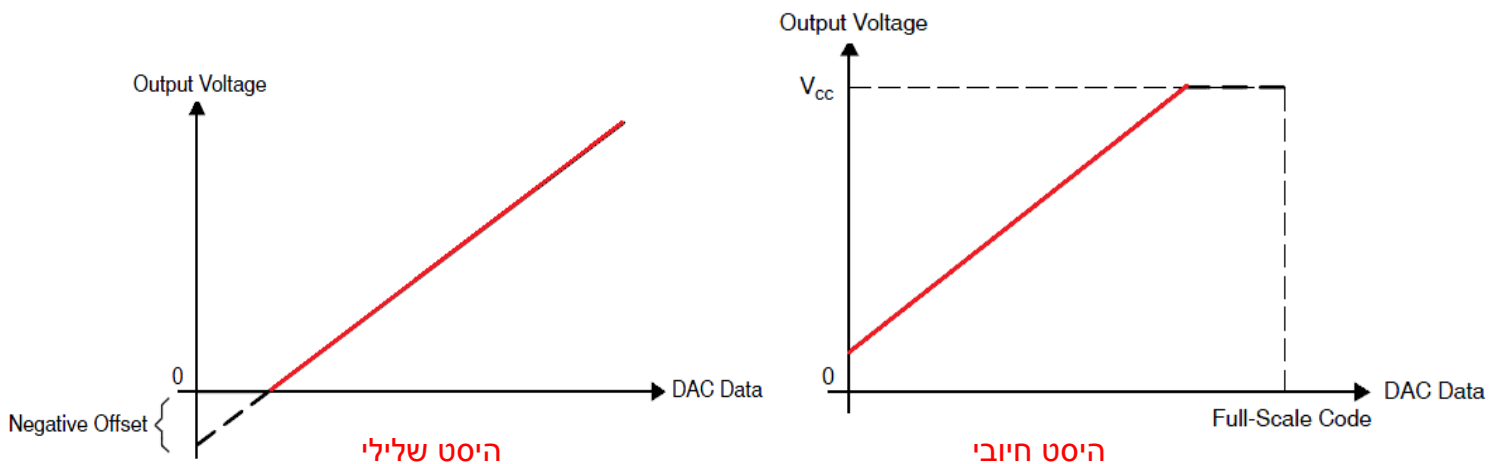
★ $0x800 \leq \text{DAC12_xDAT} \leq 0xFFFF$ עבור רזולוציה של 12bit

★ $0x80 \leq \text{DAC12_xDAT} \leq 0xFF$ עבור רזולוציה של 8bit



D. כיול מודול DAC12:

מוצא מתח ה- DAC12 באופן תיאורטי נע בין מתחי הרפרנס התחתון (0v) והעליון (3.3v , 2.5v , 1.5v) לערך $\text{DAC12_0DAT} = 0x000$ נקבל 0v ועלייה בערכים מוציאה מתח עולה. במצב המעשי ישנה סטייה (חיובית / שלילית) כך שמתח מוצא DAC12 לא מתנהג כך. מצב זה מצריך כיול חומרה.



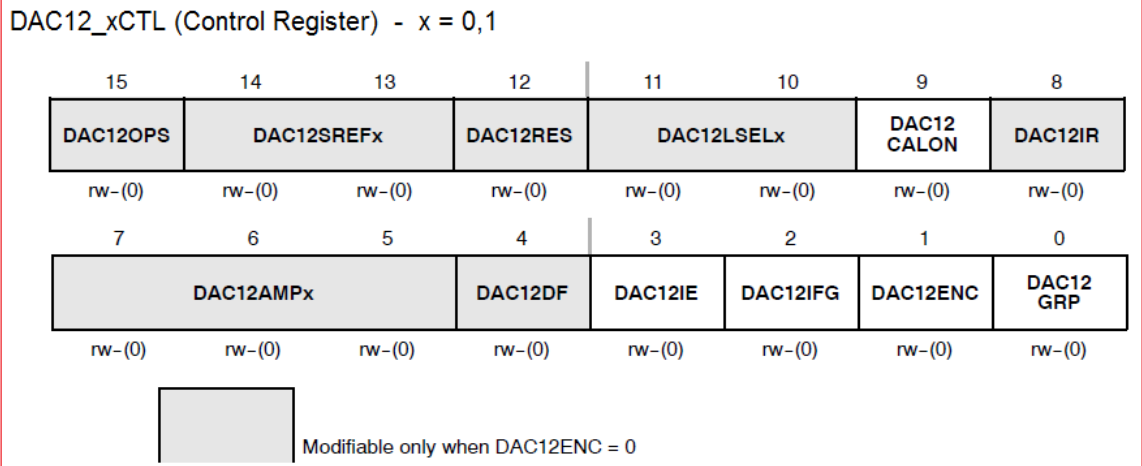
במודול DAC12 ישנו מנגנון כיול עצמי לכיול היסט המתח כך שגרף המוצא ביחס לערך רגיסטר DAC12_0DAT יהיה בשיפוע 1 וללא היסט. כאשר נעלה ל-1' את ביט DAC12_CALON יתחיל הכיול העצמי שבסיומו ערך הביט DAC12_CALON מתאפס (ניתן לוודא סיום כיול בעזרת palling). כיול המודול יתבצע אחרי קינפוג המודול ולפני השימוש בו. בזמן הכיול ולצורך דיוק מרבי, כדאי לצמצם את פעולת הבקר.

מתחי רפרנס חיצוניים ופנימיים



F. פירוט הרגיסטרים של מודול DAC12:

(a) **רגיסטרי בקרה:** ישנו רגיסטר בקרה אחד השולט על תפקוד המודול DAC12 הנקרא, **DAC12_xCTL**, (כאשר $x = 0,1$, ישנם שני מודולים בלתי תלויים של DAC12).



DAC12OPS	Bit 15	DAC12 output select 0 DAC12_0 output on P6.6, DAC12_1 output on P6.7 1 DAC12_0 output on VREF+, DAC12_1 output on P5.1
DAC12SREFx	Bits 14-13	DAC12 select reference voltage 00 VREF+ 01 VREF+ 10 VREF+ 11 VREF+
DAC12RES	Bit 12	DAC12 resolution select 0 12-bit resolution 1 8-bit resolution
DAC12LSELx	Bits 11-10	DAC12 load select. Selects the load trigger for the DAC12 latch. DAC12ENC must be set for the DAC to update, except when DAC12LSELx = 0. 00 DAC12 latch loads when DAC12_xDAT written (DAC12ENC is ignored) 01 DAC12 latch loads when DAC12_xDAT written, or, when grouped, when all DAC12_xDAT registers in the group have been written. 10 Rising edge of Timer_A.OUT1 (TA1) 11 Rising edge of Timer_B.OUT2 (TB2)
DAC12CALON	Bit 9	DAC12 calibration on. This bit initiates the DAC12 offset calibration sequence and is automatically reset when the calibration completes. 0 Calibration is not active 1 Initiate calibration/calibration in progress
DAC12IR	Bit 8	DAC12 input range. This bit sets the reference input and voltage output range. 0 DAC12 full-scale output = 3x reference voltage 1 DAC12 full-scale output = 1x reference voltage
DAC12AMPx	Bits 7-5	DAC12 amplifier setting. These bits select settling time vs. current consumption for the DAC12 input and output amplifiers.

DAC12AMPx	Input Buffer	Output Buffer
000	Off	DAC12 off, output high Z
001	Off	DAC12 off, output 0 V
010	Low speed/current	Low speed/current
011	Low speed/current	Medium speed/current
100	Low speed/current	High speed/current
101	Medium speed/current	Medium speed/current
110	Medium speed/current	High speed/current
111	High speed/current	High speed/current

DAC12DF	Bit 4	DAC12 data format 0 Straight binary 1 2s complement
DAC12IE	Bit 3	DAC12 interrupt enable 0 Disabled 1 Enabled
DAC12IFG	Bit 2	DAC12 Interrupt flag 0 No interrupt pending 1 Interrupt pending
DAC12ENC	Bit 1	DAC12 enable conversion. This bit enables the DAC12 module when DAC12LSELx > 0. When DAC12LSELx = 0, DAC12ENC is ignored. 0 DAC12 disabled 1 DAC12 enabled
DAC12GRP	Bit 0	DAC12 group. Groups DAC12_x with the next higher DAC12_x. Not used for DAC12_1 0 Not grouped 1 Grouped

(b) **רגיסטר מידע:** ישנו רגיסטר מידע אחד הנקרא, **DAC12_xDAT** (כאשר $x = 0,1$), ישנם שני מודולים (בלתי תלויים של DAC12) המכיל את הערך הבינארי הנדרש להמרת מתח אנלוגי.

DAC12_xDAT (Data Register):							
15	14	13	12	11	10	9	8
0	0	0	0	DAC12 Data			
r(0)	r(0)	r(0)	r(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4	3	2	1	0
DAC12 Data							
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
Unused	Bits 15-12	Unused. These bits are always 0 and do not affect the DAC12 core.					
DAC12 Data	Bits 11-0	DAC12 data					
DAC12 Data Format		DAC12 Data					
12-bit binary		The DAC12 data are right-justified. Bit 11 is the MSB.					
12-bit 2s complement		The DAC12 data are right-justified. Bit 11 is the MSB (sign).					
8-bit binary		The DAC12 data are right-justified. Bit 7 is the MSB. Bits 11 to 8 are don't care and do not affect the DAC12 core.					
8-bit 2s complement		The DAC12 data are right-justified. Bit 7 is the MSB (sign). Bits 11 to 8 are don't care and do not affect the DAC12 core.					

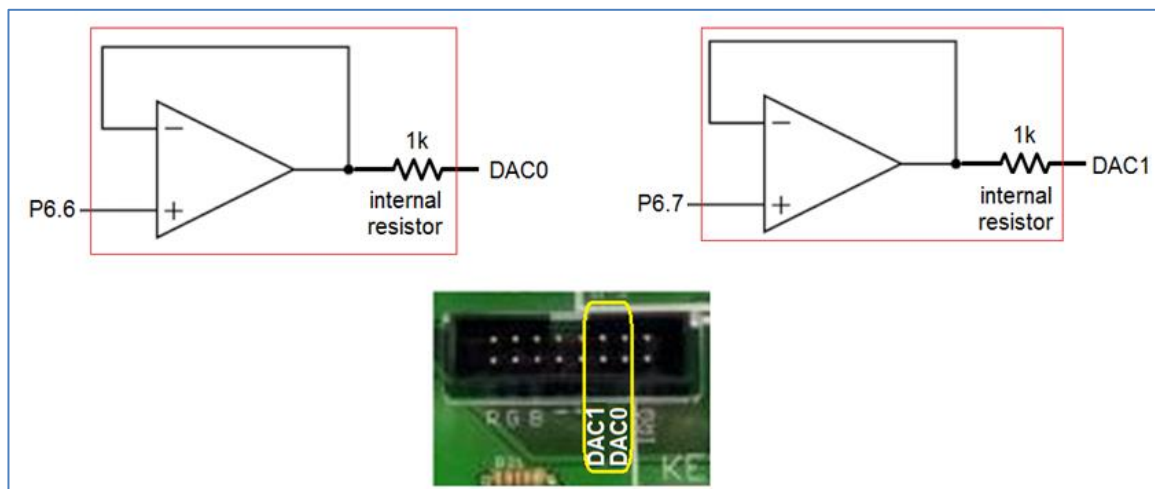
G. קינפוג רגלי הבקרה:

במעבדה אנו משתמשים במודול **DAC0, DAC1** במקרה זה כאשר ערך הביטים $DAC12AMPx > 1$ **DAC12OPS=0** הבחירה ב-**DAC0, DAC1** דרך רגל P6.6, P6.7 בהתאמה, נעשית באופן אוטומטי (ללא חשיבות ערך הביטים ברגיסטרים P6SELx ו- P6DIRx). בקובץ MSP430xG461x datasheet נלחץ

ctrl+F ונחפש את DAC0 או P6.6 ונגיע לטבלת קינפוג מתאימה בעמוד 84

PIN NAME (P6.X)	X	FUNCTION	CONTROL BITS / SIGNALS					
			P6DIR.x	P6SEL.x	INCHx	DAC12.0OPS	DAC12.0AMPx	OAPx (OA2) OANx (OA2)
P6.6/A6/DAC0/OA2I0	6	P6.6 (I/O) (see Note 1)	I: 0; O: 1	0	X	1	X	X
		DAC0 high impedance (see Note 1)	X	X	X	0	0	X
		DVSS (see Note 1)	X	X	X	0	1	X
		DAC0 output (see Note 1)	X	X	X	0	>1	X
		A6 (see Notes 1, 2)	X	1	6	X	X	X
		OA2I0 (see Note 1)	0	X	0	X	X	0

PIN NAME (P6.X)	X	FUNCTION	CONTROL BITS / SIGNALS					
			P6DIR.x	P6SEL.x	INCHx	DAC12.1OPS	DAC12.1AMPx	
P6.7/A7/DAC1/SVSIN	7	P6.7 (I/O) (see Note 1)	I: 0; O: 1	0	X	1	X	
		DAC1 high impedance (see Note 1)	X	X	X	0	0	
		DVSS (see Note 1)	X	X	X	0	1	
		DAC1 output (see Note 1)	X	X	X	0	> 1	
		A7 (see Notes 1, 2)	X	1	7	X	X	
		SVSIN (see Notes 1,3)	0	1	0	1	X	



H. פסיקות מודול DAC12:

- וקטור הפסיקות של מודול DAC12 משותף למודול אחר הנקרא DMA (לידע כללי - הדבר אפשרי כאשר ישנה סיבה טובה לכך, במקרה שלכם זה לא רלוונטי כי אינכם משתמשים ב-2 המודולים).
- דגל הפסיקה DAC12IFG עולה ל-1' רק כאשר ערך הביטים $DAC12LSELx > 0$ ומסמן שניתן לרשום ערך חדש לרגיסטר DAC12_0DAT.
- רק בתנאי של אפשרור מקומי ($DAC12IE = 1$) וגלובלי ($GIE = 1$) עליית דגל הפסיקה DAC12IFG ל-1' יוצרת בקשת פסיקה.
- דגל הפסיקה DAC12IFG מתאפס בתוכנה בלבד ולא באופן אוטומטי.

1. דוגמאות:

בדוגמא זו ניצור אות מתח מחזורי בצורת שן מסור בין $0\text{V} - 3.3\text{V}$ בתדר 10.5Hz , לאחר שתטענו את הקוד לבקר במצב Active Application תוכלו לחבר לסקופ את רגל הבקר DAC0. הבחינו במסך הסקופ באות שן מסור מחזורי.

(1)

```
#include <msp430xG46x.h>
;-----
RSEG CSTACK ; Define stack segment
;-----
RSEG CODE ; Assemble to Flash memory
;-----
RESET      mov.w #SFE(CSTACK),SP ; Initialize stackpointer
StopWDT    mov.w #WDTPW+WDTHOLD,&WDTCTL ; Stop WDT

SetupDAC12_0  mov.w #DAC12SREF1+DAC12IR+DAC12AMP_5,&DAC12_0CTL ; bit DAC12SREF1 is
;external ref voltage of 3.3v

Mainloop    inc.w &DAC12_0DAT ; Positive ramp
            and.w #0FFFh,&DAC12_0DAT

DELAY      mov #4,R4
L           dec R4
            jnz L
            jmp Mainloop
            nop
;-----
COMMON INTVEC ; Interrupt Vectors
;-----
ORG RESET_VECTOR ; POR, ext. Reset
DW RESET
END
```

(2) בדוגמא זו ניצור גל שן מסור מחזורי בין $0\text{V} - 2.5\text{V}$ בתדר 1kHz המורכב מ-32 דגימות במחזור ומאוחסנות בזיכרון ה-FLASH. נוציא את ערכי הדגימות בכל מחזור ל- DAC0. לאחר שתטענו את הקוד לבקר במצב Active Application, תוכלו לחבר לסקופ את רגל הבקר DAC0. הבחינו במסך הסקופ באות שן מסור מחזורי.

```
#include <msp430xG46x.h>
;-----
RSEG CSTACK ; Define stack segment
;-----
RSEG CODE ; Assemble to Flash memory
;-----
RESET      mov.w #SFE(CSTACK),SP ; Initialize stackpointer
StopWDT    mov.w #WDTPW+WDTHOLD,&WDTCTL ; Stop WDT
SetupADC12 mov.w #REF2_5V+REFON,&ADC12CTL0 ; Internal 2.5V ref on
```



```

SetupDAC12_0      mov.w  #DAC12IR+DAC12AMP_5,&DAC12_0CTL ;bit DAC12SREF1=0 so, internal
                                                           ;ref voltage of 2.5v

Mainloop          mov    #0,R5
                  mov    #Ramp_Tab,R5
                  mov    #33,R6
                  mov    #0,&DAC12_0DAT
Subloop           mov    @R5+,&DAC12_0DAT ;updating of DAC12 buffer and increment of pointer
                                                           ;data table

DELAY            mov    #8,R4 ;delay for time interval to get Ramp signal of 1msec cycle
L                dec    R4
                  jnz    L
                  dec    R6
                  jnz    Subloop
                  jmp    Mainloop
                  nop

```

```

;-----
Ramp_Tab          ; table of data
;-----

```

```

    DW 0x000
    DW 0x7f
    DW 0xfe
    DW 0x17d
    DW 0x1fc
    DW 0x27b
    DW 0x2fa
    DW 0x379
    DW 0x3f8
    DW 0x477
    DW 0x4f6
    DW 0x575
    DW 0x5f4
    DW 0x673
    DW 0x6f2
    DW 0x771
    DW 0x7f0
    DW 0x86f
    DW 0x8ee
    DW 0x96d
    DW 0x9ec
    DW 0xA6B
    DW 0xAEA
    DW 0xB69
    DW 0xBE8
    DW 0xC67
    DW 0xCE6
    DW 0xD65
    DW 0xDE4
    DW 0xE63
    DW 0xEE2
    DW 0xF61
    DW 0xFE0
    DW 0xFFFF

```

```

;-----
COMMON INTVEC    ; Interrupt Vectors
;-----

```

```

    ORG RESET_VECTOR ; POR, ext. Reset
    DW  RESET
    END

```