

ΕΡΓΑΣΤΗΡΙΟ 4

ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ

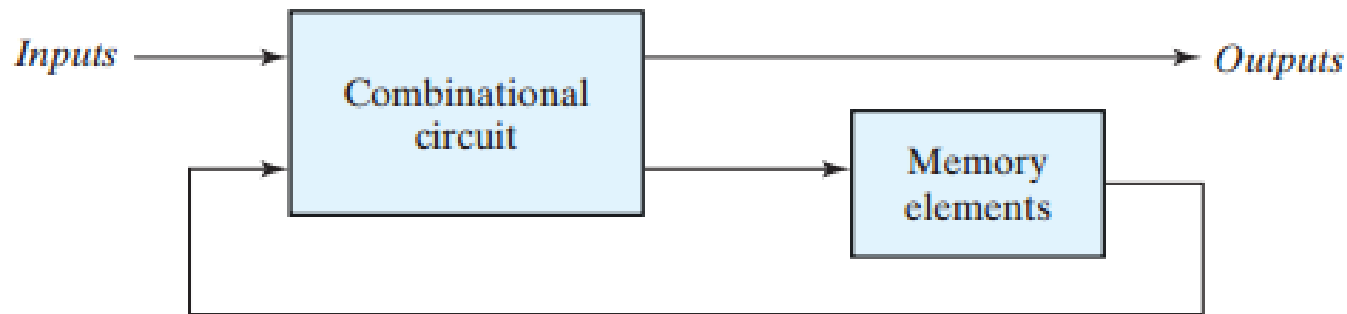
kprousalis@csd.auth.gr



ΠΕΡΙΕΧΟΜΕΝΑ

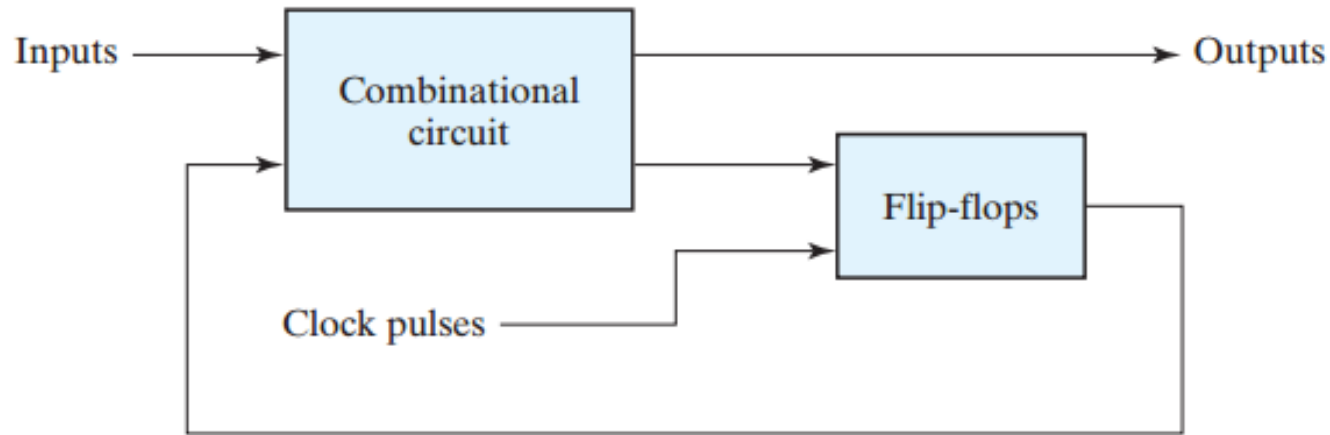
- Ακολουθιακά Κυκλώματα (Sequential Circuits)
- Αποθηκευτικά Στοιχεία: Latches
 - SR-Latches
 - D-Latches
- Αποθηκευτικά Στοιχεία: Flip-Flops
 - Edge-Triggered D flip-flop
 - Edge-Triggered JK flip-flop
- Καταχωρητές (Shift Registers)
 - Καταχωρητής 4-bit
- Αθροιστής με καταχωρητές (Shift Registers Adder)

Ακολουθιακά Κυκλώματα (Sequential Circuits)



- Σύγχρονα ακολουθιακά κυκλώματα
- Ασύγχρονα ακολουθιακά κυκλώματα
- χρησιμοποιούν αποθηκευτικά στοιχεία

Σύγχρονα Ακολουθιακά Κυκλώματα



Αποθηκευτικά Στοιχεία: Latches

A. SR-Latch with NOR or NAND

| S | R | Q | Q' |
|-----|-----|-----|---------------------------|
| 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 (after $S = 1, R = 0$) |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 (after $S = 0, R = 1$) |
| 1 | 1 | 0 | 0 (forbidden) |

| S | R | Q | Q' |
|-----|-----|-----|---------------------------|
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 (after $S = 1, R = 0$) |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 (after $S = 0, R = 1$) |
| 0 | 0 | 1 | 1 (forbidden) |

B. D-Latch

| En | D | Next state of Q |
|------|-----|-----------------------|
| 0 | X | No change |
| 1 | 0 | $Q = 0$; reset state |
| 1 | 1 | $Q = 1$; set state |

Αποθηκευτικά Στοιχεία Latches:

SR-Latch

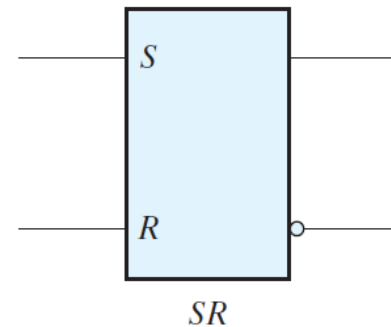
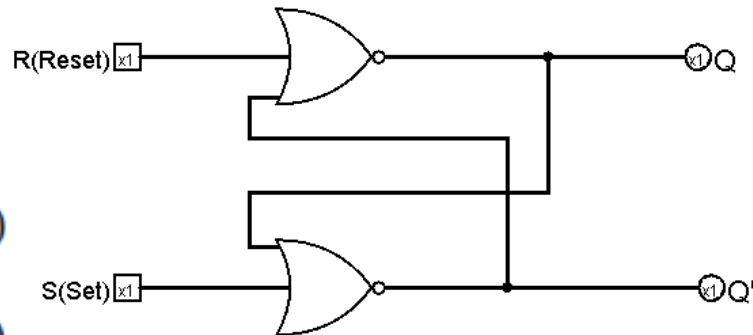
SR-Latch with NOR or NAND

| S | R | Q | Q' |
|-----|-----|-----|------|
| 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

(after $S = 1, R = 0$)

(after $S = 0, R = 1$)

(forbidden)

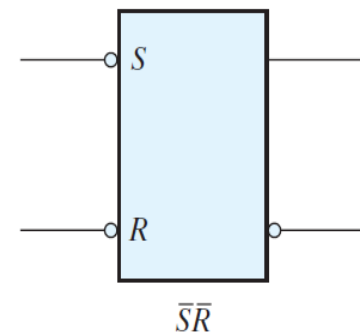
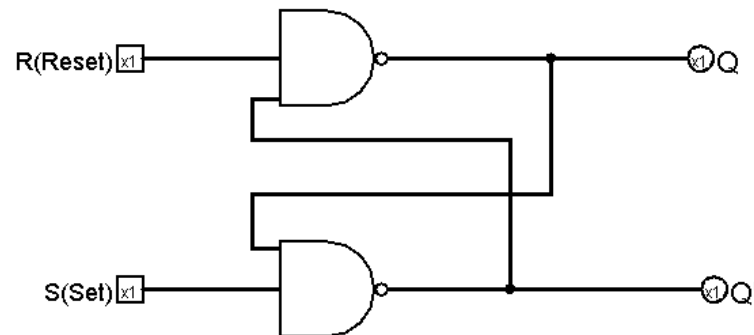


| S | R | Q | Q' |
|-----|-----|-----|------|
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 |

(after $S = 1, R = 0$)

(after $S = 0, R = 1$)

(forbidden)

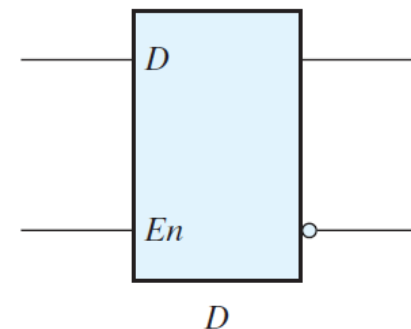
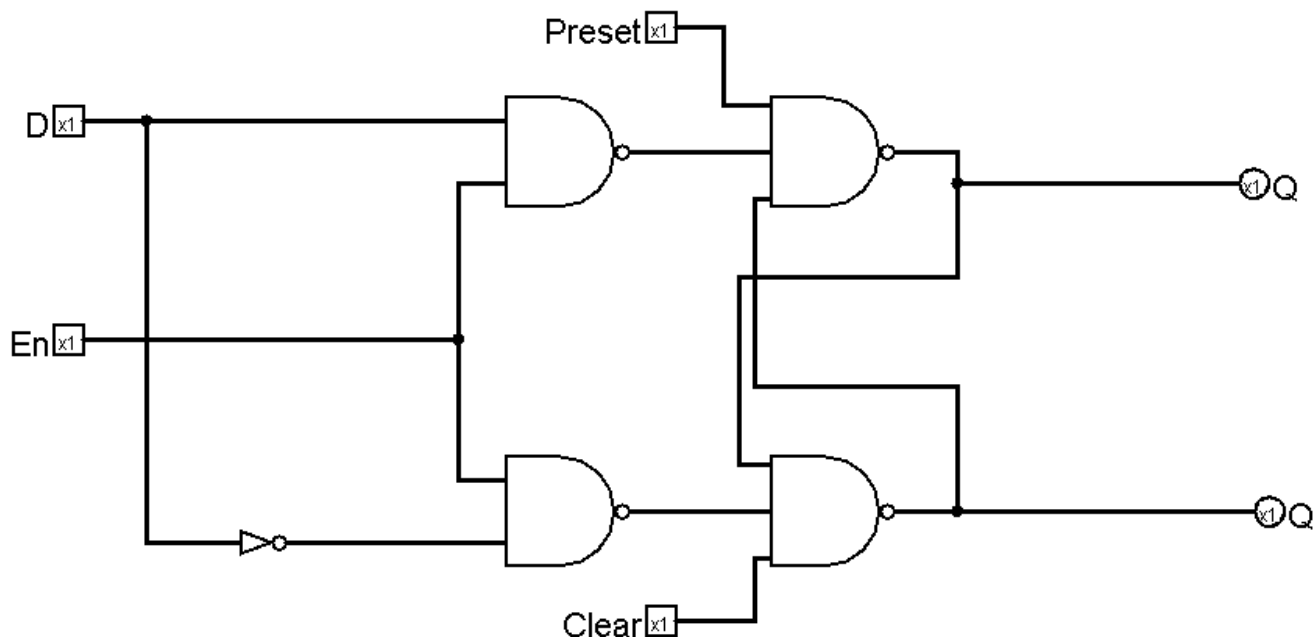


Αποθηκευτικά Στοιχεία Latches:

D-Latch

D-Latch

| En | D | Next state of Q |
|------|-----|-----------------------|
| 0 | X | No change |
| 1 | 0 | $Q = 0$; reset state |
| 1 | 1 | $Q = 1$; set state |



Αποθηκευτικά Στοιχεία Flip-Flops: Edge Sensitive

Edge-Triggered D flip-flop



(a) Positive-edge response



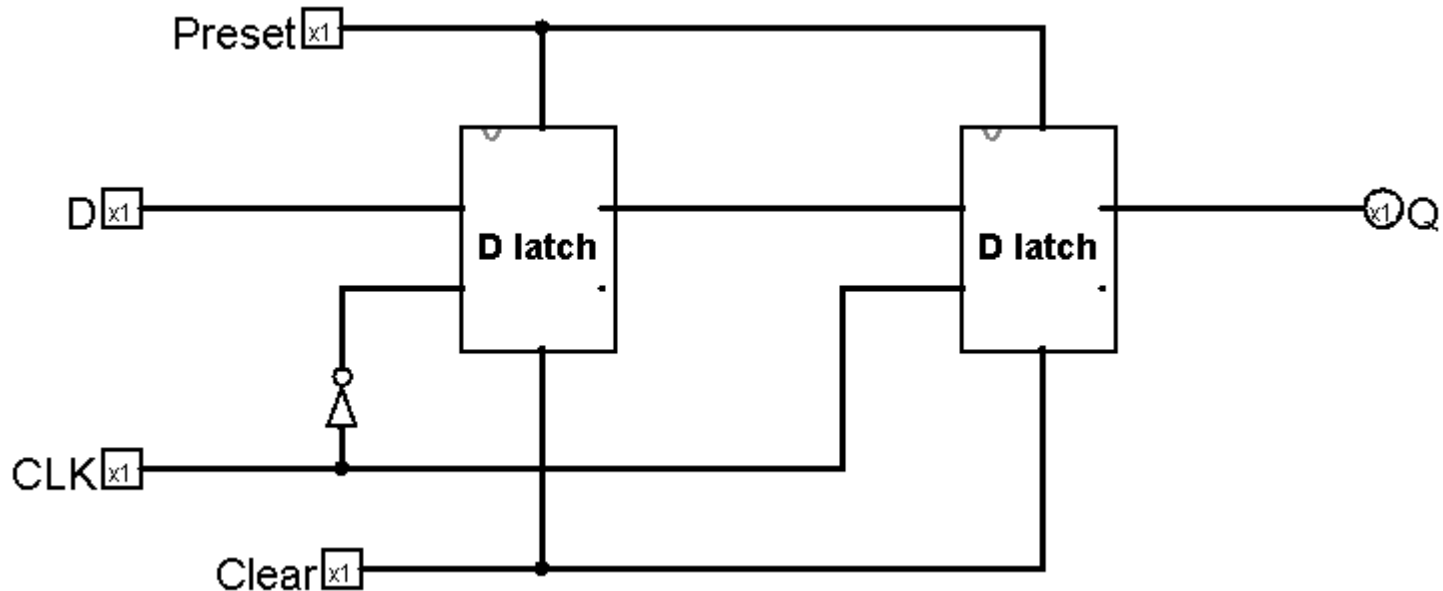
(b) Negative-edge response

Level-Triggered D flip-flop (χρησιμοποιούνται λιγότερο)



Response to positive level

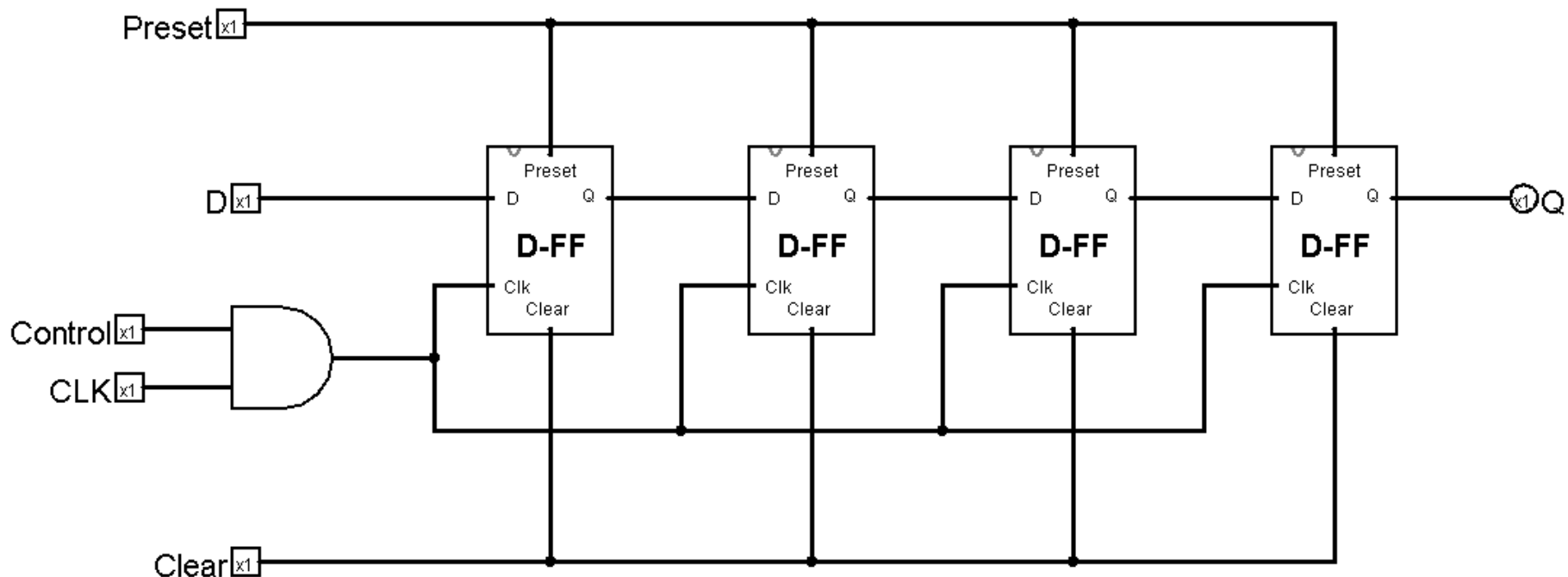
D flip-flop



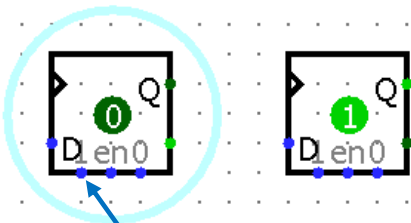
- Να υλοποιήσετε το D-FF και να ελέγξετε την σωστή του λειτουργία

Καταχωρητές Ολίσθησης (Shift Registers)

- Να υλοποιήσετε έναν καταχωρητή τεσσάρων θέσεων (4-bit) με τη βοήθεια των D flip-flops που δημιουργήσατε.



D flip-flop στο logisim



| Επιλογή: D Flip-Flop | |
|------------------------|----------------|
| Σκανδαλισμός | Θετική Ακμή |
| Ετικέτα | Θετική Ακμή |
| Γραμματοσειρά Ετικέτας | Αρνητική Ακμή |
| | Υψηλό Επίπεδο |
| | Χαμηλό Επίπεδο |

- Είσοδοι – έξοδοι:
 - Αριστερά, πάνω: clock
 - Αριστερά, κάτω: D input
 - Δεξιά: Q, Q'
 - Κάτω, αριστερά: Asynchronous reset → 0, X: όχι ενεργό, 1: ενεργό (Q=0)
 - Κάτω, μέση: Enable → 0: όχι ενεργό (οι αλλαγές στο clk δεν επηρεάζουν το FF), 1, X: ενεργό (οι αλλαγές στο clk επηρεάζουν το FF)
 - Κάτω, δεξιά: Asynchronous set → 0, X: όχι ενεργό, 1: ενεργό (Q=1)

Αθροιστής 4-bit με Καταχωρητές Ολίσθησης (Shift Register Adder)

*Να σχεδιαστεί το κύκλωμα σειριακού
αθροιστή 4-bit:*

- *Να υλοποιηθεί το κύκλωμα στον
προσομοιωτή και*
- *Να προσομοιωθούν οι πράξεις: $1011+0110$,
 $0111+1010$, $0011+0101$*

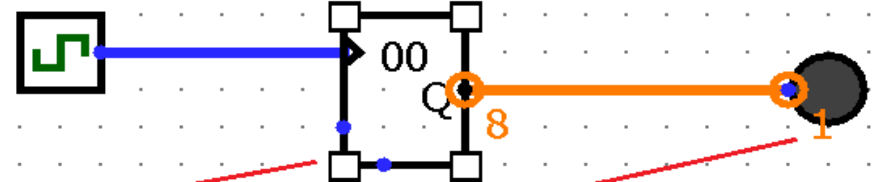
Γεννήτρια Τυχαίων Αριθμών (RNG)

temp

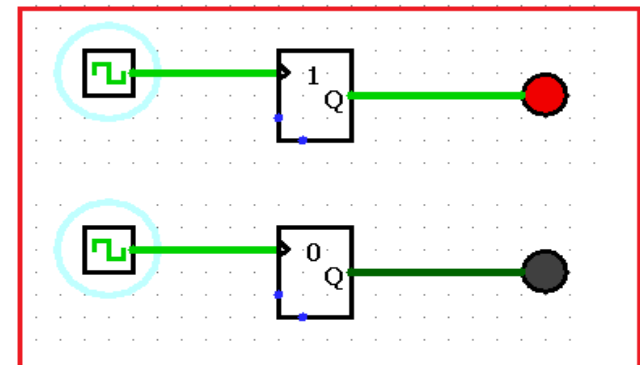
- Καλωδίωση
 - Διαχωριστής
 - Ακροδέκτης
 - Δειγματολήπτης
 - Σήραγγα
 - Αντίσταση Οδήγησης
 - Ρολόι**
 - 1 Σταθερά
 - Ισχύς
 - Γείωση
 - Τρανζιστορ
 - Πύλη Μετάδοσης
 - Επέκταση Bit
- Πύλες
- Πλέκτες/Κωδικοποιητές
- Αριθμητικά
- Μνήμη
 - D Flip-Flop
 - T Flip-Flop
 - J-K Flip-Flop
 - S-R Flip-Flop
 - Καταχωρητής
 - Μετρητής
 - Καταχωρητής Ολοκλήρωσης**
- Γεννήτρια Τυχαίων Αριθμών**
- RAM
- ROM
- Είσοδος/Εξόδος
 - Πλήκτρο
 - Χαριστήριο
 - Πληκτρολόγιο
 - LED**
 - 7-Segment Display
 - Hex Digit Display
 - LED Matrix
 - TTY
- Βασικά

Επιλογή: Γεννήτρια Τυχαίων Αριθμών

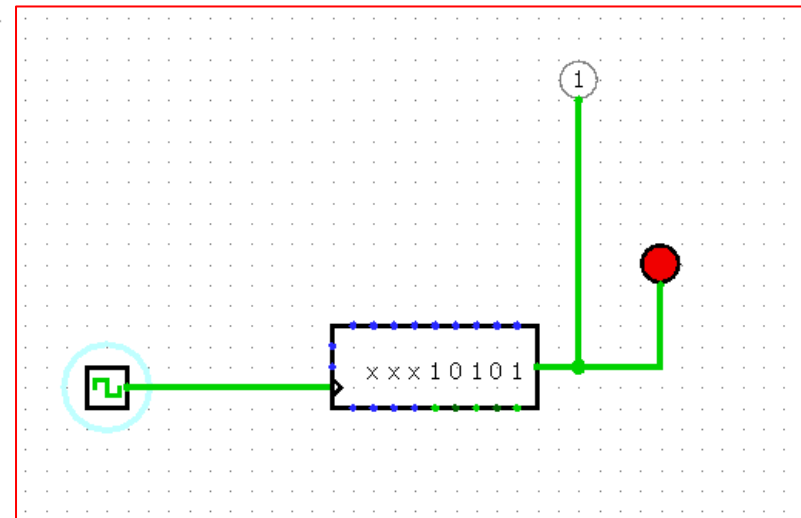
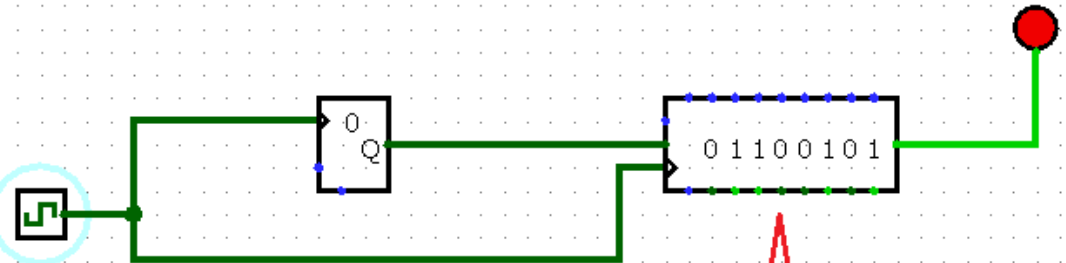
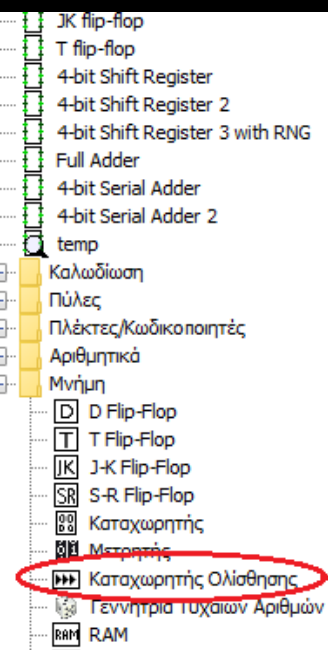
| | |
|-----------------------|-----------------------|
| Bits Δεδομένων | 8 |
| Γεννήτορας | 0 |
| Σκανδαλισμός | Θετική Ακμή |
| Επκέτα | |
| Γραμματοσειρά Επκέτας | SansSerif Κανονική 12 |



Ασύμβατα πλάτη

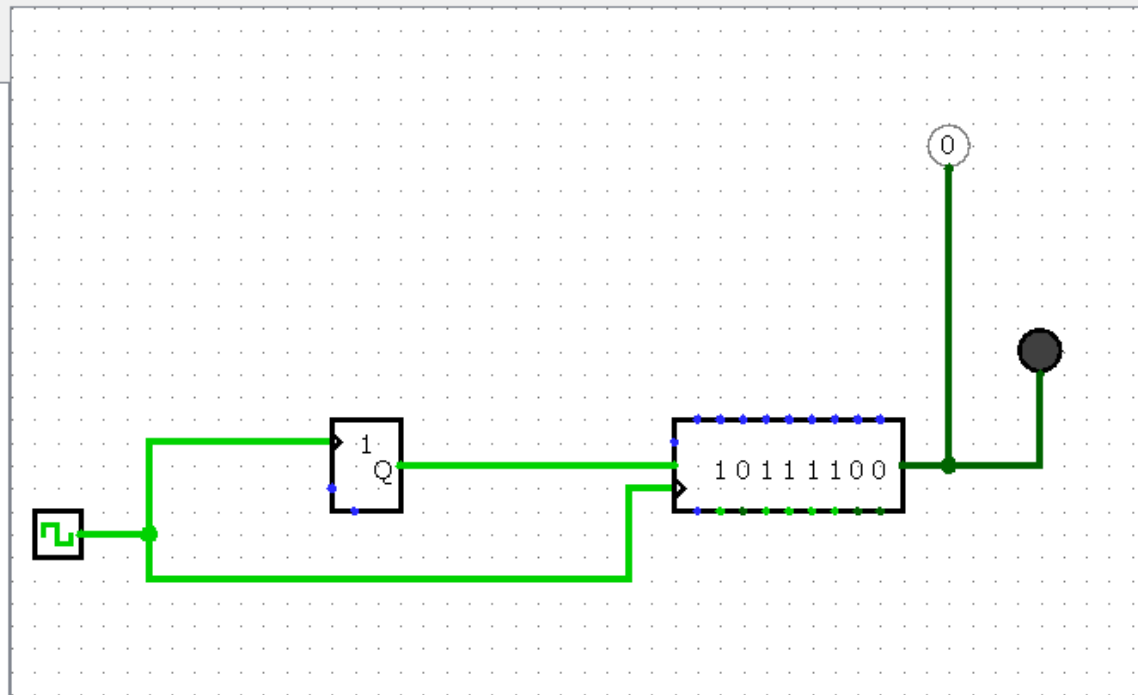
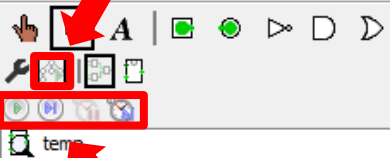


Καταχωρητής Ολίσθησης με ή χωρίς γεννήτρια τυχαίων αριθμών (RNG)

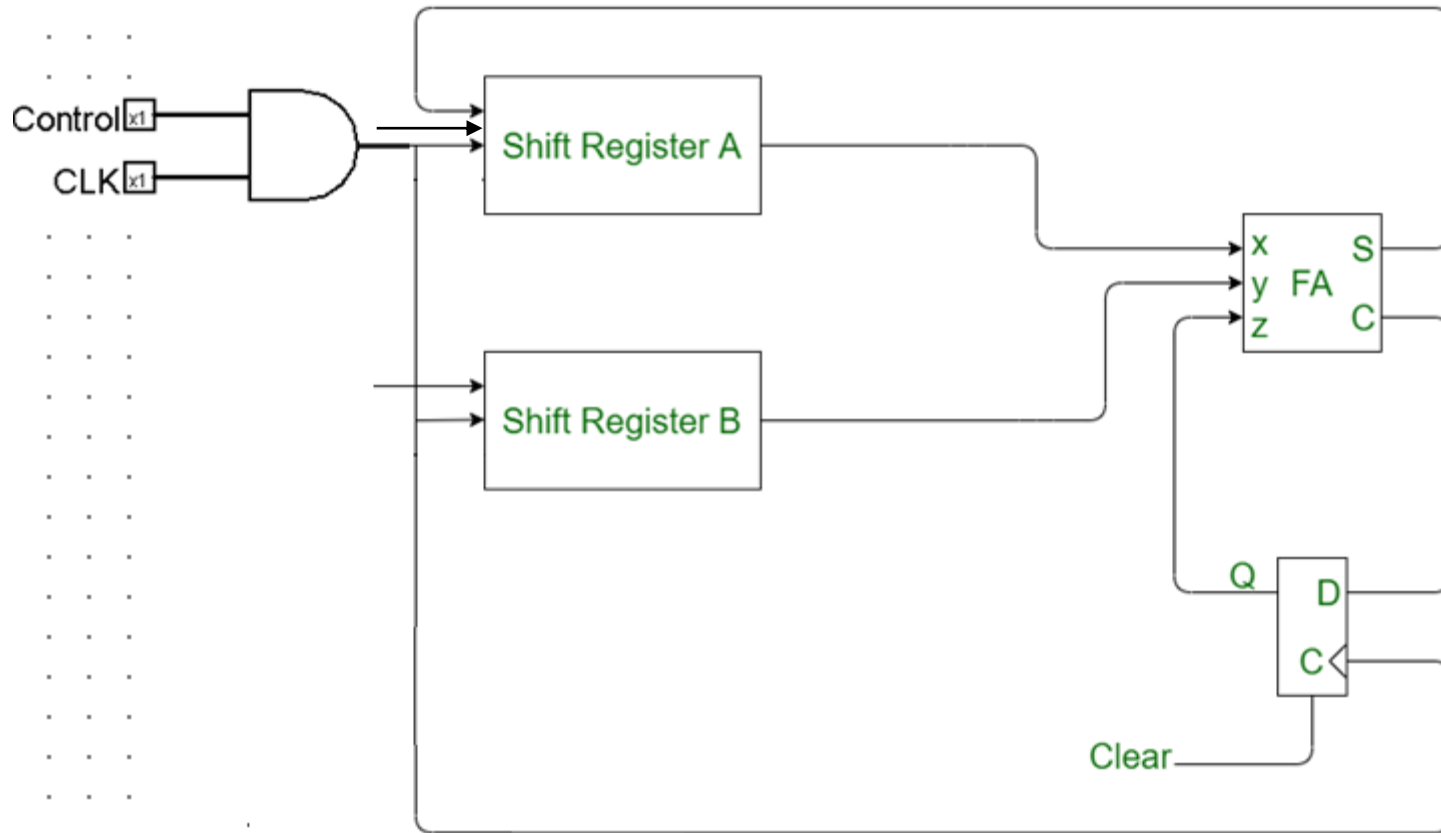


Εκτέλεση Κυκλώματος

Αρχείο Επεξεργασία Έργο Προσομοίωση Παράθυρο Βοήθεια



Αθροιστής με καταχωρητές (Shift Register Adder)



Block Diagram of Serial Binary Adder

Ασκήσεις για υποβολή

4^ο Εργαστήριο

Παραδοτέα 2 αρχεία:
1. αρχείο αναφοράς .pdf
2. αρχείο .circ

Να σχεδιάσετε και να υλοποιήσετε στον εξομοιωτή τα παρακάτω κυκλώματα:

1. Τον καταχωρητή ολίσθησης 4-bit με τα έτοιμα D flip-flops που διαθέτει η βιβλιοθήκη του Logisim.
2. Τον αθροιστή με καταχωρητές μετατόπισης, όμως με υποκυκλώματα υλοποιημένα από εσάς και βασισμένα σε JK flip-flops.

Σημ.: Για την τροφοδοσία των εισόδων των (υλοποιημένα) δικών σας καταχωρητών μπορείτε να χρησιμοποιήσετε τους έτοιμους καταχωρητές.

** Στο αρχείο αναφοράς παραθέτουμε για κάθε εικόνα κυκλώματος 2-3 γραμμές περιγραφικά σχόλια όπως: τίτλο, ποια η λειτουργία, και ίσως κάποιο αξιοσημείωτο χαρακτηριστικό του κυκλώματος.*

Υποχρεωτική υποβολή με αξιολόγηση

ΤΕΛΟΣ

4^{ου} εργαστηρίου

Ερωτήσεις;

Εργασία Εξαμήνου

- Εργασία Εξαμήνου!!!!

Διαδικαστικά (1/2) ...

1. Η διεκπεραίωση της εργασίας εξαμήνου είναι προϋπόθεση απαραίτητη για τη συμμετοχή σας στην τελική εξέταση.
2. Οι φοιτητές παλαιότερων ετών που παρακολούθησαν ολοκληρωμένα το εργαστήριο αλλά **δεν είχαν διεκπεραιώσει την εργασία** εξαμήνου, θα πρέπει να την περατώσουν προκειμένου να λάβουν το δικαίωμα συμμετοχής στην τελική εξέταση.
3. Οι φοιτητές παλαιότερων ετών που παρακολούθησαν ολοκληρωμένα το εργαστήριο και είχαν παραδώσει την εργασία εξαμήνου **δε χρειάζεται να την εκπονήσουν ξανά!**
4. Ο φοιτητής που δε θα εκπονήσει την εργασία στο τρέχον εξάμηνο, δε θα είναι υποχρεωμένος να παρακολουθήσει ξανά το εργαστήριο το επόμενο έτος.
5. Η εκφώνηση της εργασίας μαζί με σχετικές πληροφορίες υπάρχει στη σελίδα του μαθήματος (e-learning) και η υλοποίησή της θα πρέπει να γίνεται ατομικά από τον καθένα.

Διαδικαστικά (2/2) ...

1. Υπενθύμιση: οι εργαστηριακές ασκήσεις και η εργασία εξαμήνου συμβάλουν μαζί στο 30% του τελικού βαθμού, ενώ το υπόλοιπο 70% διαμορφώνεται από την τελική εξέταση.
2. Η εργασία εξαμήνου και οι εργαστηριακές ασκήσεις συμβάλουν ισομερώς, δηλαδή: 15% οι ασκήσεις και 15% η εργασία εξαμήνου.
3. Θα εξετασθούν προφορικά οι ομάδες για τις οποίες υπάρχουν υπόνοιες αντιγραφής. Μηδενίζονται οι εργασίες που αποδεδειγμένα είναι αντιγραφές.
4. Δεν ισχύει η βάση του 5 στην εργασία αλλά ισχύει στην τελική εξέταση.
5. Η εργασία εξαμήνου και οι εργαστηριακές ασκήσεις συμβάλουν ισομερώς, δηλαδή: 15% οι ασκήσεις και 15% η εργασία εξαμήνου.

Τελική εξέταση: 70%

Εργασία εξαμήνου: 15%

Εργαστηριακές ασκήσεις: 15%

Παραδοτέα Εργασίας Εξαμήνου

- Η προθεσμία για την εκπόνηση της εργασίας **ξεκινά από τις 12/05 και λήγει στις 20/06.**
- Παραδοτέα:
 - Δύο αρχεία .circ και δύο αρχεία εικόνας των κυκλωμάτων (.png, .jpeg, κ.τ.λ.)
 - Ένα αρχείο κειμένου (pdf κατά προτίμηση) ως αναφορά, όπου θα αναπτύσσετε μια σύντομη και συνοπτική περιγραφή περίπου 5 σειρών για τη λειτουργία του κάθε κυκλώματος.
- Στην αναφορά θα πρέπει να αναφέρονται τα προσωπικά σας στοιχεία: ονοματεπώνυμο, ΑΕΜ, email, έτος.

Υποχρεωτική Εργασία Εξαμήνου

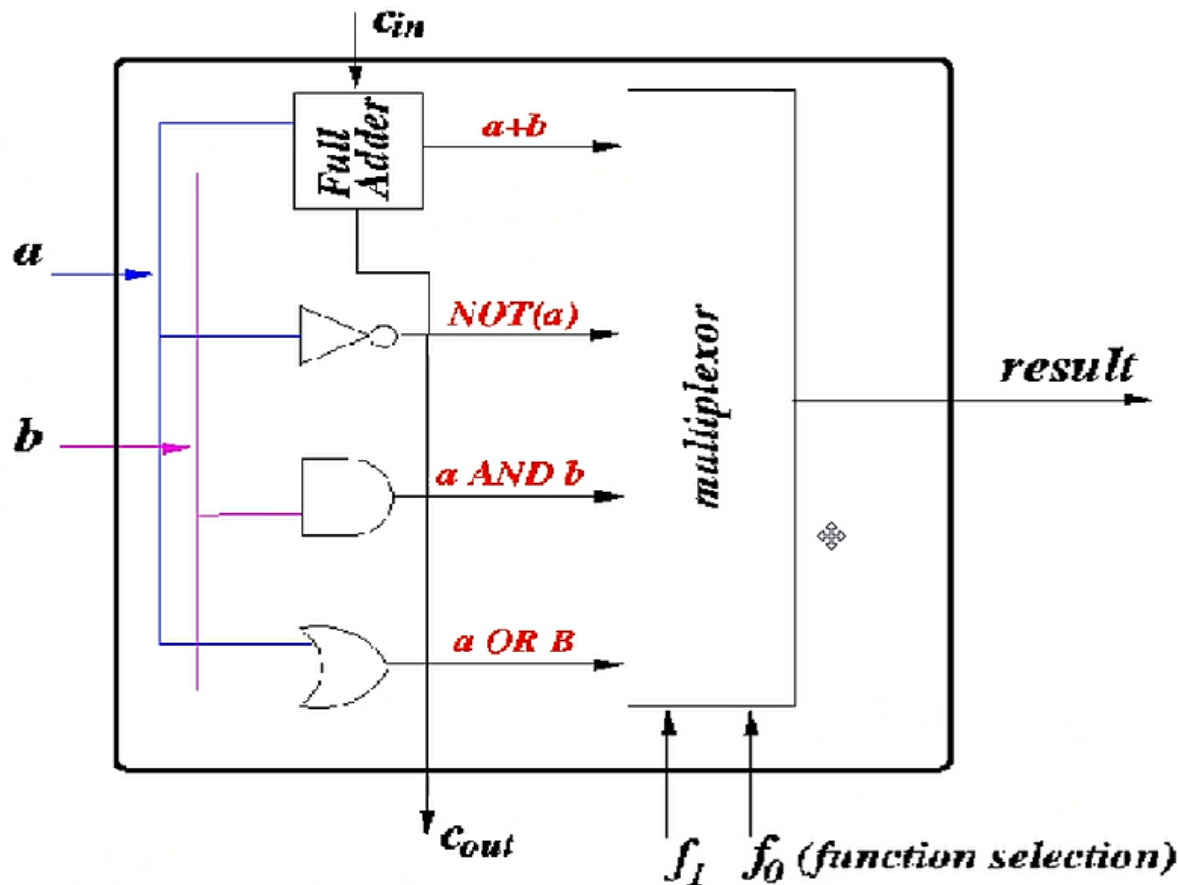
Ζήτημα Α΄

Να σχεδιάσετε και να υλοποιήσετε μια αριθμητική-λογική μονάδα (ALU) η οποία να δέχεται εισόδους A, B των 2-bit και να εκτελεί τις ακόλουθες πράξεις: NOT_A, ADD, XOR, NAND και A+1. Η έξοδος είναι 2-bits. Η πύλη NOT να χρησιμοποιείται μόνο για την είσοδο A. Εκτός από τις εισόδους A, B, η ALU θα δέχεται ως είσοδο ένα αριθμό από σήματα επιλογής (selection bits) τα οποία θα προσδιορίζουν την πράξη που θα εκτελείται. Τα σήματα επιλογής θα χρησιμοποιηθούν ως σήματα επιλογής στους πολυπλέκτες του κυκλώματος. Ένα επιπλέον σήμα εισόδου στην ALU θα αποτελεί το αρχικό κρατούμενο του αθροιστή. Ο αριθμός των σημάτων επιλογής θα πρέπει να προσδιοριστεί από εσάς.

Υποχρεωτική Εργασία Εξαμήνου

Ζήτημα Α'

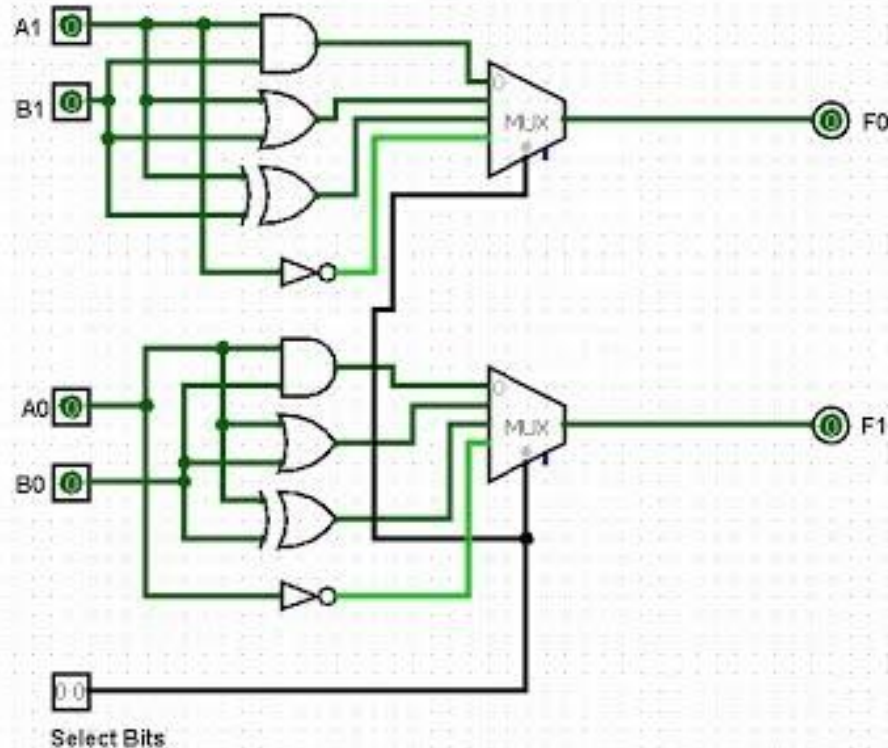
Παράδειγμα ALU με 3 λογικές πράξεις και adder



Υποχρεωτική Εργασία Εξαμήνου

Ζήτημα Α'

- Παράδειγμα ALU με 4 λογικές πράξεις



Υποχρεωτική Εργασία Εξαμήνου

Ζήτημα Β'

Να υλοποιήσετε σύγχρονο προσθετικό (count-up) μη-δυναδικό μετρητή με negative edge-triggered JK-FF και κύκλο απαρίθμησης 9 (mod-9), δηλαδή 0, 1, ..., 7, 8, 0, 1, ...

Περισσότερες λεπτομέρειες στο επόμενο εργαστήριο