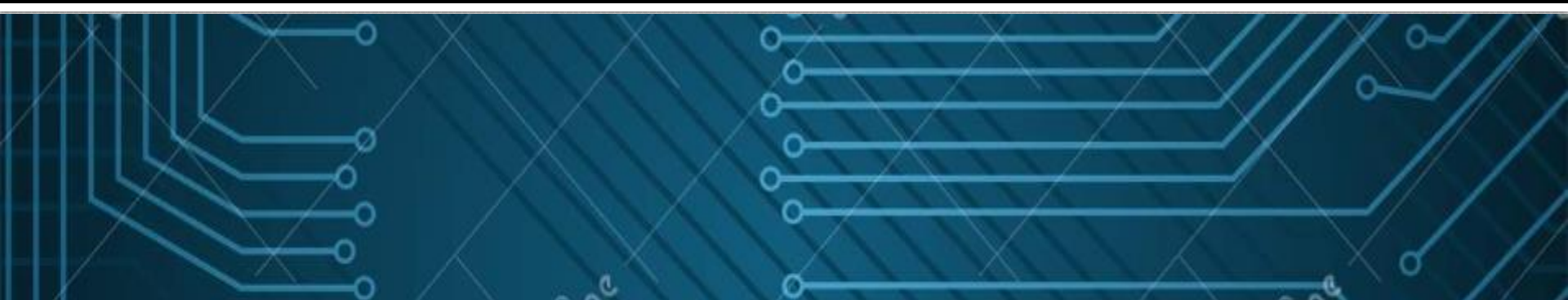


ΕΡΓΑΣΤΗΡΙΟ 2

ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ



ΠΕΡΙΕΧΟΜΕΝΑ

Αριθμητικά Κυκλώματα

- Ημιαθροιστής *1-bit*
- Πλήρης Αθροιστής *1-bit*
- Παράλληλος Αθροιστής *4-bit*

- Ημιαφαιρέτης *1-bit*
- Πλήρης Αφαιρέτης *1-bit*
- Παράλληλος Αφαιρέτης *4-bit*

- Κύκλωμα Αθροιστή-Αφαιρέτη *4-bit*

Παράσταση Κανονικού Αθροίσματος Γινομένων

Π. χ. Η συνάρτηση $f(x,y)$:

	x	y	f
0	0	0	1
1	0	1	0
2	1	0	1
3	1	1	1

m_0	m_1	m_2	m_3
$\bar{x} \cdot \bar{y}$	$\bar{x} \cdot y$	$x \cdot \bar{y}$	$x \cdot y$
1	0	0	0
0	1	0	0
0	0	1	0
0	0	0	1

Παριστάνεται: $f(x,y) = m_0(x,y) + m_2(x,y) + m_3(x,y) = \bar{x} \cdot \bar{y} + x \cdot \bar{y} + x \cdot y$

Παράσταση Κανονικού Γινομένου Αθροισμάτων

Π. χ. Η συνάρτηση $f(x,y)$:

	x	y	f
0	0	0	1
1	0	1	0
2	1	0	1
3	1	1	1

M_0 $x + y$	M_1 $x + \overline{y}$	M_2 $\overline{x} + y$	M_3 $\overline{x} + \overline{y}$
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	0

Παριστάνεται: $f(x,y) = M_1(x,y) = x + \overline{y}$

$$\begin{aligned} \text{Π.χ. } f_1 &= (x + y + z)(x + y' + z)(x' + y + z')(x' + y' + z) \\ &= M_0 \cdot M_2 \cdot M_3 \cdot M_5 \cdot M_6 \end{aligned}$$

Ημιαθροιστής 1-bit

$$\begin{array}{r} 3_{10} \\ + 3_{10} \\ \hline 6_{10} \end{array}$$

$$\begin{array}{r} 4_{10} \\ + 4_{10} \\ \hline 8_{10} \end{array}$$

$$\begin{array}{r} 5_{10} \\ + 5_{10} \\ \hline 10_{10} \end{array}$$

$$\begin{array}{r} 0_2 \\ + 1_2 \\ \hline 1_2 \end{array}$$

$$\begin{array}{r} 1_2 \\ + 0_2 \\ \hline 1_2 \end{array}$$

$$\begin{array}{r} 0_2 \\ + 0_2 \\ \hline 0_2 \end{array}$$

$$\begin{array}{r} 1_2 \\ + 1_2 \\ \hline 10_2 \end{array}$$

Sum = 0

$0_2 + 0_2 = 0_2 \longrightarrow$

$0_2 + 1_2 = 1_2 \longrightarrow$

$1_2 + 0_2 = 1_2 \longrightarrow$

$1_2 + 1_2 = 10_2 \longrightarrow$

Carry=1

Sum = 0

A	B	Σ	C_{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Sum Carry

Ημιαθροιστής 1 bit

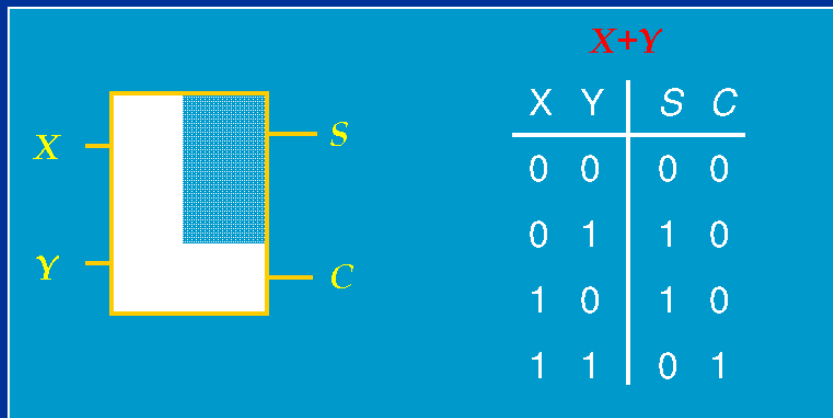
Άσκηση: Να σχεδιαστεί το κύκλωμα ημιαθροιστή 1bit

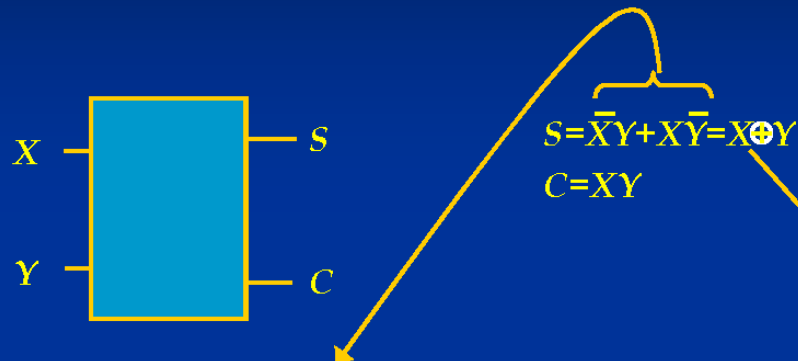
α) Να βρεθούν οι λογικές συναρτήσεις των εξόδων

β) Να σχεδιαστεί το κύκλωμα

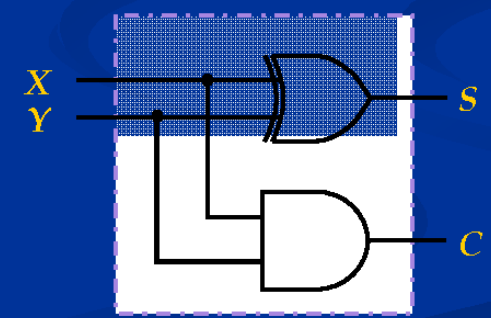
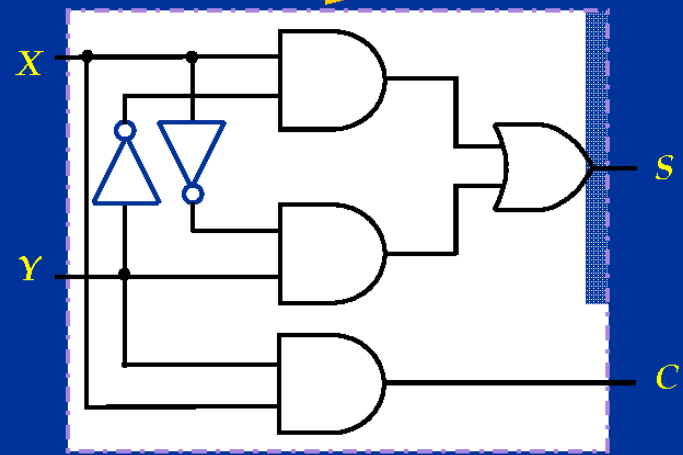
γ) Να υλοποιηθεί το κύκλωμα στον προσομοιωτή και να επαληθευτεί η λειτουργία του.

δ) Να υλοποιηθεί το κύκλωμα ως υποκύκλωμα (chip)



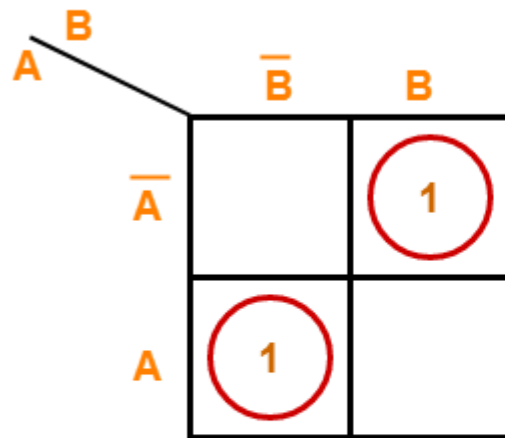


$X+Y$			
X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



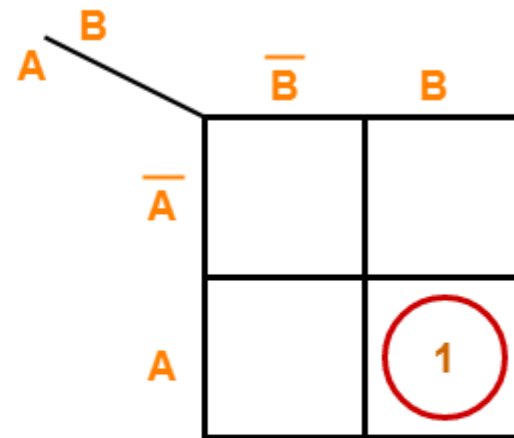
Απλοποίηση με Karnaugh

For S:



$$S = A \oplus B$$

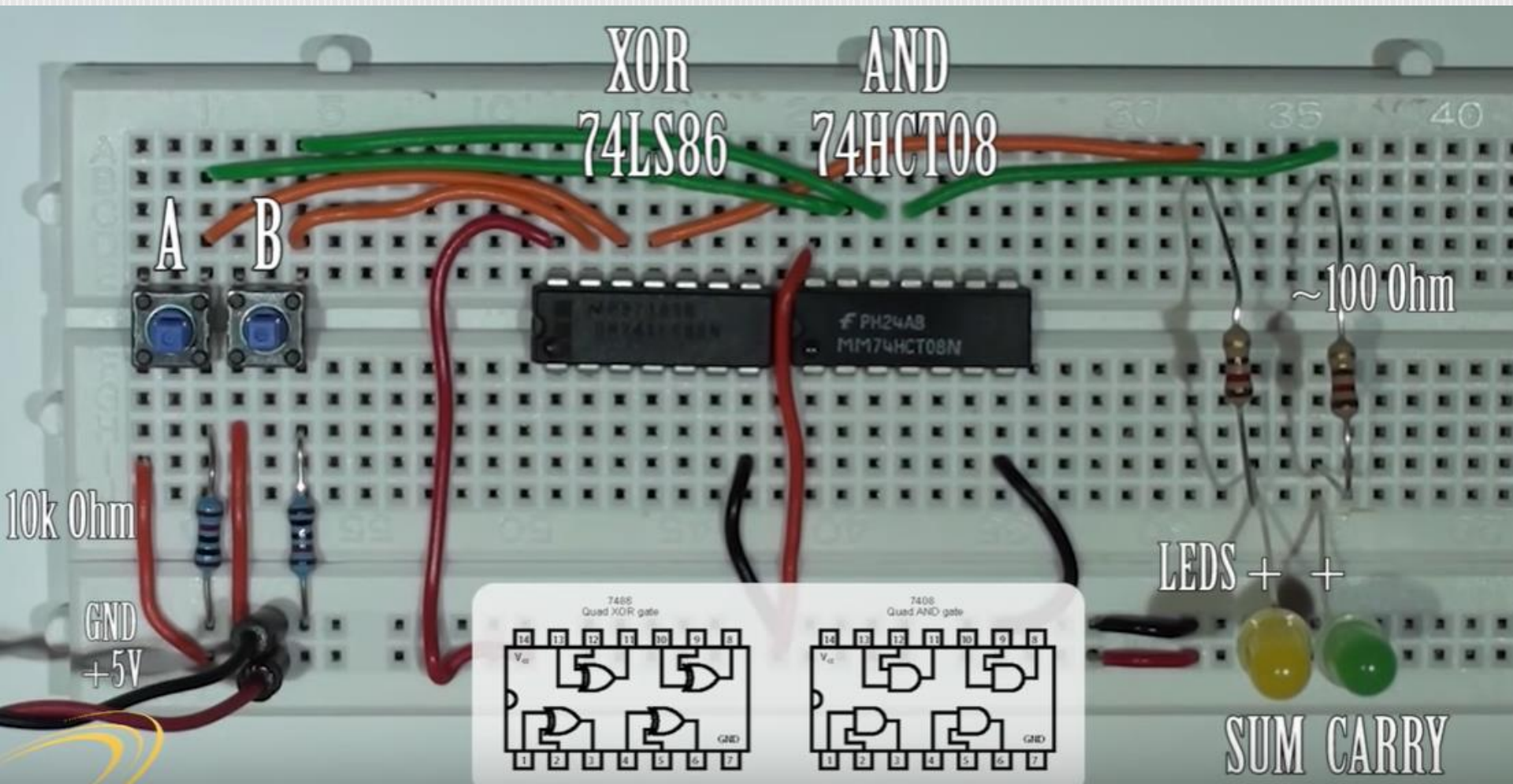
For C:



$$C = A \cdot B$$

K Maps

Υλοποίηση Ημιαθροιστή σε Breadboard Simulator



Γιατί πέρα από τον Ημιαθροιστή χρειαζόμαστε
τον Πλήρη Αθροιστή;

The diagram illustrates a full adder circuit. It shows the addition of two 1-bit numbers, 1 and 1, with a carry-in of 1. The result is a 2-bit sum, 110₂. The carry-in is represented by a small '1' below the plus sign. The sum is shown as 110₂ below a horizontal line. A vertical dashed line separates the carry-in from the two input numbers. The output is shown as 110₂ below a horizontal line.

$$\begin{array}{r} 11_2 \\ + 11_2 \\ \hline 110_2 \end{array}$$

Πλήρους Αθροιστής 1 bit

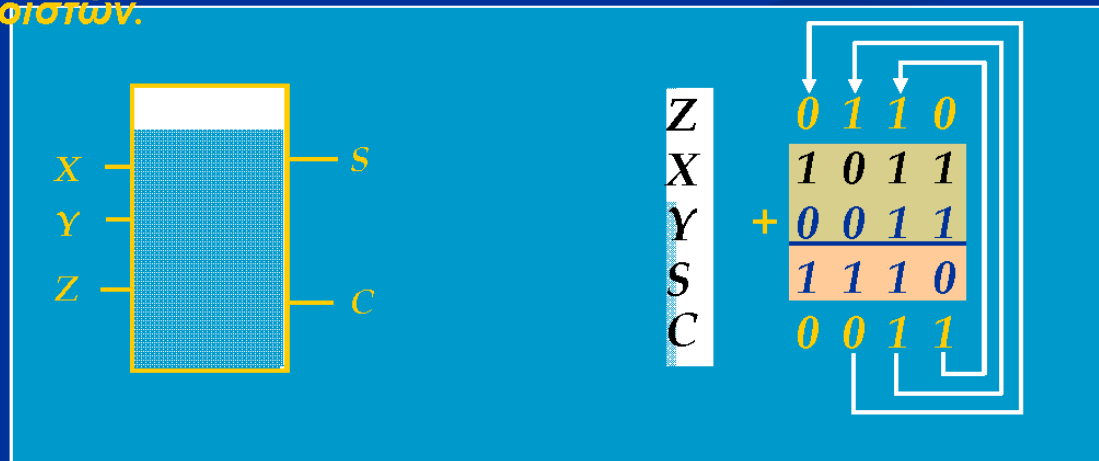
Άσκηση: Να σχεδιαστεί το κύκλωμα πλήρους αθροιστή 1bit

α) Να βρεθεί ο πίνακας αληθείας του κυκλώματος και οι λογικές συναρτήσεις των εξόδων

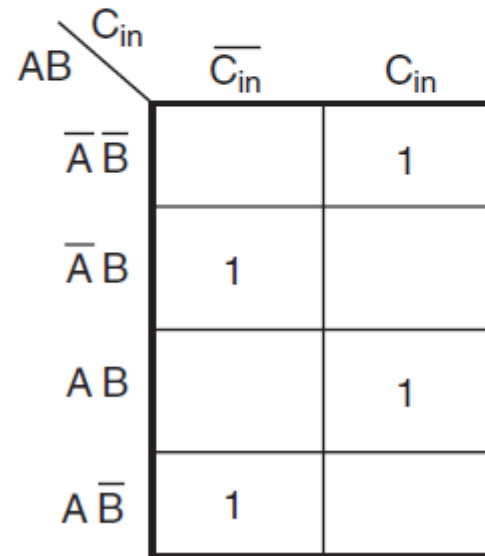
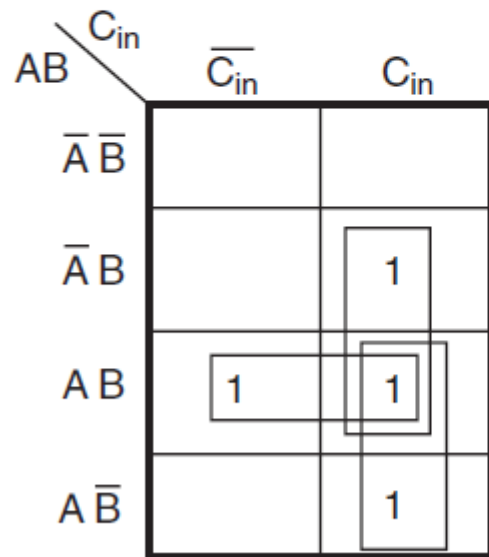
β) Να σχεδιαστεί το κύκλωμα

γ) Να υλοποιηθεί το κύκλωμα στον προσομοιωτή και να επαληθευτεί η λειτουργία του.

δ) Να υλοποιηθεί το κύκλωμα χρησιμοποιώντας υποκυκλώματα (chip) ημιαθροιστών.

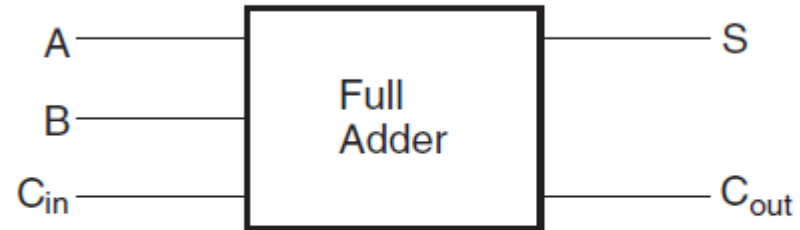


A	B	C_{in}	SUM (S)	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$C_{out} = \overline{A}.B.C_{in} + A.\overline{B}.C_{in} + A.B.\overline{C_{in}} + A.B.C_{in} \quad S = \overline{A}.\overline{B}.C_{in} + \overline{A}.B.\overline{C_{in}} + A.\overline{B}.\overline{C_{in}} + A.B.C_{in}$$

A	B	C _{in}	SUM (S)	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



for C_o -

	B C _i			
A	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$C_o = B C_i + A B + A C_i$$

$$\underline{C_o = A B + C_i (A \oplus B)}$$

for S -

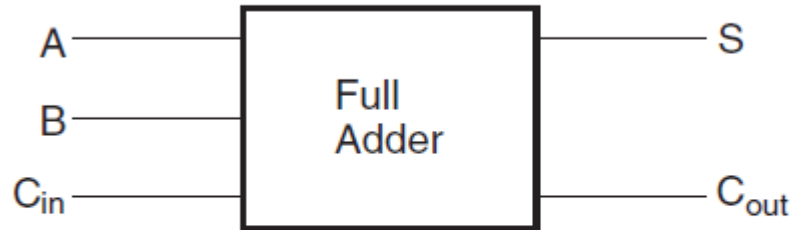
	B C _i			
A	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Check board conf

$$S = A \oplus B \oplus C_i$$

$$C_{out} = \bar{A}.B.C_{in} + A.\bar{B}.C_{in} + A.B.\bar{C}_{in} + A.B.C_{in} \quad S = \bar{A}.\bar{B}.C_{in} + \bar{A}.B.\bar{C}_{in} + A.\bar{B}.\bar{C}_{in} + A.B.C_{in}$$

A	B	C _{in}	SUM (S)	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$C_o = AB + A\bar{B}C_i + \bar{A}BC_i$$

$$= AB + C_i(A\bar{B} + \bar{A}B)$$

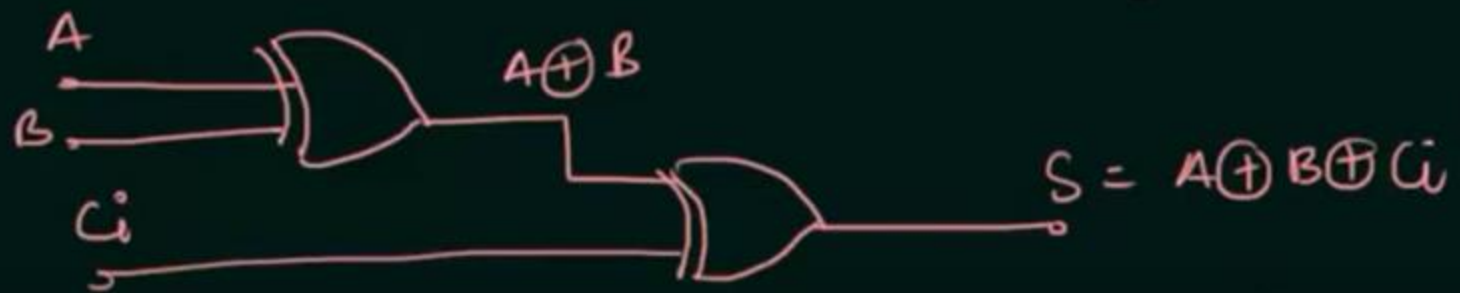
$$= AB + C_i(A \oplus B)$$

for S -

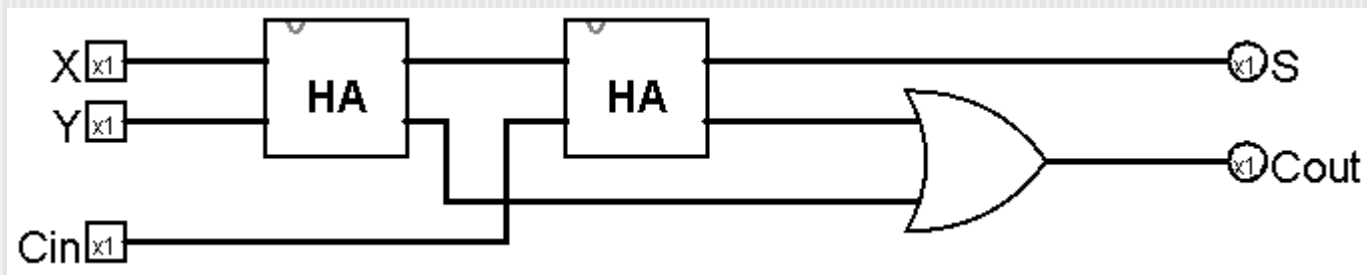
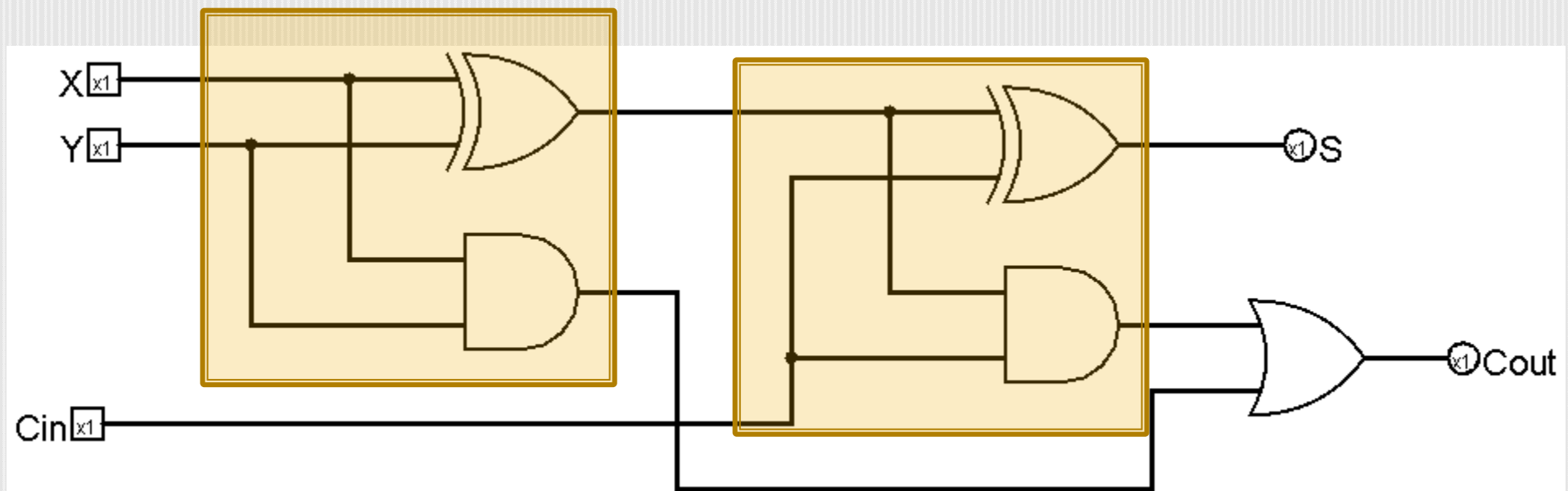
$$S = A \oplus B \oplus C_i$$

Check board conf

$$C_{out} = \bar{A}.B.C_{in} + A.\bar{B}.C_{in} + A.B.\bar{C}_{in} + A.B.C_{in} \quad S = \bar{A}.\bar{B}.C_{in} + \bar{A}.B.\bar{C}_{in} + A.\bar{B}.\bar{C}_{in} + A.B.C_{in}$$



Full Adder 1-bit



Πλήρους Αθροιστής 4 bit

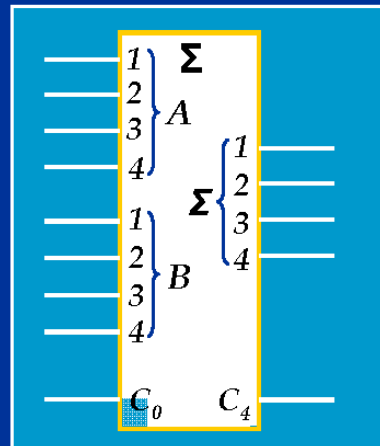
Άσκηση: Να σχεδιαστεί το κύκλωμα πλήρους αθροιστή 4bit

α) Να σχεδιαστεί το κύκλωμα χρησιμοποιώντας τα υποκυκλώματα αθροιστών που σχεδιάστηκαν προηγουμένως

β) Να υλοποιηθεί το κύκλωμα στον προσομοιωτή

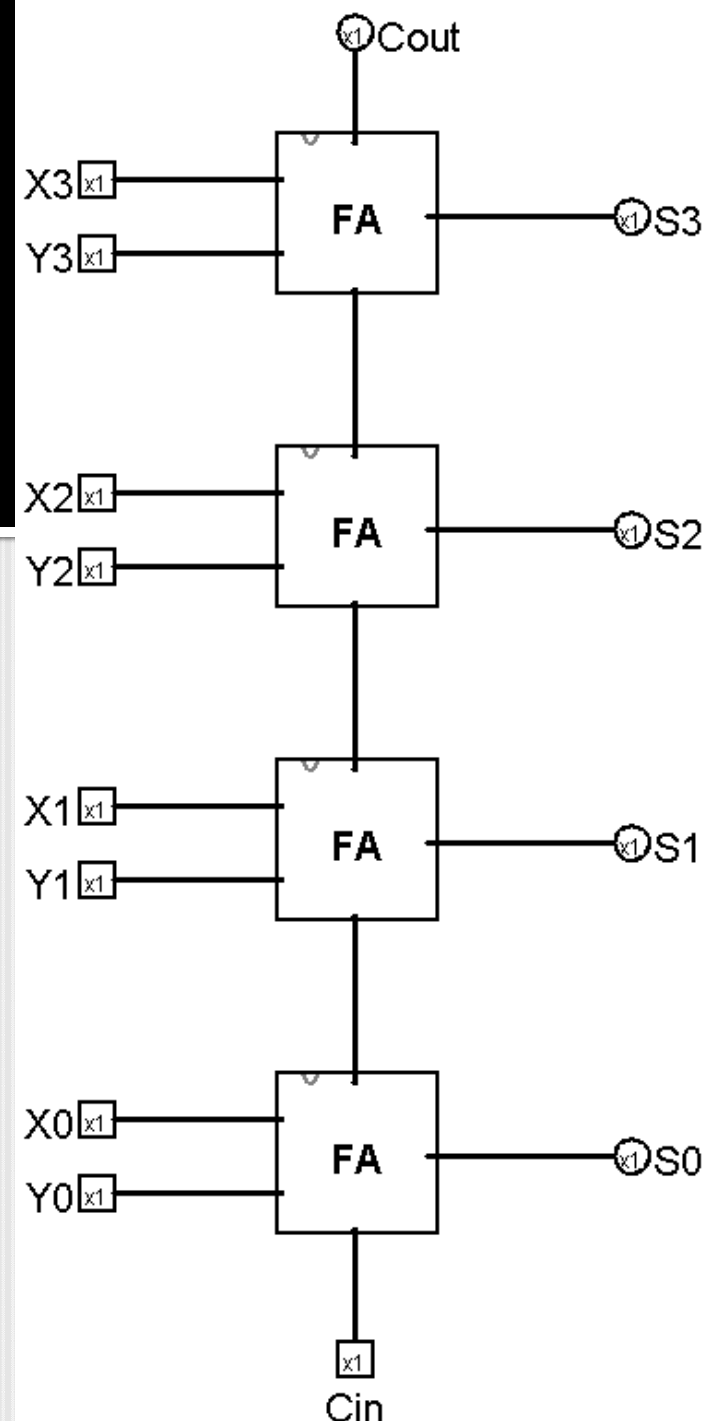
γ) Να προσομοιωθούν οι πράξεις: $1011+0110$, $0111+1010$, $0011+0101$

δ) Αν η καθυστέρηση διάδοσης κάθε πύλης είναι 1 μονάδα χρόνου να υπολογιστεί η συνολική καθυστέρηση διάδοσης για το τελικό κρατούμενο C_4



4-bit Full Adder

Υλοποίηση Αθροιστή για 4-bit



Ημιαφαιρέτης 1 bit

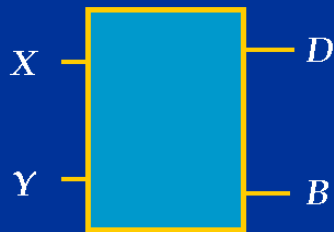
Άσκηση: Να σχεδιαστεί το κύκλωμα ημιαφαιρέτη 1bit

α) Να βρεθούν οι λογικές συναρτήσεις των εξόδων

β) Να σχεδιαστεί το κύκλωμα

γ) Να υλοποιηθεί το κύκλωμα στον προσομοιωτή και να επαληθευτεί η λειτουργία του.

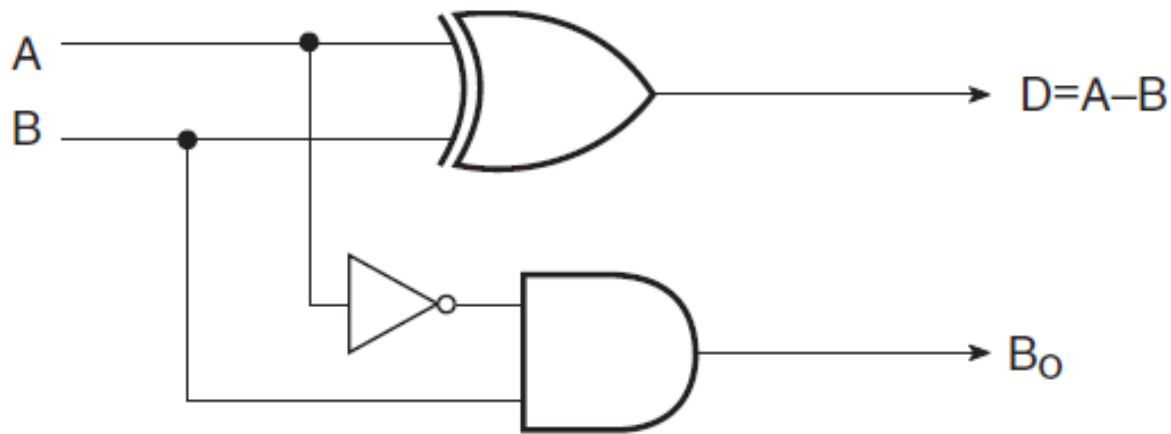
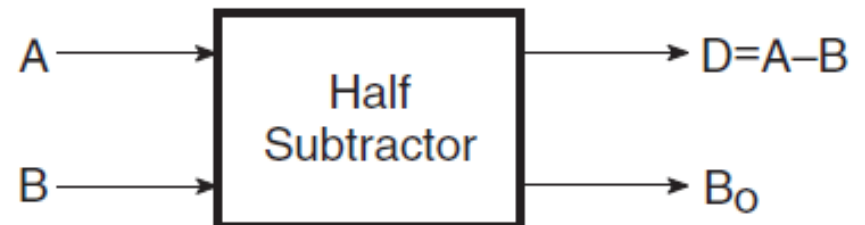
δ) Να υλοποιηθεί το κύκλωμα ως υποκύκλωμα (chip)



X-Y			
X	Y	D	B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Ημιαφαιρέτης 1 bit

A	B	D	B ₀
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0



Πλήρους Αφαιρέτης 1 bit

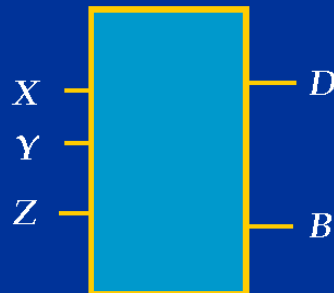
Άσκηση: Να σχεδιαστεί το κύκλωμα πλήρους αφαιρέτη 1bit

α) Να βρεθεί ο πίνακας αληθείας του κυκλώματος και οι λογικές συναρτήσεις των εξόδων

β) Να σχεδιαστεί το κύκλωμα

γ) Να υλοποιηθεί το κύκλωμα στον προσομοιωτή και να επαληθευτεί η λειτουργία του.

δ) Να υλοποιηθεί το κύκλωμα χρησιμοποιώντας: α) υποκυκλώματα (chip) ημιαφαιρετών, β) υποκυκλώματα ημιαθροιστών.

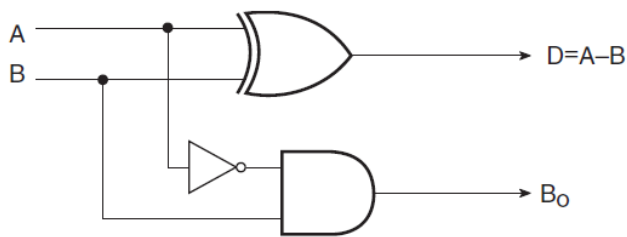
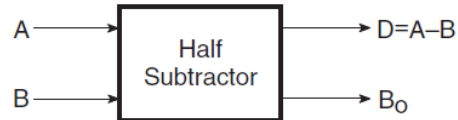


Πίνακας Αληθείας Πλήρους Αφαιρέτη 1bit

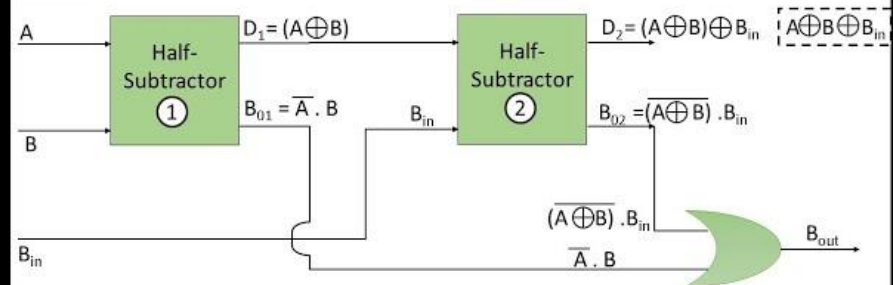
x	y	z	D	B
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Πλήρης Αφαιρέτης 1-bit

A	B	D	B ₀
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

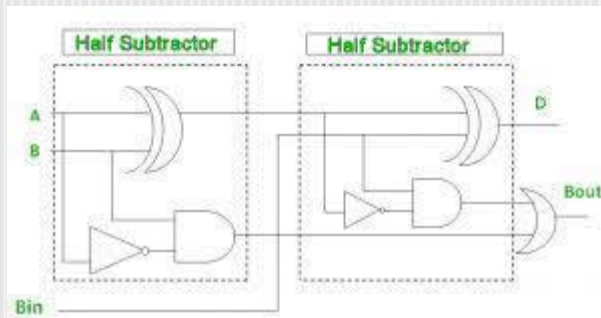


Full-Subtractor Using Half-Subtractor

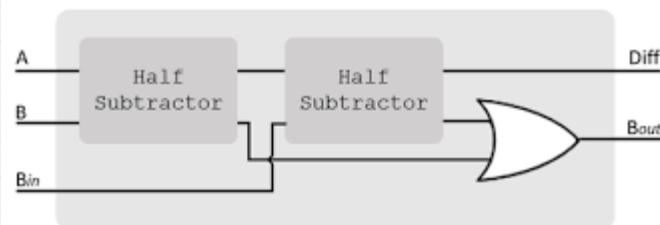


Engineer's Choice Tutor

Digital Circuits and System



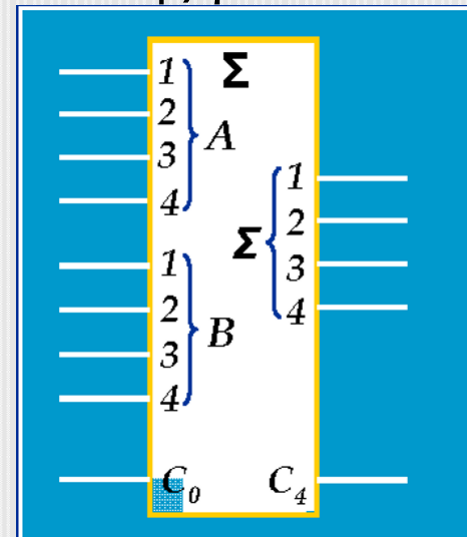
Full-Subtractor



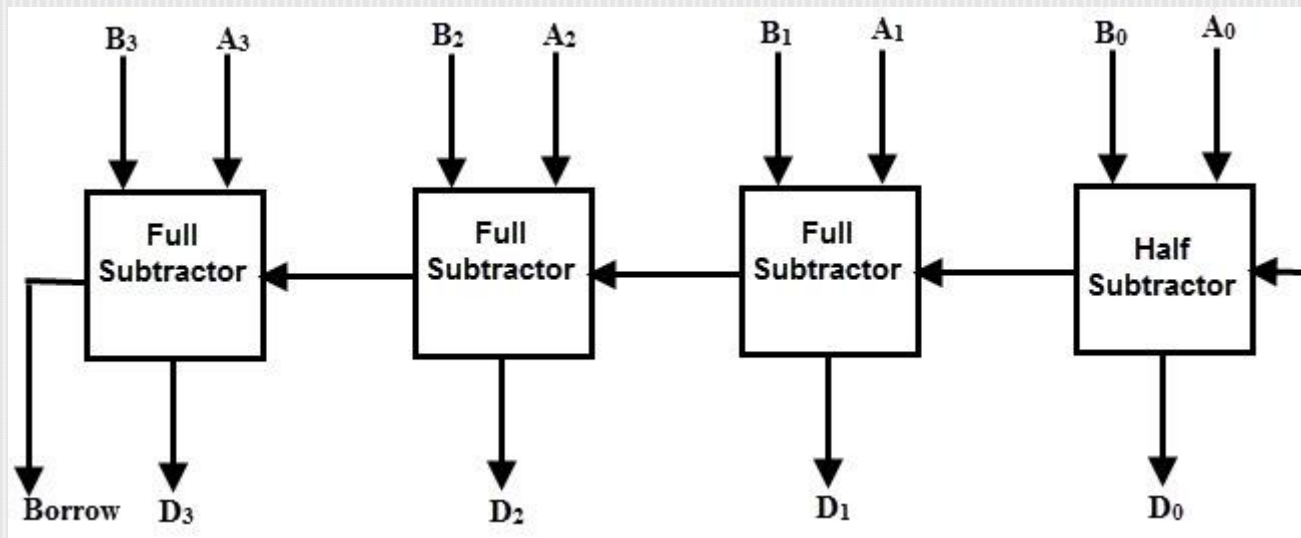
Πλήρης Αφαιρέτης 4-bit

Άσκηση: Να σχεδιαστεί το κύκλωμα πλήρους αφαιρέτη 4-bit

- Να σχεδιαστεί το κύκλωμα χρησιμοποιώντας τα υποκυκλώματα αθροιστών που σχεδιάστηκαν προηγουμένως.
- Να υλοποιηθεί το κύκλωμα στον προσομοιωτή
- Να προσομοιωθούν οι πράξεις $1011+0110$, $0111+1010$, $0011+0101$.
- Αν η καθυστέρηση διάδοσης της κάθε πύλης είναι 1 μονάδα χρόνου να υπολογιστεί η συνολική καθυστέρηση διάδοσης για το τελικό κρατούμενο C_4 .



Πλήρης Αφαιρέτης 4-bit



Συμπλήρωμα ως προς 1 και 2

Signed Binary Numbers

Decimal	Signed-2's Complement	Signed-1's Complement	Signed Magnitude
+7	0111	0111	0111
+6	0110	0110	0110
+5	0101	0101	0101
+4	0100	0100	0100
+3	0011	0011	0011
+2	0010	0010	0010
+1	0001	0001	0001
+0	0000	0000	0000
-0	—	1111	1000
-1	1111	1110	1001
-2	1110	1101	1010
-3	1101	1100	1011
-4	1100	1011	1100
-5	1011	1010	1101
-6	1010	1001	1110
-7	1001	1000	1111
-8	1000	—	—

Συμπλήρωμα ως προς 1 και 2

The subtraction of two n -digit unsigned numbers $M - N$ in base r can be done as follows:

1. Add the minuend M to the r 's complement of the subtrahend N . Mathematically, $M + (r^n - N) = M - N + r^n$.
2. If $M \geq N$, the sum will produce an end carry r^n , which can be discarded; what is left is the result $M - N$.
3. If $M < N$, the sum does not produce an end carry and is equal to $r^n - (N - M)$, which is the r 's complement of $(N - M)$. To obtain the answer in a familiar form, take the r 's complement of the sum and place a negative sign in front.

Συμπλήρωμα ως προς 1 και 2

Παραδείγματα αφαίρεσης ως προς 2

Given the two binary numbers $X = 1010100$ and $Y = 1000011$, perform the subtraction (a) $X - Y$ and (b) $Y - X$ by using 2's complements.

$$(a) \quad X = 1010100$$

$$2\text{'s complement of } Y = + \underline{0111101}$$

$$\text{Sum} = 10010001$$

$$\text{Discard end carry } 2^7 = - \underline{10000000}$$

$$\text{Answer: } X - Y = 0010001$$

$$(b) \quad Y = 1000011$$

$$2\text{'s complement of } X = + \underline{0101100}$$

$$\text{Sum} = 1101111$$

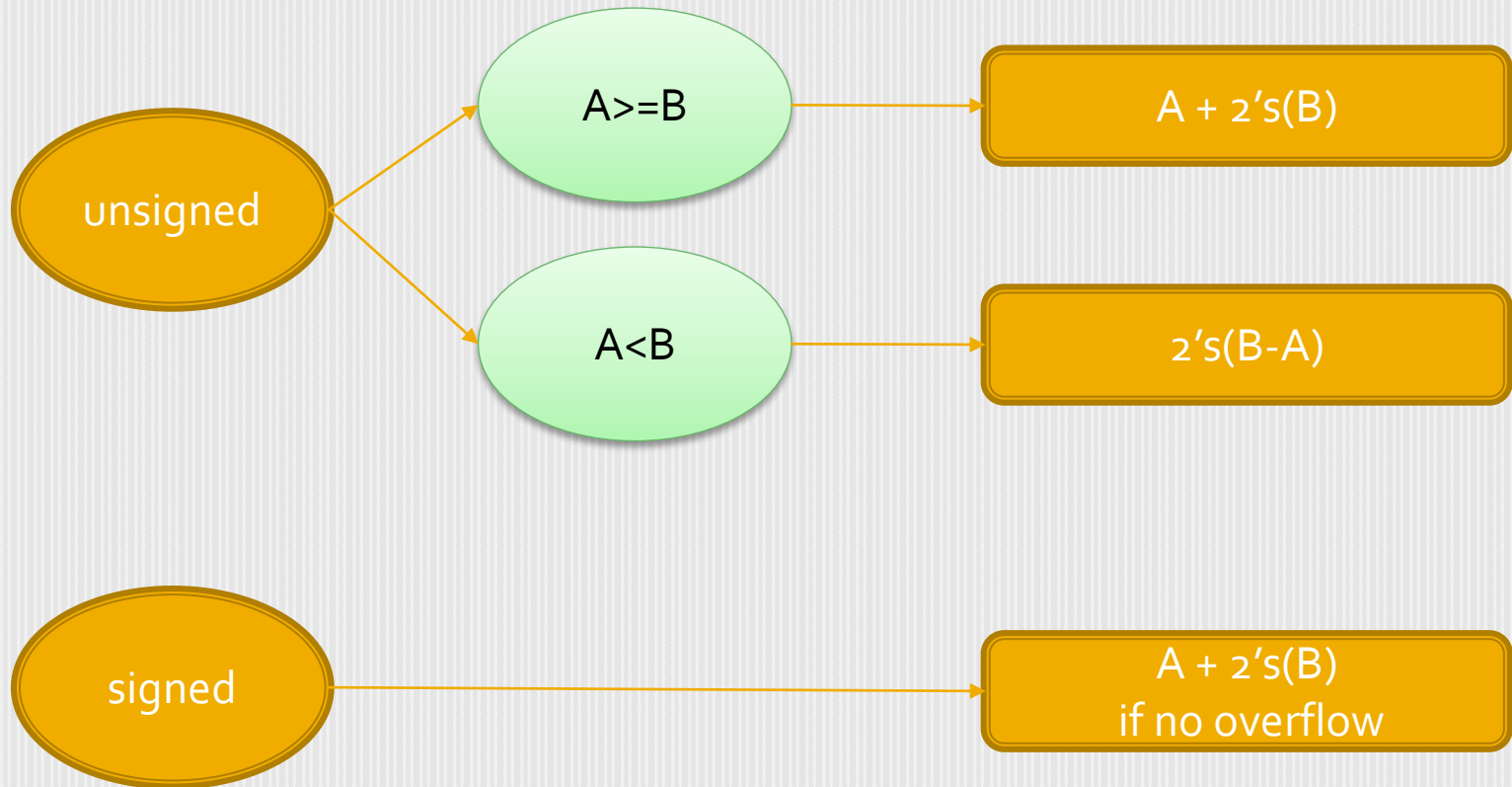
There is no end carry. Therefore, the answer is $Y - X = -(2\text{'s complement of } 1101111) = -0010001$.

Παράδειγμα Υπερχείλισης σε δυαδικούς προσημασμένους αριθμούς των 8-bit

carries:	0	1	carries:	1	0
+70	0	1000110	-70	1	0111010
+80	0	1010000	-80	1	0110000
<hr/>		<hr/>	<hr/>		<hr/>
+150	1	0010110	-150	0	1101010

- Η σύγκριση του τελικού κρατούμενου εξόδου με το 8^ο bit του καταχωρητή μας δείχνει εάν έχουμε υπερχείλιση σε προσημασμένους αριθμούς. Εφόσον διαφέρουν, γεγονός που το εξετάζουμε με μια XOR, έχουμε το φαινόμενο της υπερχείλισης.

Σενάρια αφαίρεσης A-B



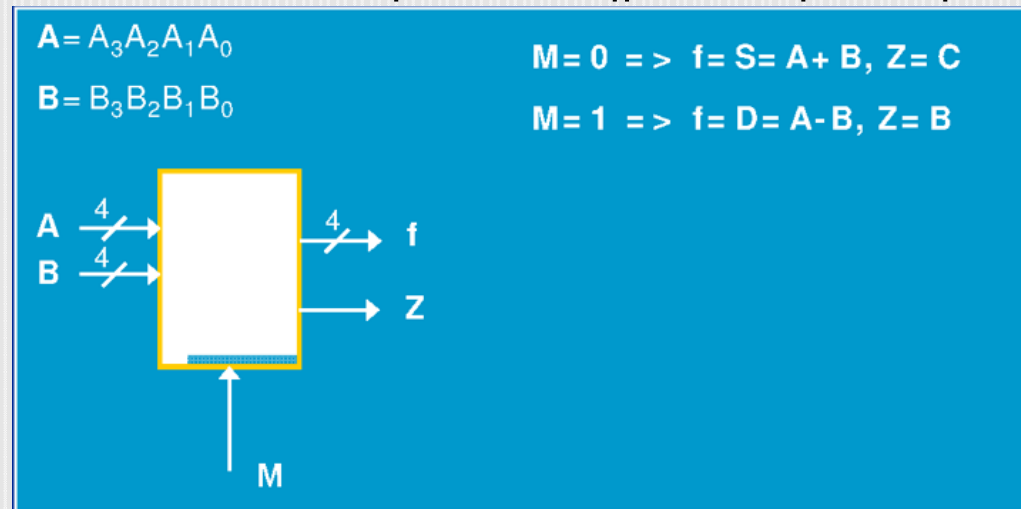
Πρακτική Άσκηση 2

υποχρεωτική υποβολή με αξιολόγηση

Παραδοτέα 2 αρχεία:

1. αρχείο κειμένου με σχήματα (κατά προτίμηση .pdf)
2. αρχείο .circ

1. Να σχεδιαστεί κύκλωμα πλήρους αθροιστή-αφαιρέτη 4-bit με χρήση υποκυκλωμάτων, με τη βοήθεια του υποκυκλώματος πλήρους αθροιστή (1-bit full adder).



2. Να προσομοιωθεί η λειτουργία του για τις πράξεις:
 1011 ± 0101 και 0110 ± 0100
3. Να εξηγήσετε με ποιο μηχανισμό μετατρέπεται από αθροιστής σε αφαιρέτης και το αντίστροφο.
4. Να συμπεριλάβετε στη σχεδίαση και να εξηγήσετε έναν μηχανισμό που να δείχνει πότε έχουμε υπερχείλιση στην περίπτωση των προσημασμένων (signed) αριθμών.

ΤΕΛΟΣ

2^{ου} εργαστηρίου

Ερωτήσεις;