

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
ENGENHARIA DE COMPUTAÇÃO

RAFAEL ZAUPA WATANABE 1941399
GIAN LUCAS DOS REIS 2369095

RELATÓRIO DO LABORATÓRIO 04
SISTEMAS DIGITAIS (SICO5A)

APUCARANA

2022

RAFAEL ZAUPA WATANABE 1941399

GIAN LUCAS DOS REIS 2369095

RELATÓRIO DO LABORATÓRIO 04

SISTEMAS DIGITAIS (SICO5A)

Trabalho apresentado como atividade para avaliação parcial à disciplina de Sistemas Digitais do curso de Engenharia de Computação da Universidade Tecnológica Federal do Paraná.

APUCARANA

2022

RESUMO

Para a construção do relatório a seguir foram utilizados pelos alunos recursos computacionais para simular a estrutura teórica e funcionamento de dispositivos de lógica programável. Para tal, foi utilizado o software de projeto Logisim, onde estão disponíveis as ferramentas necessárias para a simulação dos circuitos a fim de facilitar o entendimento e promover fixação do mesmo. Foram então explorados os funcionamentos referentes a cada tipo de tecnologia estudada e mostrada em sala quanto aos SPLDs, dissertando sobre seus funcionamentos e explicando-os. Ao fim da atividade, após concluída a realização dos exercícios e fixação do conteúdo, concluiu-se o sucesso na absorção dos conceitos.

SUMÁRIO

1 OBJETIVOS E FUNDAMENTOS	4
2 MATERIAIS E EQUIPAMENTOS	5
3 PROCEDIMENTOS E MEDIDAS	6
4 TEORIA E CÁLCULOS	10
5 RESULTADOS E CONCLUSÃO	11

1 OBJETIVOS E FUNDAMENTOS

Os chamados dispositivos lógicos programáveis, ou PLDs, fazem parte de um longo histórico de avanço na tecnologia por parte ambos de hardware e software. Esses dispositivos servem para executar funções lógicas previstas, sendo estas decididas pelo fabricante ou pelo consumidor, mas não no momento de sua produção; dessa maneira, há uma maleabilidade no propósito do componente, permitindo seu uso na função desejada e, em casos específicos, a reprogramação do mesmo caso seja necessário para outra função.

Sua vantagem sobre dispositivos de lógica fixa dá-se principalmente pela menor ocupação de espaço, reprogramabilidade, menor custo e, comumente, melhor desempenho, sendo num geral também comparativamente mais simples.

Os tipos de PLDs vistos incluem simples (SPLDs) e complexos (CPLDs), mas neste relatório são trabalhados apenas dispositivos simples; mais especificamente, os de arranjo lógico programável (PAL) que são compostos de fusíveis cuja queima impede a conexão de entradas indesejadas (tornando-o *one-time programmable*, pois os fusíveis podem ser queimados apenas uma vez e estão então perdidos), e os de arranjo lógico genérico (GAL), que atuam por meio de transistores para que possa ocorrer o controle das entradas quando desejado, tornando o dispositivo reprogramável mesmo depois de ser definida sua função.

Neste relatório, foram estudados exemplos de PALs e GALs para que pudesse ocorrer melhor entendimento de suas funcionalidades diante da relevante presença dos mesmos na indústria, bem como foram realizados exercícios para teorizar simples projetos dos PLDs em questão.

2 MATERIAIS E EQUIPAMENTOS

Foram utilizados apenas recursos computacionais para o aprendizado e prática. Os materiais utilizados seriam, caso fossem construídos:

- 1 SPLD – PAL com 2 variáveis (mais 2 barradas);
- 1 SPLD – GAL com 2 variáveis (mais 2 barradas);
- 1 SPLD – PAL com 3 variáveis (mais 3 barradas);
- 1 SPLD – GAL com 3 variáveis (mais 3 barradas);
- 1 SPLD com quantidade arbitrária de entradas e buffer tri-state;
- 2 SPLD – PAL/GAL com 3 variáveis (mais 3 barradas).

3 PROCEDIMENTOS E MEDIDAS

Os circuitos referentes aos SPLDs já montados (aqui chamados de representativos – figuras 1 e 2) não são de fato funcionais, apenas demonstram a estrutura de seu respectivo tipo de dispositivo. Isso se deve ao fato de que no SPLD - GAL, por exemplo, deve haver queima de fusíveis para que haja seleção de diferentes entradas, e nas figuras fornecidas – cujos circuitos foram pedidos a serem construídos – mostram todos os fusíveis ainda conectados e ligados à mesma entrada. Assumiu-se que estes exemplos são ilustrativos, e exemplos consistentes são posteriormente demonstrados conforme pedido nos exercícios.

Figura 1: Esquemático do SPLD referente à figura 1 do roteiro

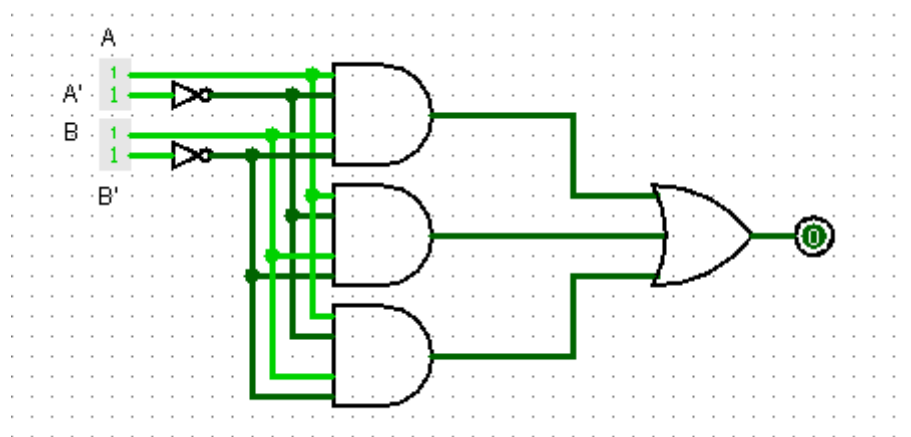


Figura 1 – SPLD - PAL representativo

Figura 2: Lógica do SPLD – PAL pedido no exercício

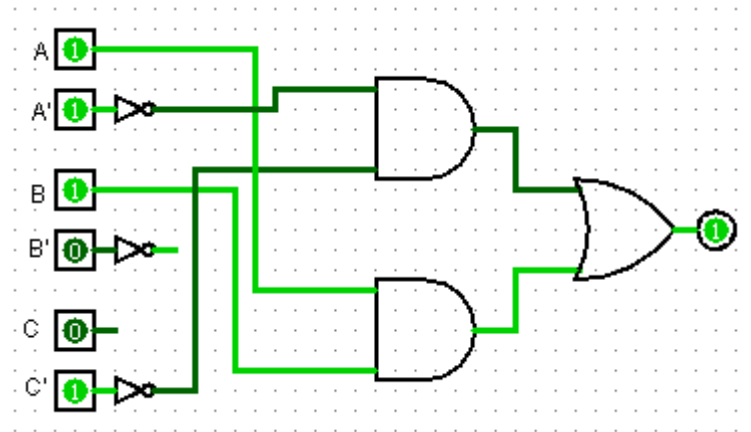


Figura 2 – SPLD – PAL para a equação dada

Figura 3: Esquemático do SPLD referente à figura 3 do roteiro

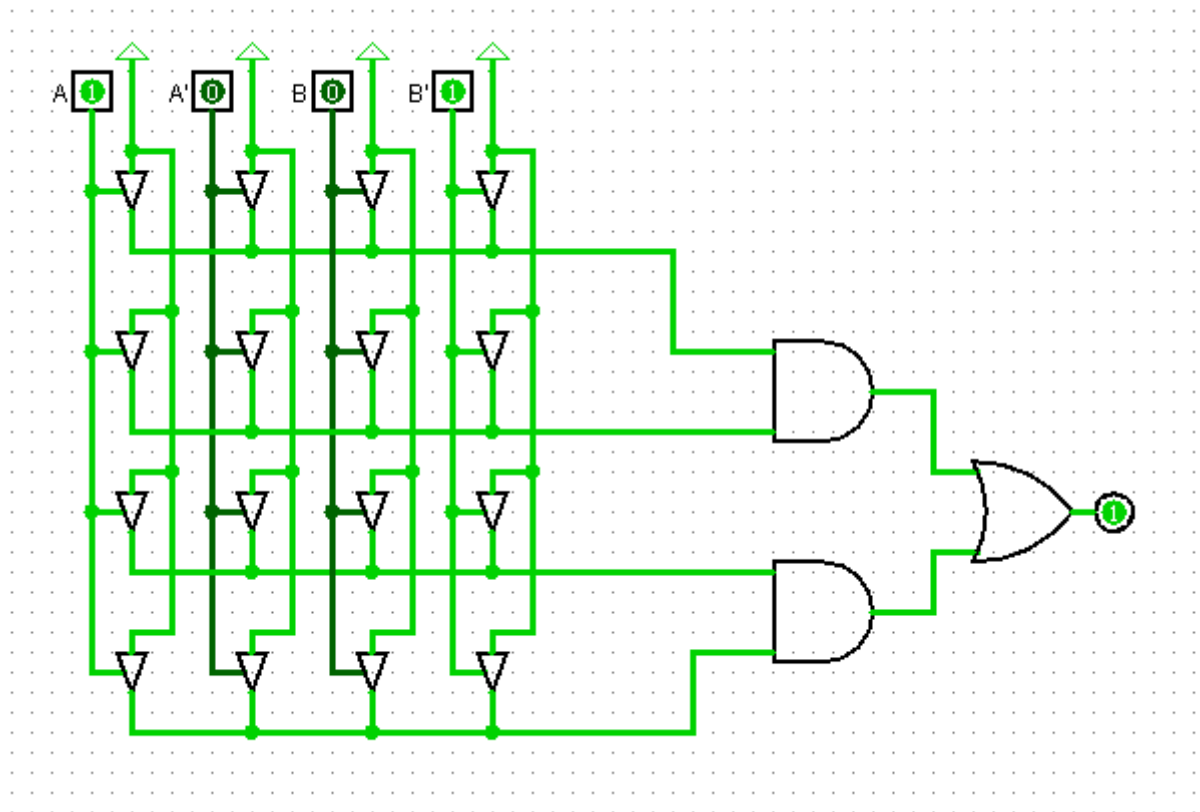


Figura 3 – SPLD - GAL representativo

Figura 4: Lógica do SPLD – GAL pedido no exercício

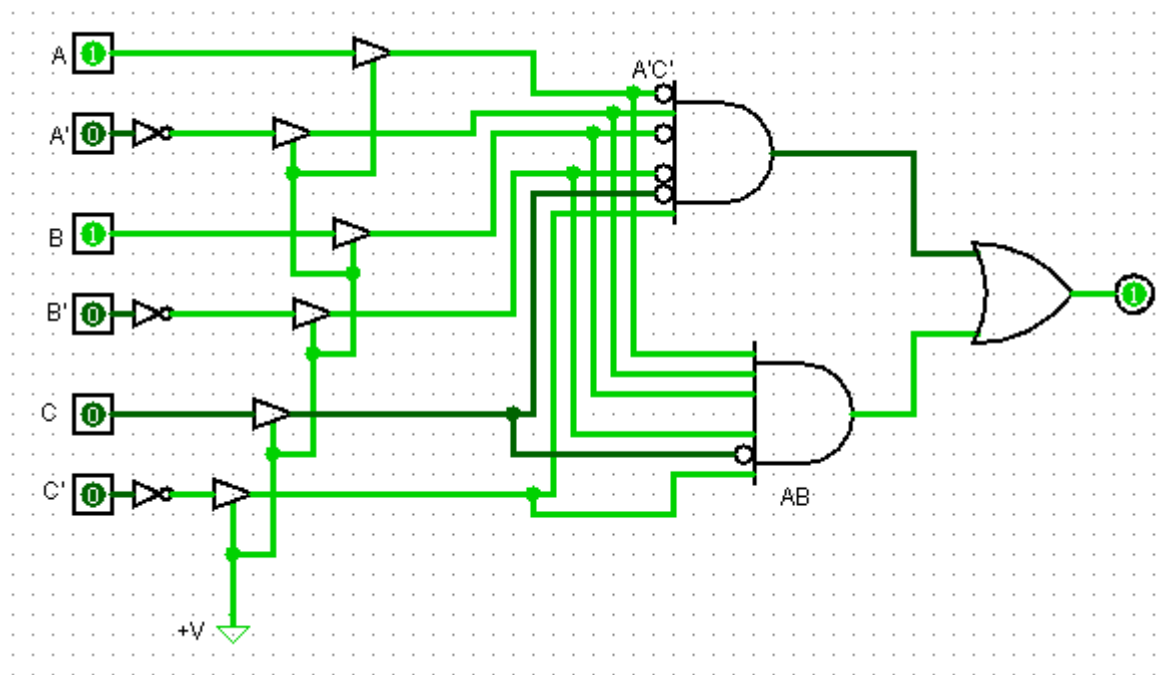


Figura 4 – SPLD – PAL para a equação dada

Figura 5: Esquemático do SPLD referente à figura 4 do roteiro

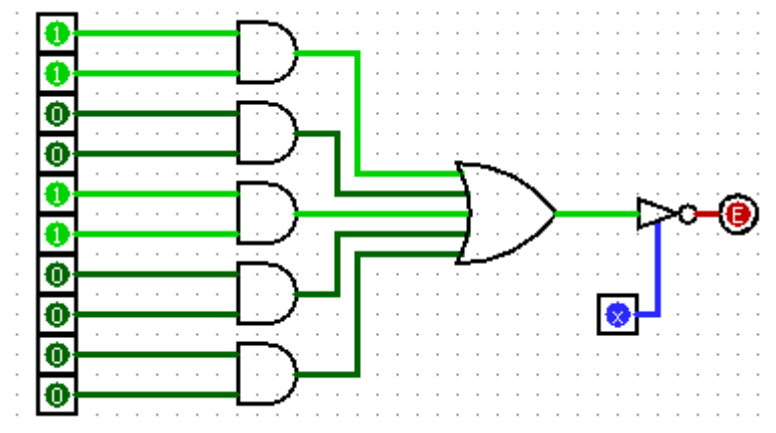


Figura 5 – SPLD com buffer controlado tri-state

Figura 6: Lógica do SPLD - PAL/GAL referente à figura 5 do roteiro

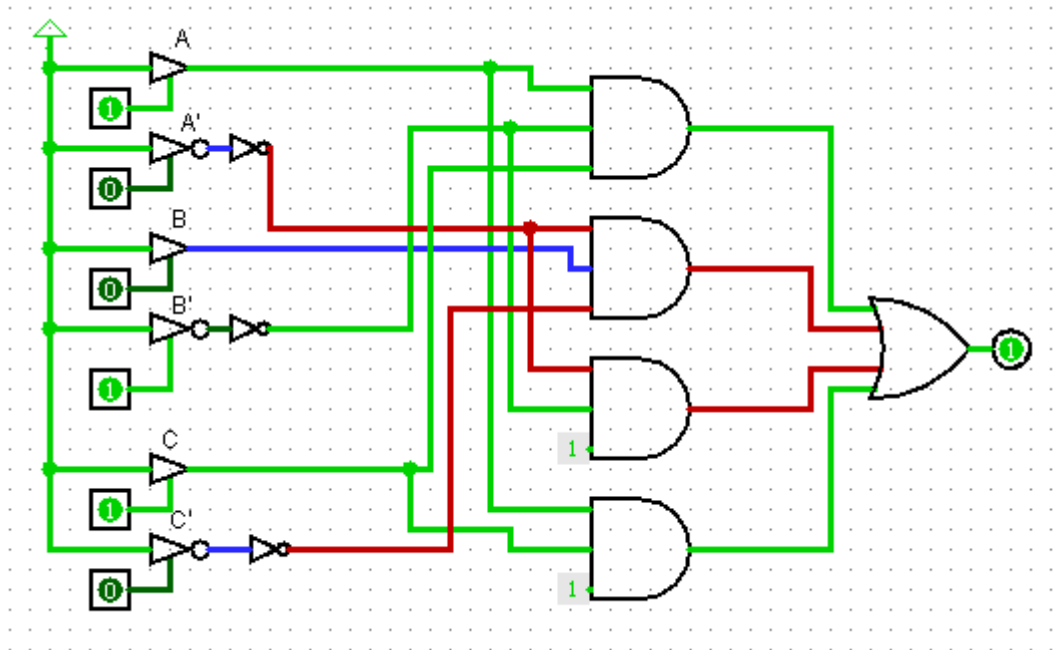


Figura 6 – SPLD – PAL/GAL seguindo a figura do roteiro

Figura 7: Lógica do SPLD – PAL/GAL pedido no exercício

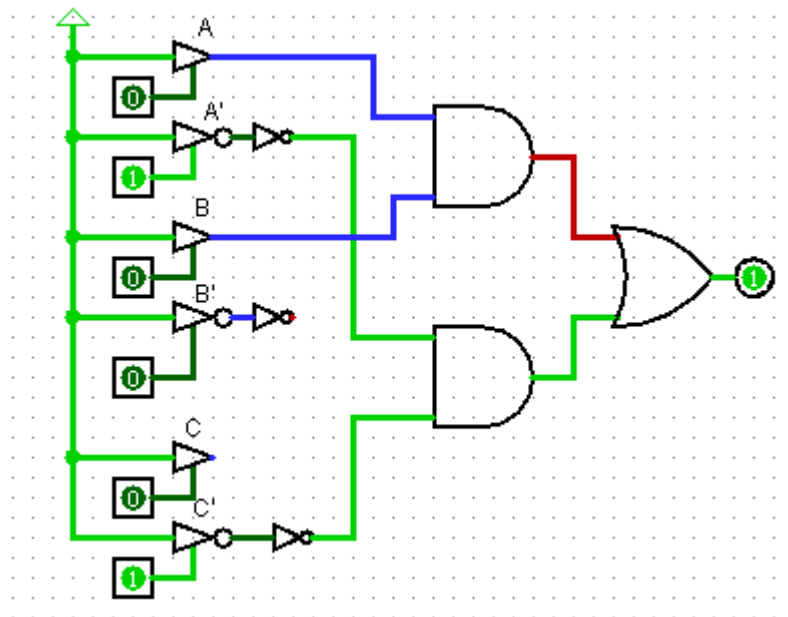


Figura 7 – SPLD – PAL/GAL para a equação dada

4 TEORIA E CÁLCULOS

Os elementos que seriam utilizados na construção do PAL (figura 1) incluem fusíveis que permitiriam a passagem de corrente, ativando as saídas altas conforme desejado pela pessoa a programar o dispositivo, seguindo a lógica de portas OR fixas e AND programáveis: o arranjo é feito por meio da queima dos fusíveis que não resultarão na combinação desejada, possibilitando assim que sobre caminho apenas para a passagem de energia pelos locais desejados; evidentemente, isso só pode ser feito uma vez, visto que os fusíveis queimados são inutilizados. Não foi encontrada a entrada chave/interruptor na versão do Logisim utilizada, então foram utilizadas entradas comuns, que para fim didático obtêm o mesmo efeito.

No caso do GAL (figura 3), há a possibilidade de reprogramação do dispositivo mesmo após uma configuração inicial por parte do programador. Conceitualmente, é semelhante ao PAL, mas usaria transistores ao invés de fusíveis, tornando a reconfiguração uma possibilidade; nas figuras 3 e 4, foram usados buffers controlados para simular a lógica dos transistores, obtendo os mesmos resultados no que se diz respeito aos fins desejados.

Na figura 5, o conceito de tri-state é utilizado. Neste, existem três possibilidades de saída: alta, baixa e de alta impedância; no Logisim, a alta impedância é representada pelo “x” no lugar do valor de uma entrada, essencialmente desconectando-a do circuito.

No caso do PAL/GAL, que é essencialmente a junção de ambos em um circuito no qual as lógicas de ambos interagem, esse método foi utilizado na montagem da figura 6, onde foram utilizadas as lógicas de ambos os tipos de dispositivos estudados, de maneira que o buffer controlado é uma simulação de um transistor, enquanto os fusíveis que iriam de encontro às portas lógicas aos quais não deveriam estar conectados estariam, nesse caso, queimados.

Não foi necessária a realização de cálculos matemáticos durante a construção deste relatório, pois não foram levados em consideração valores de tensão elétrica, corrente, resistência e impedância; na realização dos exercícios, entretanto, foram utilizadas na equação duas simplificações, resultando na soma de produtos

$$S = A'C' + AB$$

devido à alternância de bits entre dois pares da equação original.

5 RESULTADOS E CONCLUSÃO**RAFAEL**

Nesse relatório a prioridade foi a exploração do funcionamento de SPLDs, e a partir do que pôde ser concluído na construção dos exemplos e dos exercícios, foi possível fixação do conteúdo. Embora breve, há certa nuância e a necessidade de compreender o funcionamento de tais dispositivos para contextualizar e fornecer base para o conteúdo seguinte, de FPGAs, e ao exercitar os conceitos ao longo da construção da atividade, tais requisitos foram cumpridos.

5 RESULTADOS E CONCLUSÃO**GIAN**

O principal objetivo do relatório foi a abordagem a respeito dos SPLDs com um engajamento nos exercícios para melhor entendimento aa respeito do conteúdo apresentado. Eu tive que aprender o conteúdo apenas através de vídeos no Youtube e os Slides disponíveis no moodle, porem no final consegui entender o conteúdo para que assim fosse possível a realização das atividades propostas pelo professor.