

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
ENGENHARIA DE COMPUTAÇÃO

GIAN LUCAS DOS REIS 2369095

RELATÓRIO DO LABORATÓRIO 05
SISTEMAS DIGITAIS (SICO5A)

APUCARANA

2022

GIAN LUCAS DOS REIS 2369095

RELATÓRIO DO LABORATÓRIO 05
SISTEMAS DIGITAIS (SICO5A)

Trabalho apresentado como atividade para avaliação parcial à disciplina de Sistemas Digitais do curso de Engenharia de Computação da Universidade Tecnológica Federal do Paraná.

APUCARANA

2022

RESUMO

Para a construção do relatório a seguir foram utilizados pelos alunos recursos computacionais para simular a estrutura teórica e funcionamento de da programação de hardware em VHDL. Para tal, foi utilizado o simulador edaplayground, onde estão disponíveis as ferramentas necessárias para a simulação e execução dos códigos em VHDL, a fim de facilitar o entendimento e promover fixação do mesmo. Foram então explorados as possibilidades em que o VHDL poderia auxiliar os alunos no mercado de trabalho de hardware. Ao fim da atividade, após concluída a realização dos exercícios e fixação do conteúdo, concluiu-se o sucesso na absorção dos conceitos.

SUMÁRIO

1 OBJETIVOS E FUNDAMENTOS	4
2 MATERIAIS E EQUIPAMENTOS	5
3 PROCEDIMENTOS E MEDIDAS	6
4 TEORIA E CÁLCULOS	10
5 RESULTADOS E CONCLUSÃO	11

1 OBJETIVOS E FUNDAMENTOS

VHDL é uma linguagem de descrição de *hardware* usada para descrever o comportamento e estrutura de um sistema digital. A abreviatura VHDL significa *VHSIC Hardware Description Language* sendo que VHSIC significa *Very High Speed Integrated Circuit*. Ou seja, Linguagem de Descrição de *Hardware* de Circuitos Integrados com Altíssima Velocidade. Assim, VHDL é uma descritora de hardware de propósito geral sendo possível ser utilizada para descrever e simular operações de uma ampla variedade de sistema digitais variando em complexidade de algumas portas para uma interconexão de muitos circuitos integrado complexos.

Foi originalmente desenvolvida pela força militar americana para permitir método de uniformidade em sistemas digitais específicos. É padronizada pela IEEE e bastante utilizada industrialmente.

VHDL pode descrever vários níveis de sistemas digitais. Pode descrever o comportamento, fluxo de dados e estrutura. Possui uma metodologia *top-down* de design no qual os sistemas são especificados e testados em alto nível. Depois que o sistema for depurado, o design dele pode ser gradualmente refinado. Isso leva a uma descrição estrutural muito semelhante com a implementação do *hardware* real.

Um detalhe muito importante é que ela tem propriedades suficientes para ser independente tecnologicamente. Ou seja, a mesma linguagem VHDL utilizada para descrever as tecnologias de hoje, poderá descrever as futuras tecnologias pois não é diretamente relacionada a determinada esfera tecnológica, mas sim totalmente independente dela .

Neste relatório, foram estudados exemplos de códigos em vhdl para que pudesse ocorrer melhor entendimento de suas funcionalidades diante da relevante presença dos mesmos na indústria, bem como foram realizados exercícios para fixação do conteúdo.

2 MATERIAIS E EQUIPAMENTOS

Foram utilizados apenas recursos computacionais para o aprendizado e prática.

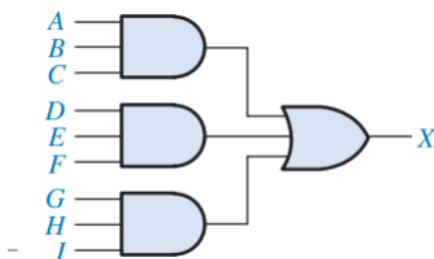
3 PROCEDIMENTOS E MEDIDAS

No primeiro exercício, foi apresentado um display de 7 segmentos, e em seguida foi disponibilizado a equação lógica em formato VHDL, assim sendo pedido para o aluno emular o seguinte código no simulador edaplayground:

```
entity SEGLOGIC is
    port (A, B, C: in bit; SEGa: out bit);
end entity SEGLOGIC;
architecture LogicFunction of
    SEGLOGIC is
begin
    SEGa <= (A and C) or (not A
            and not C) or B or D;
end architecture LogicFunction;
```

Já no próximo exercício, foi pedido para o aluno reprisar a figura 3:

Figura 3 – Circuito Lógico



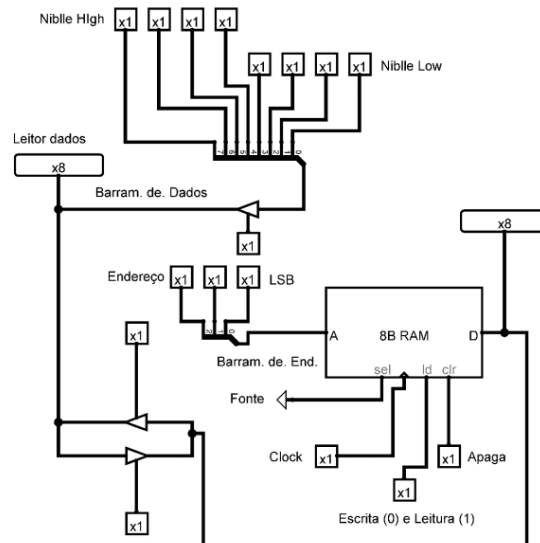
```
entity SEGLOGIC is
    port(A,B,C: in; Y: out);
end entity SEGLOGIC;

architecture LogicFunction of
    SEGLOGIC is
begin
    Y <= ( A and not B and C ) or ( not A and not B and C ) or ( A and not B and not C )
    or ( not A and B and C );
end architecture LogicFunction;
```

E em sequencia para finalizar, foi pedido para analisar o seguinte circuito logico de uma memória RAM:

Figura 5 – Memória RAM.

Informação de bits (Hexadecimal)



E explicar o código em VHDL, o qual foi disponibilizado pelo professor no moodle em um arquivo .txt, segue abaixo o código:

```
library ieee;
use ieee.std_logic_1164.all;
ENTITY shift_register IS
port
(
    sys_clk : in std_logic;
    sys_rst : in std_logic;
    dado_entrada : in std_logic;
-- Random Access Memory (RAM) with
-- 1 read/write port
```

```
LIBRARY IEEE;
    USE IEEE.STD_LOGIC_1164.ALL;
    USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
-- RAM entity
ENTITY RAM IS
  PORT(
    DATAIN : IN STD_LOGIC_VECTOR(7 DOWNT0 0);
    ADDRESS : IN STD_LOGIC_VECTOR(7 DOWNT0 0);
    -- Write when 0, Read when 1
    W_R : IN STD_LOGIC;
    DATAOUT : OUT STD_LOGIC_VECTOR(7 DOWNT0 0)
  );
END ENTITY;
```

-- RAM architecture
ARCHITECTURE BEV OF RAM IS

```
TYPE MEM IS ARRAY (255 DOWNTO 0) OF STD_LOGIC_VECTOR(7 DOWNTO 0);
```

SIGNAL MEMORY : MEM;
SIGNAL ADDR : INTEGER RANGE 0 TO 255;

BEGIN


```

PROCESS(ADDRESS, DATAIN, W_R)
BEGIN

    ADDR<=CONV_INTEGER(ADDRESS);
    IF(W_R='0')THEN
        MEMORY(ADDR)<=DATAIN;
    ELSIF(W_R='1')THEN
        DATAOUT<=MEMORY(ADDR);
    ELSE
        DATAOUT<="ZZZZZZZZ";
    END IF;
END PROCESS;

END BEV;

```

4 TEORIA E CÁLCULOS

Explicando o primeiro exercício, foi criada a entidade SEGLOGIC para declarar os sinais de entrada A, B,C e o sinal de saída SEGa, após isso a entidade foi encerrada.

Em seguida foi declarada a arquitetura LogicFunction utilizando a entity SELOGIC, assim trazendo as entradas e saídas presentes na entidade, assim colocando begin para inicializar o código que será escrito dentro da arquitetura LogicFunction.

Dentro da arquitetura foi declarado que a saída SEGa recebe um and entre A e C, um and entre not A e not C, B e D, e tudo isso com or entre eles. Traduzindo ficaria assim a equação $D + B + AC + \sim A \sim C$.

Após as declarações dos sinais de entradas e saída com a utilização de componentes instanciais, a arquitetura é encerrada com end architecture LogicFunction.

TestBench é um modulo VHDL que Instancia os módulos a serem testados, injeta sinais de entradas nos módulos em teste e verifica se a saída dos módulos são as esperadas.

5 RESULTADOS E CONCLUSÃO

GIAN

O principal objetivo do relatório foi a abordagem a respeito do VHDL com um engajamento nos exercícios para melhor entendimento aa respeito do conteúdo apresentado. Eu por conta de estar em semana de provas e problemas pessoais, infelizmente não consegui completar o relatório, então estou mandando o que foi possível para min.