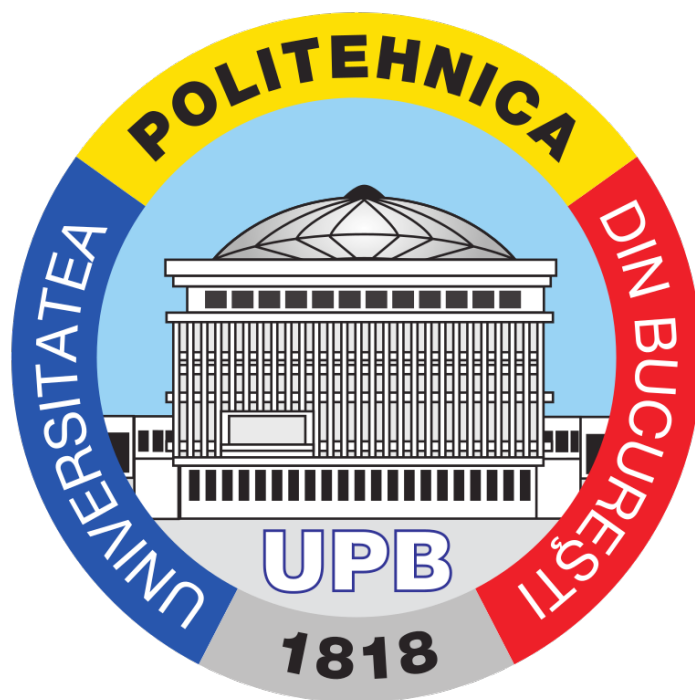


## Tema 2

Olaru Gabriel Iulian

- 324CC-



**Date.**

grupa = 324CC

m=16

$V_{DD}=12V$

$V_i=7V$

$t_{r\ min} = 15 + m = 31nS$

$t_{f\ min} = 20 + m = 36nS$

$t_{HD; STA\ min} = 20 + 4m = 84nS$

$t_{HD; DAT\ min} = 50 + 4m = 114nS$

$t_{HIGH\ min} = 300nS$

$t_{LOW\ min} = 600nS$

## I.

Avand in vedere specificatia protocolului de comunicatie I2C, vom defini conditia de START ca fiind o tranzitie din HIGH in LOW a liniei SDA, atata timp cat linia este HIGH. Vom defini conditia de STOP cu o tranzitie din LOW pe HIGH a liniei SDA, atata timp cat linia SCL este pe HIGH.

Linia SDA trebuie sa ramana constanta atata timp cat SCL este pe high pentru a transmite un bit.

$t_{HD; DAT}$  reprezinta timpul in care linia SDA trebuie sa isi pastreze valoarea dupa ce linia SCL va trece in LOW.

$t_{HD; STA}$  reprezinta timpul de tranzitie in LOW a liniei SDA si iesirea din starea HIGH a liniei SCL, pentru aparitia unei conditii de START.

Avand in vedere conditiile impuse asupra liniei SDA si faptul ca

$t_{HD; STA}, t_{HD; DAT}, t_r, t_f \ll t_{LOW} t_{HIGH}$ , perioada de caeas nu este influentata de  $t_{HD; STA} t_{HD; DAT}$

Astfel, vom avea:

$$f_{scl} = \frac{1}{t_{low} + t_{high} + t_r + t_f} = \text{frecventa de deas a protocolului I 2C}$$

Inlocuind timpii cu valorile minime se va optine frecventa maxima.

$$f_{scl \max} = \frac{1}{600 + 300 + 31 + 36} = \frac{1}{967} = 1034 \text{ MHz}$$

## II.

Deoarece poarta CMOS este ideala, nu are timp de propagare. Pragul logic se va situa la 6V pentru ca alimentarea acestuia se face la 12V.

6V reprezinta 85,7% din amplitudinea semnalului SCL. Considerand cresterea semnalului SCL ca fiind liniara si stiind ca  $t_r$  este intervalul de timp in care semnalul SCL se situeaza intre pragurile de 30% si 70% putem calcula timpul de crestere astfel:

$$40\% \dots t_r$$

$$85,7\% \dots t_{r\text{ GATE}}$$

---

$$\Rightarrow t_{r\text{ GATE}} = \frac{85,7}{40} t_r = 66,4175 \text{ nS}$$

$$40\% \dots t_f$$

$$14,3\% \dots t_{f\text{ GATE}}$$

---

$$\Rightarrow t_{f\text{ GATE}} = \frac{14,3}{40} t_r = 11,0825 \text{ nS}$$

Astfel, vom avea:

$$f_{scl\text{ max}} = \frac{1}{t_{low} + t_{high} + t_{r\text{ gate}} + t_{f\text{ gate}}} = \frac{1}{600 + 300 + 66,41 + 11,09} = \frac{1}{977,5} = 1,023 \text{ MHz}$$