

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Общие сведения

Аналого-цифровые преобразователи (АЦП) являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки микропроцессорами и другими цифровыми устройствами.

Принципиально не исключена возможность непосредственного преобразования различных физических величин в цифровую форму, однако эту задачу удастся решить лишь в редких случаях из-за сложности таких преобразователей. Поэтому в настоящее время наиболее рациональным признается способ преобразования различных по физической природе величин сначала в функционально связанные с ними электрические, а затем уже с помощью преобразователей напряжение-код - в цифровые. Именно эти преобразователи имеют обычно в виду, когда говорят об АЦП.

Процедура аналого-цифрового преобразования непрерывных сигналов, которую реализуют с помощью АЦП, представляет собой преобразование непрерывной функции времени $U(t)$, описывающей исходный сигнал, в последовательность чисел $\{U'(t_j)\}$, $j=0,1,2,\dots$, отнесенных к некоторым фиксированным моментам времени. Эту процедуру можно разделить на две самостоятельные операции. Первая из них называется дискретизацией и состоит в преобразовании непрерывной функции времени $U(t)$ в непрерывную последовательность $\{U(t_j)\}$. Вторая называется квантованием и состоит в преобразовании непрерывной последовательности в дискретную $\{U'(t_j)\}$.

В основе дискретизации непрерывных сигналов лежит принципиальная возможность представления их в виде взвешенных сумм

$$U(t) = \sum_j a_j f_j(t) \quad (1)$$

где a_j - некоторые коэффициенты или отсчеты, характеризующие исходный сигнал в дискретные моменты времени; $f_j(t)$ - набор элементарных функций, используемых при восстановлении сигнала по его отсчетам.

Наиболее распространенной формой дискретизации является равномерная, в основе которой лежит теорема отсчетов. Согласно этой теореме в качестве коэффициентов a_j следует использовать мгновенные значения сигнала $U(t_j)$ в дискретные моменты времени $t_j = j\Delta t$, а период дискретизации выбирать из условия

$$\Delta t = 1/2F_m, \quad (2)$$

где F_m - максимальная частота спектра преобразуемого сигнала. При этом выражение (1) переходит в известное выражение теоремы отсчетов

$$U(t) = \sum_{j=-\infty}^{\infty} U(j\Delta t) \frac{\sin[2\pi F_m(t - j\Delta t)]}{2\pi F_m(t - j\Delta t)} \quad (3)$$

Для сигналов со строго ограниченным спектром это выражение является тождеством. Однако спектры реальных сигналов стремятся к нулю лишь асимптотически. Применение равномерной дискретизации к таким сигналам приводит к возникновению в системах обработки информации специфических высокочастотных искажений, обусловленных выборкой. Для уменьшения этих искажений необходимо либо увеличивать частоту дискретизации, либо использовать перед АЦП

дополнительный фильтр нижних частот, ограничивающий спектр исходного сигнала перед его аналого-цифровым преобразованием.

В общем случае выбор частоты дискретизации будет зависеть также от используемого в (1) вида функции $f_j(t)$ и допустимого уровня погрешностей, возникающих при восстановлении исходного сигнала по его отсчетам. Все это следует принимать во внимание при выборе частоты дискретизации, которая определяет требуемое быстродействие АЦП. Часто этот параметр задают разработчику АЦП.

Рассмотрим более подробно место АЦП при выполнении операции дискретизации.

Для достаточно узкополосных сигналов операцию дискретизации можно выполнять с помощью самих АЦП и совмещать таким образом с операцией квантования. Основной закономерностью такой дискретизации является то, что за счет конечного времени одного преобразования и неопределенности момента его окончания, зависящего в общем случае от параметров входного сигнала, не удастся получить однозначного соответствия между значениями отсчетов и моментами времени, к которым их следует отнести. В результате при работе с изменяющимися во времени сигналами возникают специфические погрешности, динамические по своей природе, для оценки которых вводят понятие *апертурной неопределенности*, характеризующейся обычно апертурным временем.

Апертурным временем t_a называют время, в течение которого сохраняется неопределенность между значением выборки и временем, к которому она относится. Эффект апертурной неопределенности проявляется либо как погрешность мгновенного значения сигнала при заданных моментах измерения, либо как погрешность момента времени, в который производится измерение при заданном мгновенном значении сигнала. При равномерной дискретизации следствием апертурной неопределенности является возникновение амплитудных погрешностей, которые называются апертурными и численно равны приращению сигнала в течение апертурного времени.

Если использовать другую интерпретацию эффекта апертурной неопределенности, то ее наличие приводит к "дрожанию" истинных моментов времени, в которые берутся отсчеты сигнала, по отношению к равноотстоящим на оси времени моментам. В результате вместо равномерной дискретизации со строго постоянным периодом осуществляется дискретизация с флюктуирующим периодом повторения, что приводит к нарушению условий теоремы отсчетов и появлению уже рассмотренных апертурных погрешностей в системах цифровой обработки информации.

Такое значение апертурной погрешности можно определить, разложив выражение для исходного сигнала в ряд Тейлора в окрестностях точек отсчета, которое для j -й точки имеет вид

$$U(t) = U(t_j) + t_a U'(t_j) + \frac{t_a^2}{2} U''(t_j) + \dots$$

и дает в первом приближении апертурную погрешность

$$\Delta U_a(t_j) \approx t_a U'(t_j), \quad (4)$$

где t_a - апертурное время, которое для рассматриваемого случая является в первом приближении временем преобразования АЦП.

Обычно для оценки апертурных погрешностей используют синусоидальный испытательный сигнал $U(t) = U_m \sin \omega t$, для которого максимальное относительное значение апертурной погрешности

$$\Delta U_a / U_m = \omega t_a.$$

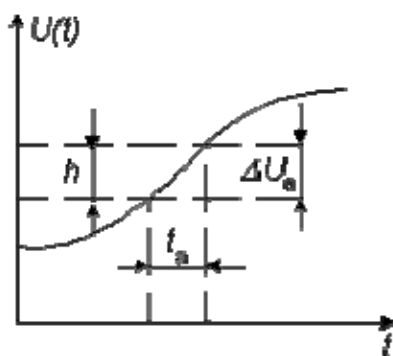


Рис. 1. Образование апертурной погрешности для случая, когда она равна шагу квантования

Если принять, что для N-разрядного АЦП с разрешением 2^{-N} апертурная погрешность не должна превышать шага квантования (рис. 1), то между частотой сигнала ω , апертурным временем t_a и относительной апертурной погрешностью имеет место соотношение

$$1/2^N = \omega t_a$$

Для обеспечения дискретизации синусоидального сигнала частотой 100 кГц с погрешностью 1% время преобразования АЦП должно быть равно 25 нс. В то же время с помощью такого быстродействующего АЦП принципиально можно дискретизировать сигналы, имеющие ширину спектра порядка 20 МГц. Таким образом, дискретизация с помощью самого АЦП приводит к существенному расхождению требований между быстродействием АЦП и периодом дискретизации. Это расхождение достигает 2...3 порядков и сильно усложняет и удорожает процесс дискретизации, так как даже для сравнительно узкополосных сигналов требует весьма быстродействующих АЦП. Для достаточно широкого класса быстро изменяющихся сигналов эту проблему решают с помощью устройств выборки-хранения, имеющих малое апертурное время.



Рис. 2. Классификация АЦП

В настоящее время известно большое число методов преобразования напряжение-код. Эти методы существенно отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На рис. 2 представлена классификация АЦП по методам преобразования.

В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования. Они могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной процедур приближения цифрового эквивалента к преобразуемой величине.

Параллельные АЦП

АЦП этого типа осуществляют квантование сигнала одновременно с помощью набора компараторов, включенных параллельно источнику входного сигнала. На рис. 3 показана реализация параллельного метода АЦ-преобразования для 3-разрядного числа.

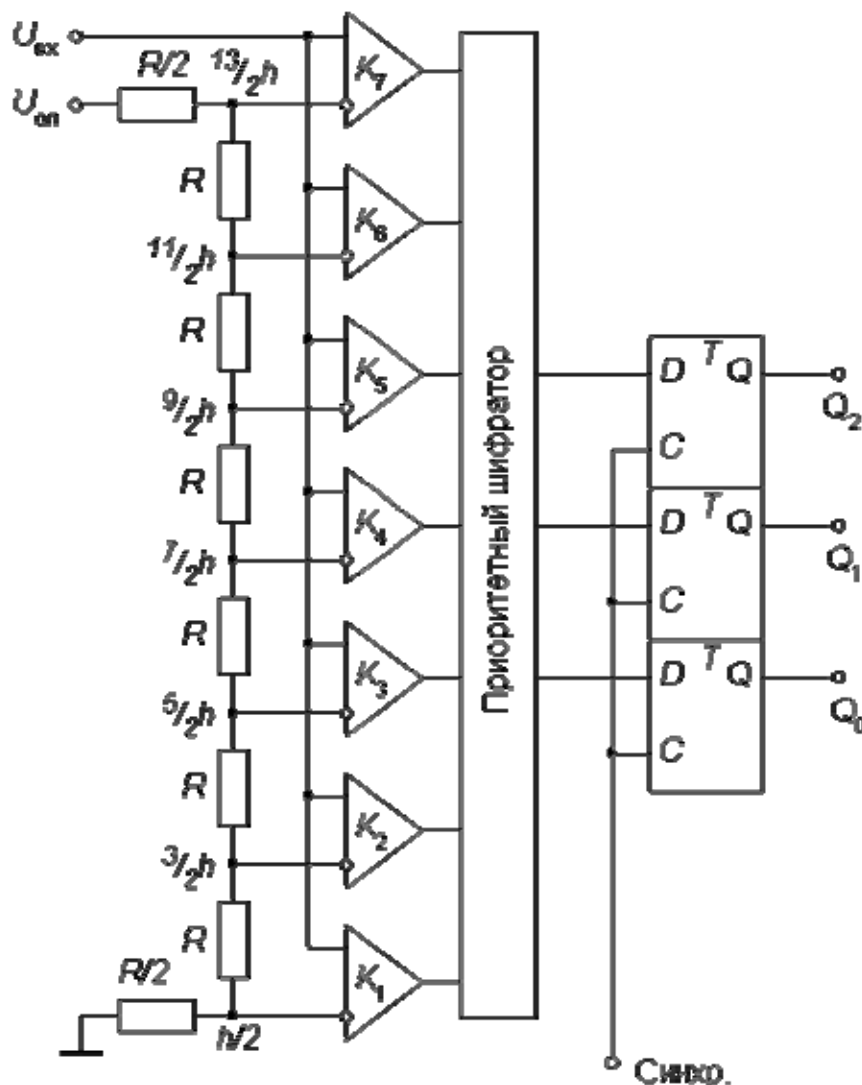


Рис. 3. Схема параллельного АЦП

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих эквидистантных опорных напряжений образуются с помощью резистивного делителя.

Если приложенное входное напряжение не выходит за пределы диапазона от $\frac{5}{2}h$ до $\frac{7}{2}h$, где $h=U_{\text{он}}/7$ - квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние 1, а компараторы с 4-го по 7-й - в состояние 0. Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором, диаграмма состояний которого приведена в табл.1.

Таблица 1

Входное напряжение	Состояние компараторов							Выходы		
$U_{вх}/h$	K_7	K_6	K_5	K_4	K_3	K_2	K_1	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Подключение приоритетного шифратора непосредственно к выходу АЦП может привести к ошибочному результату при считывании выходного кода. Рассмотрим, например переход от трех к четырем, или в двоичном коде от 011 к 100. Если старший разряд вследствие меньшего времени задержки изменит свое состояние раньше других разрядов, то временно на выходе возникнет число 111, т.е. семь. Величина ошибки в этом случае составит половину измеряемого диапазона.

Так как результаты АЦ-преобразования записываются, как правило, в запоминающее устройство, существует вероятность получить полностью неверную величину. Решить эту проблему можно, например, с помощью устройства выборки-хранения (УВХ). Некоторые интегральные микросхемы (ИМС) параллельных АЦП, например MAX100, снабжаются сверхскоростными УВХ, имеющими время выборки порядка 0,1 нс. Другой путь состоит в использовании кода Грея, характерной особенностью которого является изменение только одной кодовой позиции при переходе от одного кодового значения к другому. Наконец, в некоторых АЦП (например, MAX1151) для снижения вероятности сбоев при параллельном АЦ-преобразовании используется двухтактный цикл, когда сначала состояния выходов компараторов фиксируются, а затем, после установления состояния приоритетного шифратора, подачей активного фронта на синхровход выходного регистра в него записывают выходное слово АЦП.

Как видно из табл. 1, при увеличении входного сигнала компараторы устанавливаются в состояние 1 по очереди - снизу вверх. Такая очередность не гарантируется при быстром нарастании входного сигнала, так как из-за различия во временах задержки компараторы могут переключаться в другом порядке. Приоритетное кодирование позволяет избежать ошибки, возможной в этом случае, благодаря тому, что единицы в младших разрядах не принимаются во внимание приоритетным шифратором.

Благодаря одновременной работе компараторов параллельный АЦП является самым быстрым. Например, восьмиразрядный преобразователь типа MAX104 позволяет получить 1 млрд отсчетов в секунду при времени задержки прохождения сигнала не более 1,2 нс. Недостатком этой схемы является высокая сложность. Действительно, N-разрядный параллельный АЦП содержит 2^{N-1} компараторов и 2N согласованных резисторов. Следствием этого является высокая стоимость (сотни долларов США) и значительная потребляемая мощность. Тот же MAX104, например, потребляет около 4 Вт.

Последовательно-параллельные АЦП

Последовательно-параллельные АЦП являются компромиссом между стремлением получить высокое быстродействие и желанием сделать это по возможности меньшей ценой. Последовательно-параллельные АЦП занимают промежуточное положение по разрешающей способности и быстродействию между параллельными АЦП и АЦП последовательного приближения. Последовательно-параллельные АЦП подразделяют на многоступенчатые, многотактные и конвейерные.

Многоступенчатые АЦП

В многоступенчатом АЦП процесс преобразования входного сигнала разделен в пространстве. В качестве примера на рис. 4 представлена схема двухступенчатого 8-разрядного АЦП.

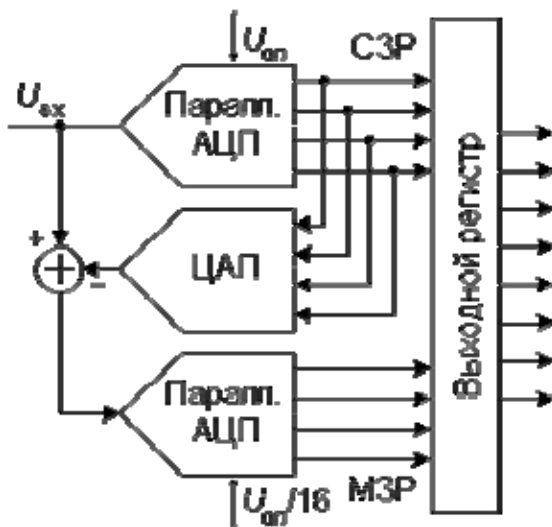


Рис. 4. Структурная схема двухступенчатого АЦП

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Во многих ИМС многоступенчатых АЦП (AD9042, AD9070 и др.) этот ЦАП выполнен по схеме суммирования токов на дифференциальных переключателях, но некоторые (AD775, AD9040A и др.) содержат ЦАП с суммированием напряжений. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2, опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие, квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требованиях к точности: у АЦП1 точность должна быть такой же как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного.

Грубо приближенная и точная величины должны, естественно, соответствовать одному и тому же входному напряжению $U_{вх}(t_j)$. Из-за наличия задержки сигнала в первой ступени возникает, однако, временное запаздывание. Поэтому при использовании этого способа входное напряжение необходимо поддерживать постоянным с помощью устройства выборки-хранения до тех пор, пока не будет получено все число.

Многотактные последовательно-параллельные АЦП

Рассмотрим пример 8-разрядного последовательно-параллельного АЦП, относящегося к типу многотактных (рис. 5). Здесь процесс преобразования разделен во времени.

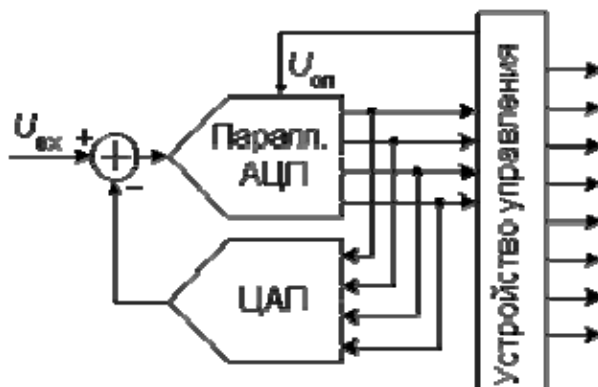


Рис. 5. Структурная схема двухтактного АЦП

Преобразователь состоит из 4-разрядного параллельного АЦП, квант h которого определяется величиной опорного напряжения, 4-разрядного ЦАП и устройства управления. Если максимальный входной сигнал равен 2,56 В, то в первом такте преобразователь работает с шагом квантования $h_1=0,16$ В. В это время входной код ЦАП равен нулю. Устройство управления пересылает полученное от АЦП в первом такте слово в четыре старших разряда выходного регистра, подает это слово на вход ЦАП и уменьшает в 16 раз опорное напряжение АЦП. Таким образом, во втором такте шаг квантования $h_2=0,01$ В и остаток, образовавшийся при вычитании из входного напряжения схемы выходного напряжения ЦАП, будет преобразован в младший полубайт выходного слова.

Очевидно, что используемые в этой схеме 4-разрядные АЦП и ЦАП должны обладать 8-разрядной точностью, в противном случае возможен пропуск кодов, т.е. при монотонном нарастании входного напряжения выходной код АЦП не будет принимать некоторые значения из своей шкалы. Так же, как и в предыдущем преобразователе, входное напряжение многотактного АЦП во время преобразования должно быть неизменным, для чего между его входом и источником входного сигнала следует включить устройство выборки-хранения.

Быстродействие рассмотренного многотактного АЦП определяется полным временем преобразования 4-разрядного АЦП, временем срабатывания цифровых схем управления, временем установления ЦАП с погрешностью, не превышающей 0,2...0,3 кванта 8-разрядного АЦП, причем время преобразования АЦП входит в общее время преобразования дважды. В результате при прочих равных условиях преобразователь такого типа оказывается медленнее двухступенчатого преобразователя, рассмотренного выше. Однако он проще и дешевле. По быстродействию многотактные АЦП занимают промежуточное положение между многоступенчатыми АЦП и АЦП последовательного приближения. Примерами многотактных АЦП являются трехтактный 12-разрядный AD7886 со временем преобразования 1 мкс, или трехтактный 16-разрядный AD1382 со временем преобразования 2 мкс.

Конвеерные АЦП

Быстродействие многоступенчатого АЦП можно повысить, применив конвеерный принцип многоступенчатой обработки входного сигнала. В обыкновенном многоступенчатом АЦП (рис. 4) вначале происходит формирование старших разрядов выходного слова преобразователем АЦП1, а затем идет период установления выходного сигнала ЦАП. На этом интервале АЦП2 простаивает. На втором этапе во время преобразования остатка преобразователем АЦП2 простаивает АЦП1. Введя элементы задержки аналогового и цифрового сигналов между ступенями преобразователя, получим конвеерный АЦП, схема 8-разрядного варианта которого приведена на рис. 6.

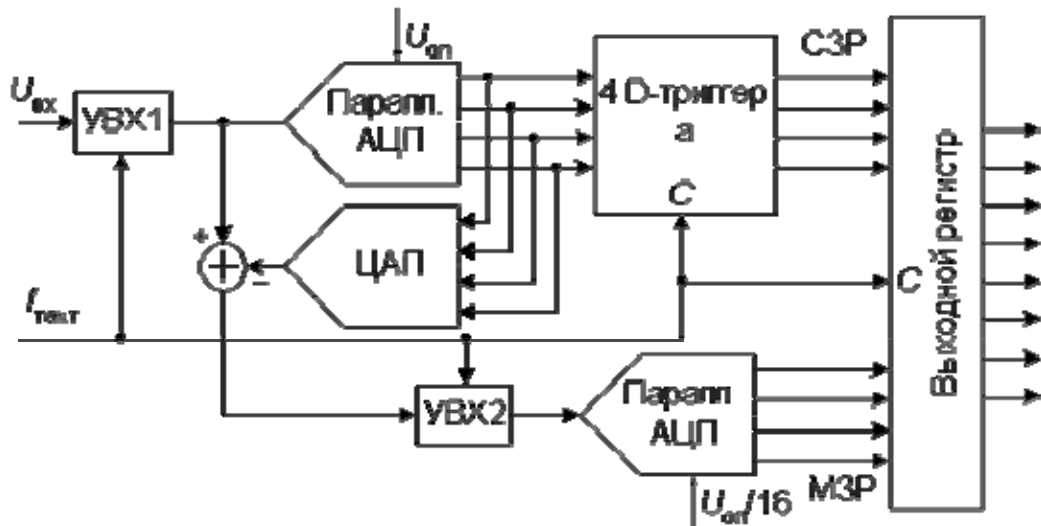


Рис. 6. Структурная схема конвейерного АЦП

Роль аналогового элемента задержки выполняет устройство выборки-хранения УВХ2, а цифрового - четыре D-триггера. Триггеры задерживают передачу старшего полубайта в выходной регистр на один период тактового сигнала CLK.

Сигналы выборки, формируемые из тактового сигнала, поступают на УВХ1 и УВХ2 в разные моменты времени (рис. 7). УВХ2 переводится в режим хранения позже, чем УВХ1 на время, равное суммарной задержке распространения сигнала по АЦП1 и ЦАП. Задний фронт тактового сигнала управляет записью кодов в D-триггеры и выходной регистр. Полная обработка входного сигнала занимает около двух периодов CLK, но частота появления новых значений выходного кода равна частоте тактового сигнала.

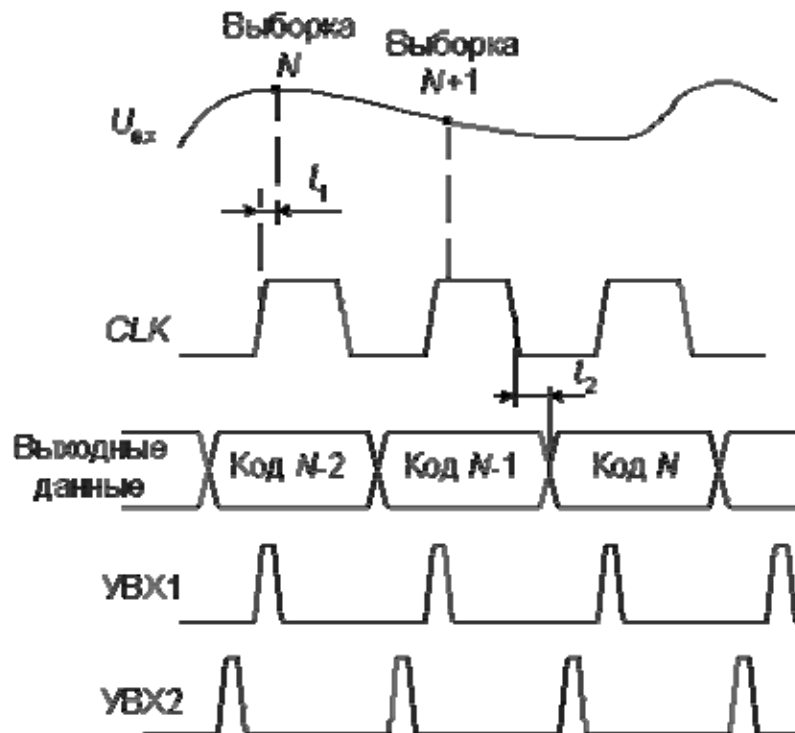


Рис.7. Диаграммы работы конвейерного АЦП

Таким образом, конвейерная архитектура позволяет существенно (в несколько раз) повысить максимальную частоту выборок многоступенчатого АЦП. То, что при этом сохраняется суммарная задержка прохождения сигнала, соответствующая обычному многоступенчатому АЦП с равным числом ступеней, не имеет существенного значения, так как время последующей цифровой обработки этих сигналов все равно многократно превосходит эту задержку. За счет этого можно без проигрыша в быстродействии увеличить число ступеней АЦП, понизив разрядность каждой ступени. В свою очередь, увеличение числа ступеней преобразования уменьшает сложность АЦП. Действительно, например, для построения 12-разрядного АЦП из четырех 3-разрядных необходимо 28 компараторов, тогда как его реализация из двух 6-разрядных потребует 126 компараторов.

Конвейерную архитектуру имеет большое количество выпускаемых в настоящее время многоступенчатых АЦП. В частности, 2-ступенчатый 10-разрядный AD9040A, выполняющий до 40 млн. преобразований в секунду (МПс), 4-ступенчатый 12-разрядный AD9220 (10 МПс), потребляющий всего 250 мВт, и др. При выборе конвейерного АЦП следует иметь в виду, что многие из них не допускают работу с низкой частотой выборок. Например, изготовитель не рекомендует работу ИМС AD9040A с частотой преобразований менее 10 МПс, 3-ступенчатого 12-разрядного AD9022 с частотой менее 2 МПс и т.д. Это вызвано тем, что внутренние УВХ имеют довольно высокую скорость разряда конденсаторов хранения, поэтому работа с большим тактовым периодом приводит к значительному изменению преобразуемого сигнала в ходе преобразования.

Последовательные АЦП

АЦП последовательного счета

Этот преобразователь является типичным примером последовательных АЦП с единичными приближениями и состоит из компаратора, счетчика и ЦАП (рис. 8). На один вход компаратора поступает входной сигнал, а на другой - сигнал обратной связи с ЦАП.

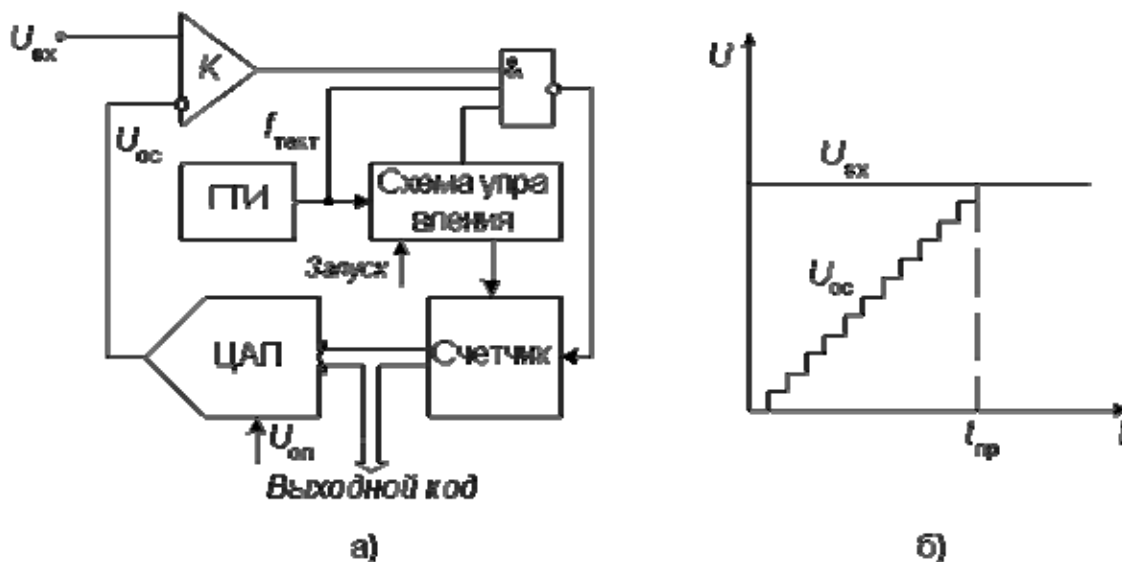


Рис. 8. Структурная схема АЦП последовательного счета

Работа преобразователя начинается с прихода импульса запуска, который включает счетчик, суммирующий число импульсов, поступающих от генератора тактовых импульсов ГТИ. Выходной код счетчика подается на ЦАП, осуществляющий его преобразование в напряжение обратной связи $U_{ос}$. Процесс преобразования продолжается до тех пор, пока напряжение обратной связи сравняется со входным напряжением и переключится компаратор, который своим выходным сигналом прекратит поступление тактовых импульсов на счетчик. Переход выхода компаратора из 1 в 0 означает завершение процесса преобразования. Выходной код, пропорциональный входному напряжению в момент окончания преобразования, считывается с выхода счетчика.

Время преобразования АЦП этого типа является переменным и определяется входным напряжением. Его максимальное значение соответствует максимальному входному напряжению и при разрядности двоичного счетчика N и частоте тактовых импульсов $f_{такт}$ равно

$$t_{пр.макс} = (2^N - 1) / f_{такт}. \quad (5)$$

Например, при $N=10$ и $f_{такт}=1$ МГц $t_{пр.макс}=1024$ мкс, что обеспечивает максимальную частоту выборки порядка 1 кГц.

Статическая погрешность преобразования определяется суммарной статической погрешностью используемых ЦАП и компаратора. Частоту счетных импульсов необходимо выбирать с учетом завершения переходных процессов в них.

При работе без устройства выборки-хранения апертурное время совпадает с временем преобразования. Как следствие, результат преобразования чрезвычайно сильно зависит от пульсаций входного напряжения. При наличии высокочастотных пульсаций среднее значение выходного кода нелинейно зависит от среднего значения входного напряжения. Это означает, что АЦП данного типа без устройства выборки-хранения пригодны для работы с постоянными или

медленно изменяющимися напряжениями, которые за время преобразования изменяются не более, чем на значение кванта преобразования.

Таким образом, особенностью АЦП последовательного счета является небольшая частота дискретизации, достигающая нескольких кГц. Достоинством АЦП данного класса является сравнительная простота построения, определяемая последовательным характером выполнения процесса преобразования.

АЦП последовательного приближения

Преобразователь этого типа, называемый в литературе также АЦП с *поразрядным уравниванием*, является наиболее распространенным вариантом последовательных АЦП.

В основе работы этого класса преобразователей лежит принцип *дихотомии*, т.е. последовательного сравнения измеряемой величины с $1/2$, $1/4$, $1/8$ и т.д. от возможного максимального значения ее. Это позволяет для N-разрядного АЦП последовательного приближения выполнить весь процесс преобразования за N последовательных шагов (итераций) вместо $2^N - 1$ при использовании последовательного счета и получить существенный выигрыш в быстродействии. Так, уже при $N=10$ этот выигрыш достигает 100 раз и позволяет получить с помощью таких АЦП до $10^5 \dots 10^6$ преобразований в секунду. В то же время статическая погрешность этого типа преобразователей, определяемая в основном используемым в нем ЦАП, может быть очень малой, что позволяет реализовать разрешающую способность до 18 двоичных разрядов при частоте выборок до 200 кГц (например, DSP101 фирмы Burr-Brown).

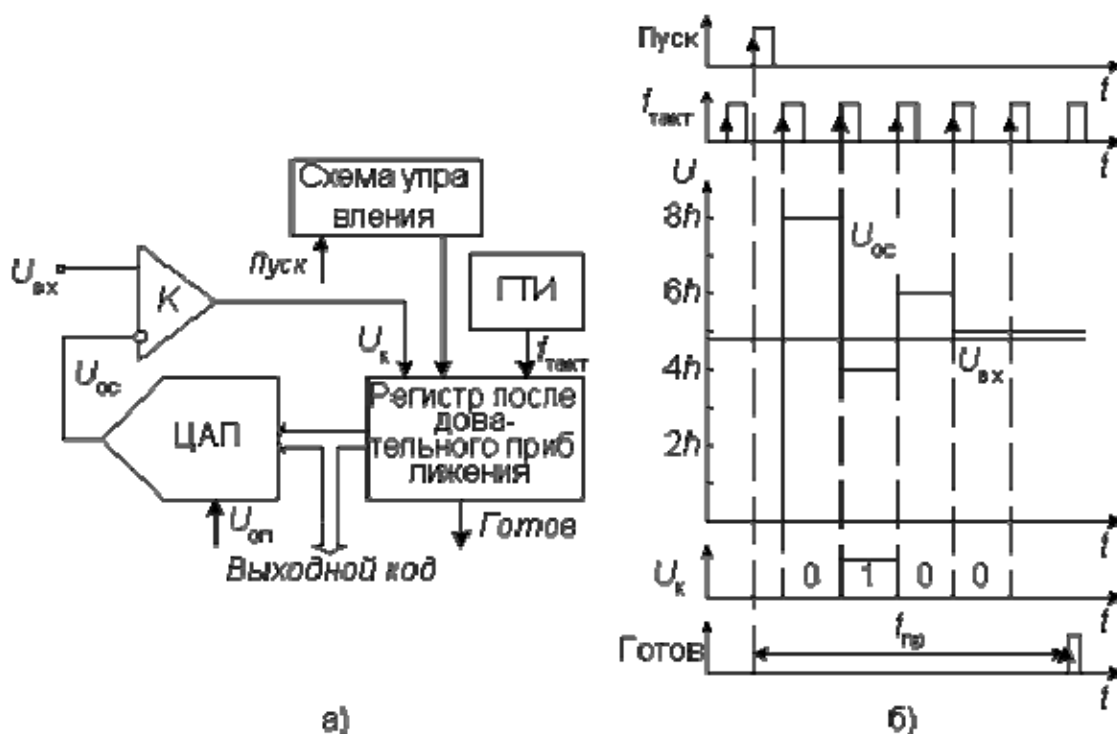


Рис. 9. Структурная схема и временные диаграммы АЦП последовательного приближения

Рассмотрим принципы построения и работы АЦП последовательного приближения на примере классической структуры (рис. 9а) 4-разрядного преобразователя, состоящего из трех основных узлов: компаратора, регистра последовательного приближения (РПП) и ЦАП.

После подачи команды "Пуск" с приходом первого тактового импульса РПП принудительно задает на вход ЦАП код, равный половине его шкалы (для 4-разрядного ЦАП это $1000_2 = 8_{10}$). Благодаря этому напряжение U_{oc} на выходе ЦАП (рис. 9б)

$$U_{oc} = 2^3 h.$$

где h - квант выходного напряжения ЦАП, соответствующий единице младшего разряда (ЕМР). Эта величина составляет половину возможного диапазона преобразуемых сигналов. Если входное напряжение больше, чем эта величина, то на выходе компаратора устанавливается 1, если меньше, то 0. В этом последнем случае схема управления должна переключить старший разряд d_3 обратно в состояние нуля. Непосредственно вслед за этим остаток

$$U_{vx} - d_3 2^3 h$$

таким же образом сравнивается с ближайшим младшим разрядом и т.д. После четырех подобных выравнивающих шагов в регистре последовательного приближения оказывается двоичное число, из которого после цифро-аналогового преобразования получается напряжение, соответствующее U_{vx} с точностью до 1 ЕМР. Выходное число может быть считано с РПП в виде параллельного двоичного кода по N линиям. Кроме того, в процессе преобразования на выходе компаратора, как это видно из рис. 9б, формируется выходное число в виде последовательного кода старшими разрядами вперед.

Быстродействие АЦП данного типа определяется суммой времени установления $t_{уст}$ ЦАП до установившегося значения с погрешностью, не превышающей 0,5 ЕМР, времени переключения компаратора t_k и задержки распространения сигнала в регистре последовательного приближения t_3 . Сумма $t_k + t_3$ является величиной постоянной, а $t_{уст}$ уменьшается с уменьшением веса разряда. Следовательно для определения младших разрядов может быть использована более высокая тактовая частота. При поразрядной вариации $f_{такт}$ возможно уменьшение времени преобразования $t_{пр}$ на 40%. Для этого в состав АЦП может быть включен контроллер.

При работе без устройства выборки-хранения апертурное время равно времени между началом и фактическим окончанием преобразования, которое так же, как и у АЦП последовательного счета, по сути зависит от входного сигнала, т.е. является переменным. Возникающие при этом апертурные погрешности носят также нелинейный характер. Поэтому для эффективного использования АЦП последовательного приближения, между его входом и источником преобразуемого сигнала следует включать УВХ. Большинство выпускаемых в настоящее время ИМС АЦП последовательного приближения (например, 12-разрядный MAX191, 16-разрядный AD7882 и др.), имеет встроенные устройства выборки-хранения или, чаще, устройства слежения-хранения (track-hold), управляемые сигналом запуска АЦП. Устройство слежения-хранения отличается тем, что постоянно находится в режиме выборки, переходя в режим хранения только на время преобразования сигнала.

Данный класс АЦП занимает промежуточное положение по быстродействию, стоимости и разрешающей способности между последовательно-параллельными и интегрирующими АЦП и находит широкое применение в системах управления, контроля и цифровой обработки сигналов.

Интегрирующие АЦП

Недостатком рассмотренных выше последовательных АЦП является низкая помехоустойчивость результатов преобразования. Действительно, выборка мгновенного значения входного напряжения, обычно включает слагаемое в виде мгновенного значения помехи. Впоследствии при цифровой обработке последовательности выборок эта составляющая может быть подавлена, однако на это требуется время и вычислительные ресурсы. В АЦП, рассмотренных ниже, входной сигнал интегрируется либо непрерывно, либо на определенном временном интервале, длительность которого обычно выбирается кратной периоду помехи. Это позволяет во многих случаях подавить помеху еще на этапе преобразования. Платой за это является пониженное быстродействие интегрирующих АЦП.

АЦП многотактного интегрирования

Упрощенная схема АЦП, работающего в два основных такта (АЦП двухтактного интегрирования), приведена на рис. 10.

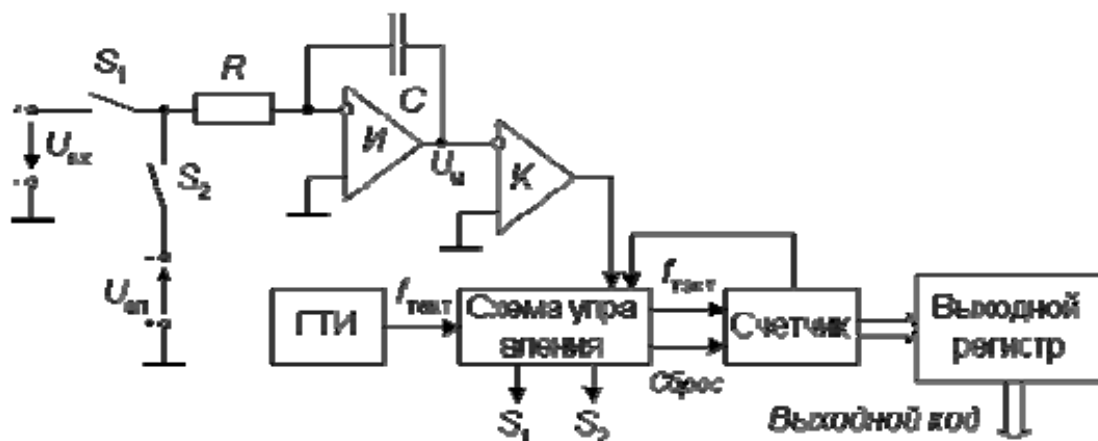


Рис. 10. Упрощенная схема АЦП двухтактного интегрирования

Преобразование проходит две стадии: стадию интегрирования и стадию счета. В начале первой стадии ключ \$S_1\$ замкнут, а ключ \$S_2\$ разомкнут. Интегратор \$И\$ интегрирует входное напряжение \$U_{вх}\$. Время интегрирования входного напряжения \$t_1\$ постоянно; в качестве таймера используется счетчик с коэффициентом пересчета \$K_{сч}\$, так что

$$t_1 = \frac{K_{сч}}{f_{такт}} \quad (6)$$

К моменту окончания интегрирования выходное напряжение интегратора составляет

$$U_{и}(t_1) = -\frac{1}{RC} \int_0^{t_1} U_{вх}(t) dt = -\frac{U_{вх,ср} K_{сч}}{f_{такт} RC} \quad (7)$$

где \$U_{вх,ср}\$ - среднее за время \$t_1\$ входное напряжение. После окончания стадии интегрирования ключ \$S_1\$ размыкается, а ключ \$S_2\$ замыкается и опорное напряжение \$U_{оп}\$ поступает на вход интегратора. При этом выбирается опорное напряжение, противоположное по знаку входному

напряжению. На стадии счета выходное напряжение интегратора линейно уменьшается по абсолютной величине, как показано на рис. 11.

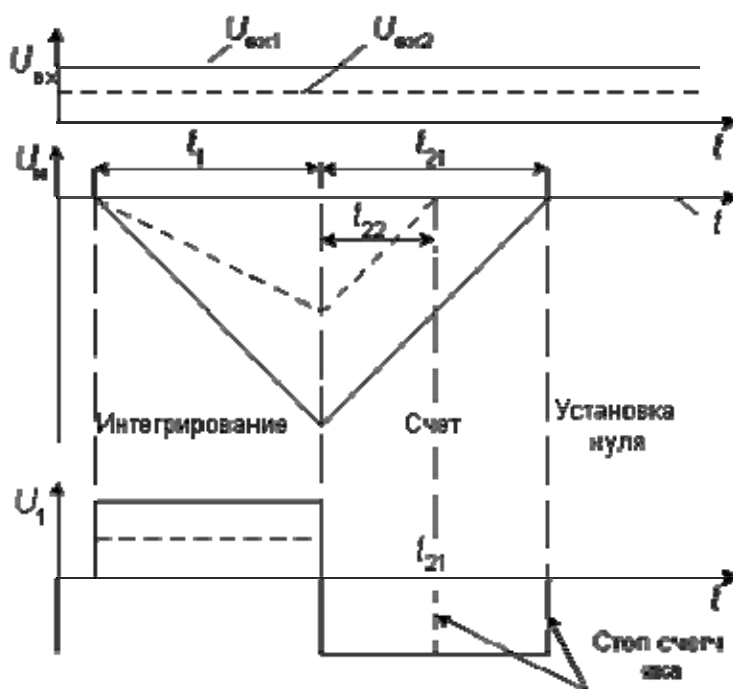


Рис. 11. Временные диаграммы АЦП двухтактного интегрирования

Стадия счета заканчивается, когда выходное напряжение интегратора переходит через нуль. При этом компаратор К переключается и счет останавливается. Интервал времени, в котором проходит стадия счета, определяется уравнением

$$U_{ин}(t_1) + \frac{1}{RC} \int_{t_1}^{t_1+t_2} U_{оп} dt = 0 \quad (8)$$

Подставив значение $U_{ин}(t_1)$ из (7) в (8) с учетом того, что

$$t_2 = \frac{n_2}{f_{ТАКТ}} \quad (9)$$

где n_2 - содержимое счетчика после окончания стадии счета, получим результат

$$n_2 = \frac{U_{вх\ ст} K_{сч}}{U_{оп}} \quad (10)$$

Из этой формулы следует, что отличительной особенностью метода многотактного интегрирования является то, что ни тактовая частота, ни постоянная интегрирования RC не влияют на результат. Необходимо только потребовать, чтобы тактовая частота в течение времени t_1+t_2 оставалась постоянной. Это можно обеспечить при использовании простого тактового

генератора, поскольку существенные временные или температурные дрейфы частоты происходят за время несопоставимо большее, чем время преобразования.

При выводе выражений (6)...(10) мы видели, что в окончательный результат входят не мгновенные значения преобразуемого напряжения, а только значения, усредненные за время t_1 . Поэтому переменное напряжение ослабляется тем сильнее, чем выше его частота.

Определим коэффициент передачи помехи K_p для АЦП двухтактного интегрирования. Пусть на вход интегратора поступает гармонический сигнал единичной амплитуды частотой f с произвольной начальной фазой j . Среднее значение этого сигнала за время интегрирования t_1 равно

$$U_{\text{ср}} = \frac{1}{t_1} \int_0^{t_1} \sin(2\pi f t + \varphi) dt = \frac{\sin(\pi/t_1 + \varphi) \sin \pi/t_1}{\pi/t_1} \quad (11)$$

Эта величина достигает максимума по модулю при $\varphi = \pm \pi k$, $k=0, 1, 2, \dots$ В этом случае

$$K_p = \left| \frac{\sin^2 \pi/t_1}{\pi/t_1} \right| \quad (12)$$

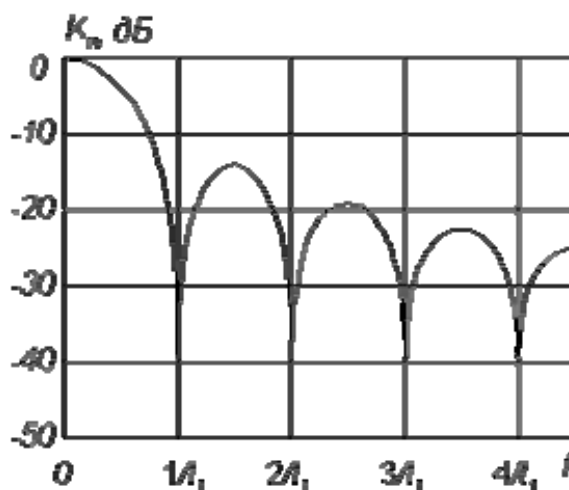


Рис. 12. Частотная характеристика коэффициента подавления помех АЦП двухтактного интегрирования

Из (12) следует, что переменное напряжение, период которого в целое число раз меньше t_1 , подавляется совершенно (рис. 12). Поэтому целесообразно выбрать тактовую частоту такой, чтобы произведение $K_{\text{сч}} f_{\text{такт}}$ было бы равным, или кратным периоду напряжения промышленной сети.

Автоматическая коррекция нуля. Преобразование биполярных входных сигналов

Как следует из (10), статическая точность АЦП многотактного интегрирования определяется только точностью источника опорного напряжения и смещением нуля интегратора и компаратора, которые суммируются с опорным напряжением. Смещение нуля можно устранить автоматической компенсацией. Для этого в цикл преобразования вводят дополнительную стадию установки нуля

(см. рис. 11), во время которой интегратор отключается от источников сигналов и совместно с компаратором охватывается глубокой отрицательной обратной связью, как это показано на рис 13. Здесь в качестве компаратора используется ОУ. Между интегратором и входом АЦП включен неинвертирующий повторитель в качестве буферного усилителя Б.

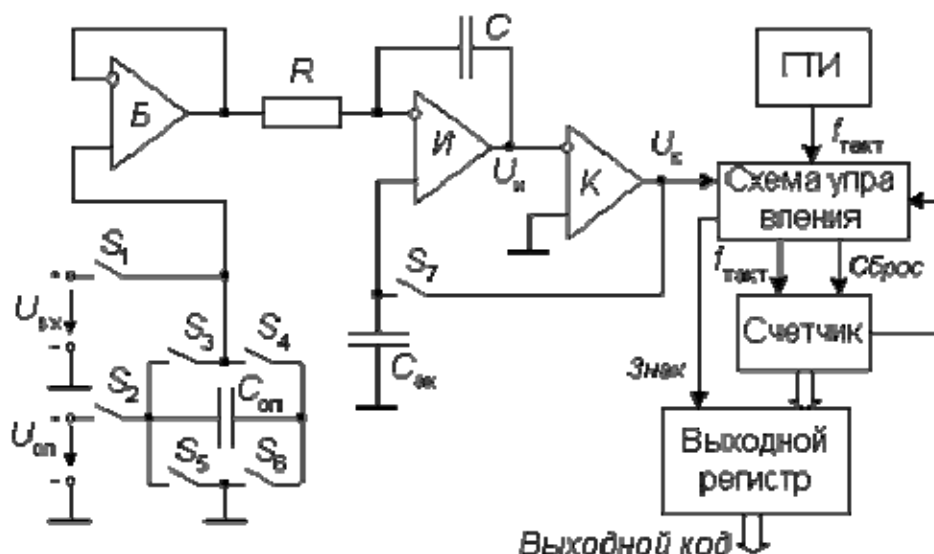


Рис. 13. АЦП двухтактного интегрирования с автоматической компенсацией смещения нуля

В фазе автоматической компенсации нуля ключи S_1 , S_3 , S_5 разомкнуты, а ключи S_2 , S_4 , S_6 , S_7 - замкнуты. Поэтому интегратор, компаратор и буферный усилитель образуют повторитель напряжения, выходное напряжение которого U_k подается на конденсатор автоматической компенсации $C_{ак}$. Входное напряжение буферного усилителя равно нулю, а выходное - его смещению нуля $U_{0б}$. После окончания переходных процессов на конденсаторе $C_{ак}$ установится напряжение, равное $U_{0б} + U_{0и}$, где $U_{0и}$ - смещение нуля интегратора. Одновременно конденсатор $C_{оп}$ заряжается от источника опорного напряжения.

На стадии интегрирования входного напряжения ключи S_4 и S_7 размыкаются, а S_1 - замыкается. Так как на это время напряжение на конденсаторе $C_{ак}$ запоминается, смещение нуля в течение фазы интегрирования компенсируется. При этом дрейф нуля определяется только кратковременной нестабильностью, которая очень мала. То же самое сохраняется на стадии счета.

Поскольку в контуре компенсации смещения нуля последовательно включены два усилителя, то легко могут возникнуть автоколебания. Для стабилизации последовательно с ключом S_7 следует включить резистор.

После окончания фазы интегрирования схема управления анализирует выходное напряжение компаратора. Если среднее значение входного напряжения положительно, то на выходе компаратора устанавливается напряжение высокого уровня. В этом случае одновременно с размыканием ключа S_1 замыкаются ключи S_4 и S_5 , подключая ко входу буферного усилителя конденсатор $C_{оп}$ с сохраненным на нем опорным напряжением, причем так, что это напряжение имеет полярность, противоположную полярности источника опорного напряжения. Если среднее значение входного напряжения отрицательно, то на выходе компаратора устанавливается напряжение низкого уровня. Тогда замыкаются ключи S_3 и S_6 , подключая ко входу буферного усилителя опорный конденсатор другими полюсами. В обоих случаях в стадии счета происходит изменение напряжения интегратора $U_{и}(t)$ в направлении, противоположном тому, которое имело место в стадии интегрирования. Одновременно схема управления формирует код знака. Таким образом, в простейшем случае выходной код АЦП представляет собой прямой код со знаком.

Интегральные АЦП многотактного интегрирования изготавливаются в виде полупроводниковых ИМС. Можно различить две главные группы:

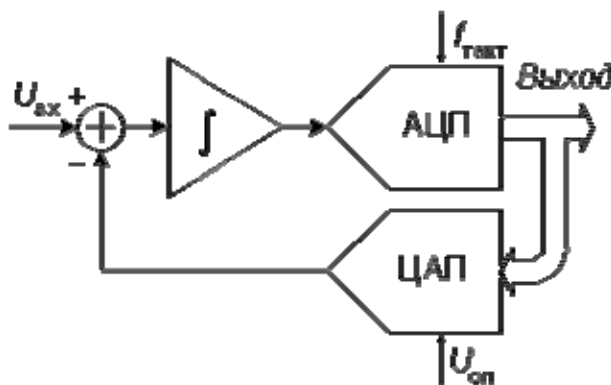
схемы с параллельным или последовательным выходом для сопряжения с микропроцессорами (например, ICL7109, выходное слово которого включает 12 бит плюс знак в параллельном 14-ти или 8-ми разрядном коде, или 18-разрядный плюс знак MAX132 с последовательным интерфейсом);

схемы с двоично-десятичными счетчиками с дешифраторами для управления семисегментными индикаторами, в том числе мультиплексированными. Такие АЦП применяются в качестве основы для цифровых вольтметров. Примерами могут служить ICL7106 (отечественный аналог - 572ПВ5) с диапазоном ± 2000 отсчетов или ICL7135 (отечественный аналог - 572ПВ6) с диапазоном ± 40000 отсчетов.

Сигма-дельта АЦП

АЦП многотактного интегрирования имеют ряд недостатков. Во-первых, нелинейность переходной статической характеристики операционного усилителя, на котором выполняют интегратор, заметным образом сказывается на интегральной нелинейности характеристики преобразования АЦП высокого разрешения. Для уменьшения влияния этого фактора АЦП изготавливают многотактными. Например, 13-разрядный AD7550 выполняет преобразование в четыре такта. Другим недостатком этих АЦП является то обстоятельство, что интегрирование входного сигнала занимает в цикле преобразования только приблизительно третью часть. Две трети цикла преобразователь не принимает входной сигнал. Это ухудшает помехоподавляющие свойства интегрирующего АЦП. В-третьих, АЦП многотактного интегрирования должен быть снабжен довольно большим количеством внешних резисторов и конденсаторов с высококачественным диэлектриком, что значительно увеличивает место, занимаемое преобразователем на плате и, как следствие, усиливает влияние помех.

Эти недостатки во многом устранены в конструкции сигма-дельта АЦП (в ранней литературе эти преобразователи назывались АЦП с уравниванием или балансом зарядов). Своим названием эти преобразователи обязаны наличием в них двух блоков: сумматора (обозначение операции - Σ) и интегратора (обозначение операции - Δ). Один из принципов, заложенных в такого рода преобразователях, позволяющий уменьшить погрешность, вносимую шумами, а следовательно увеличить разрешающую способность - это усреднение результатов измерения на большом интервале времени.



**Рис. 14. Структурная схема
сигма-дельта модулятора**

Основные узлы АЦП - это сигма-дельта модулятор и цифровой фильтр. Схема n -разрядного сигма-дельта модулятора первого порядка приведена на рис. 14. Работа этой схемы основана на вычитании из входного сигнала $U_{вх}(t)$ величины сигнала на выходе ЦАП, полученной на предыдущем такте работы схемы. Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности. Последовательность кодов поступает на цифровой фильтр нижних частот.

Порядок модулятора определяется численностью интеграторов и сумматоров в его схеме. Сигма-дельта модуляторы N-го порядка содержат N сумматоров и N интеграторов и обеспечивают большее соотношение сигнал/шум при той же частоте отсчетов, чем модуляторы первого порядка. Примерами сигма-дельта модуляторов высокого порядка являются одноканальный AD7720 седьмого порядка и двухканальный ADMOD79 пятого порядка.

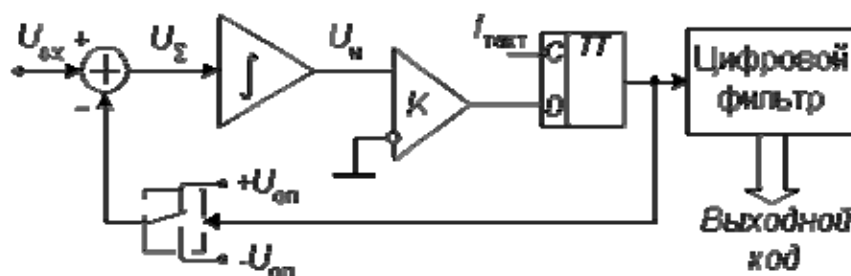


Рис. 15. Структурная схема сигма-дельта АЦП

Наиболее широко в составе ИМС используются однобитные сигма-дельта модуляторы, в которых в качестве АЦП используется компаратор, а в качестве ЦАП - аналоговый коммутатор (рис. 15). Принцип действия пояснен в табл. 2 на примере преобразования входного сигнала, равного 0,6 В, при $U_{оп}=1$ В. Пусть постоянная времени интегрирования интегратора численно равна периоду тактовых импульсов. В нулевом периоде выходное напряжение интегратора сбрасывается в нуль. На выходе ЦАП также устанавливается нулевое напряжение. Затем схема проходит через показанную в табл. 9 последовательность состояний.

Таблица 2

$U_{вх}=0,6$ В					$U_{вх}=0$ В				
N такта	U_{Σ} , В	$U_{и}$, В	U_k , бит	$U_{ЦАП}$, В	N такта	U_{Σ} , В	$U_{и}$, В	U_k , бит	$U_{ЦАП}$, В
1	0,6	0,6	1	1	1	1	1	1	1
2	-0,4	0,2	1	1	2	-1	0	0	-1
3	-0,4	-0,2	0	-1	3	1	1	1	1
4	1,6	1,4	1	1	4	-1	0	0	-1
5	-0,4	1,0	1	1	5	1	1	1	1
6	-0,4	0,6	1	1	6	-1	0	0	-1
7	-0,4	0,2	1	1	7	1	1	1	1
8	-0,4	-0,2	0	-1	8	-1	0	0	-1
9	1,6	1,4	1	1	9	1	1	1	1
10	-0,4	1,0	1	1	10	-1	0	0	-1
11	-0,4	0,6	1	1	11	1	1	1	1
12	-0,4	0,2	1	1	12	-1	0	0	-1
13	-0,4	-0,2	0	-1	13	1	1	1	1
14	1,6	1,4	1	1	14	-1	0	0	-1
15	-0,4	1,0	1	1	15	1	1	1	1
16	-0,4	0,6	1	1	16	-1	0	0	-1

В тактовые периоды 2 и 7 состояния системы идентичны, так как при неизменном входном сигнале $U_{вх}=0,6$ В цикл работы занимает пять тактовых периодов. Усреднение выходного сигнала ЦАП за цикл действительно дает величину напряжения 0,6 В:

$$(1-1+1+1+1)/5=0,6.$$

Для формирования выходного кода такого преобразователя необходимо каким-либо образом преобразовать последовательность бит на выходе компаратора в виде унитарного кода в последовательный или параллельный двоичный позиционный код. В простейшем случае это можно сделать с помощью двоичного счетчика. Возьмем в нашем примере 4-разрядный счетчик. Подсчет бит на выходе компаратора за 16-ти тактный цикл дает число 13. Несложно увидеть, что при $U_{вх}=1$ В на выходе компаратора всегда будет единица, что дает за цикл число 16, т.е. переполнение счетчика. Напротив, при $U_{вх}=-1$ В на выходе компаратора всегда будет ноль, что дает равное нулю содержимое счетчика в конце цикла. В случае, если $U_{вх}=0$ то, как это видно из табл. 2, результат счета за цикл составит 8_{10} или 1000_2 . Это значит, что выходное число АЦП представляется в смещенном коде. В рассмотренном примере верхняя граница полной шкалы составит 1111_2 или $+7_{10}$, а нижняя - 0000_2 или -8_{10} . При $U_{вх}=0,6$ В, как это видно из левой половины табл. 2, содержимое счетчика составит 1310 в смещенном коде, что соответствует $+5$. Учитывая, что $+8$ соответствует $U_{вх}=1$ В, найдем

$$5 \cdot 1/8 = 0,625 > 0,6 \text{ В.}$$

При использовании двоичного счетчика в качестве преобразователя потока битов, поступающих с выхода компаратора, необходимо выделять фиксированный цикл преобразования, длительность которого равна произведению $K_{сч} f_{\text{ТАКТ}}$. После его окончания должно производиться считывание результата, например, с помощью регистра-защелки и обнуление счетчика. В этом случае с точки зрения помехоподавляющих свойств сигма-дельта АЦП близки к АЦП многотактного интегрирования. Более эффективно с этой точки зрения применение в сигма-дельта АЦП цифровых фильтров с конечной длительностью переходных процессов.

В сигма-дельта АЦП обычно применяются цифровые фильтры с амплитудно-частотной характеристикой (АЧХ) вида $(\sin x/x)^3$. Передаточная функция такого фильтра в z-области определяется выражением

$$W(z) = \left[\frac{1 - z^{-M}}{M(1 - z^{-1})} \right]^3$$

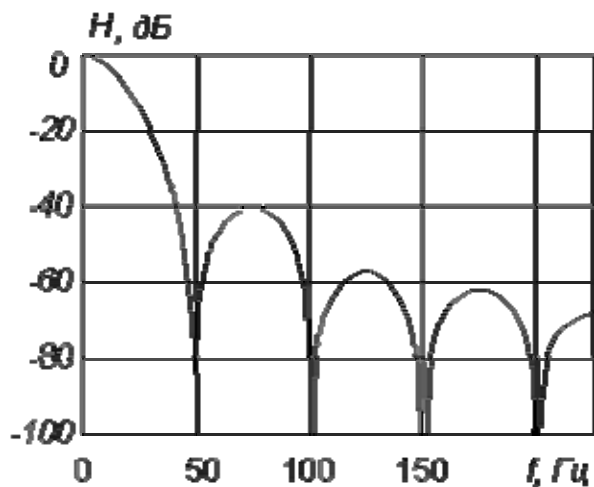
где M - целое число, которое задается программно и равно отношению тактовой частоты модулятора к частоте отсчетов фильтра. (Частота отсчетов - это частота, с которой обновляются данные). Например, для АЦП AD7714 это число может принимать значения от 19 до 4000. В частотной области модуль передаточной функции фильтра

$$H(f) = \left[\frac{\sin(M\pi f / f_{\text{ТАКТ}})}{M \sin(\pi f / f_{\text{ТАКТ}})} \right]^3 \quad (13)$$

На рис. 16 приведен график амплитудно-частотной характеристики цифрового фильтра, построенной согласно выражению (13) при $f_{\text{ТАКТ}}=38,4$ кГц и $M=192$, что дает значение частоты отсчетов, совпадающей с первой частотой режекции фильтра АЦП, $f_{\text{отсч}}=50$ Гц. Сравнение этой АЧХ с АЧХ коэффициента подавления помех АЦП с двухкратным интегрированием (см. рис. 12) показывает значительно лучшие помехоподавляющие свойства сигма-дельта АЦП.

В то же время применение цифрового фильтра нижних частот в составе сигма-дельта АЦП вместо счетчика вызывает переходные процессы при изменении входного напряжения. Время установления цифровых фильтров с конечной длительностью переходных процессов, как следует из их названия, конечно и составляет для фильтра вида $(\sin x/x)^3$ четыре периода частоты отсчетов, а при начальном обнулении фильтра - три периода. Это снижает быстродействие систем сбора данных на основе сигма-дельта АЦП. Поэтому выпускаются ИМС AD7730 и AD7731, оснащенные сложным цифровым фильтром, обеспечивающие переключение каналов со временем установления 1 мс при сохранении эффективной разрядности не ниже 13 бит (так

называемый Fast-Step режим). Обычно цифровой фильтр изготавливается на том же кристалле, что и модулятор, но иногда они выпускаются в виде двух отдельных ИМС (например, AD1555 - модулятор четвертого порядка и AD1556 - цифровой фильтр).



**Рис. 16. АЧХ цифрового фильтра
сигма-дельта АЦП**

Сравнение сигма-дельта АЦП с АЦП многотактного интегрирования показывает значительные преимущества первых. Прежде всего, линейность характеристики преобразования сигма-дельта АЦП выше, чем у АЦП многотактного интегрирования равной стоимости. Это объясняется тем, что интегратор сигма-дельта АЦП работает в значительно более узком динамическом диапазоне, и нелинейность переходной характеристики усилителя, на котором построен интегратор, сказывается значительно меньше. Емкость конденсатора интегратора у сигма-дельта АЦП значительно меньше (десятки пикофарад), так что этот конденсатор может быть изготовлен прямо на кристалле ИМС. Как следствие, сигма-дельта АЦП практически не имеет внешних элементов, что существенно сокращает площадь, занимаемую им на плате, и снижает уровень шумов. В результате, например, 24-разрядный сигма-дельта АЦП AD7714 изготавливается в виде однокристалльной ИМС в 24-выводном корпусе, потребляет 3 мВт мощности и стоит примерно 14 долларов США, а 18-разрядный АЦП восьмитактного интегрирования HI-7159 потребляет 75 мВт и стоит около 30 долларов. К тому же сигма-дельта АЦП начинает давать правильный результат через 3-4 отсчета после скачкообразного изменения входного сигнала, что при величине первой частоты режекции, равной 50 Гц, и 20-разрядном разрешении составляет 60-80 мс, а минимальное время преобразования АЦП HI-7159 для 18-разрядного разрешения и той же частоты режекции составляет 140 мс. В настоящее время ряд ведущих по аналого-цифровым ИМС фирм, такие как Analog Devices и Burr-Brown, прекратили производство АЦП многотактного интегрирования, полностью перейдя в области АЦ-преобразования высокого разрешения на сигма-дельта АЦП.

Сигма-дельта АЦП высокого разрешения имеют развитую цифровую часть, включающую микроконтроллер. Это позволяет реализовать режимы автоматической установки нуля и самокалибровки полной шкалы, хранить калибровочные коэффициенты и передавать их по запросу внешнего процессора.

Преобразователи напряжение-частота

На базе преобразователей напряжение-частота (ПНЧ) могут быть построены интегрирующие АЦП, обеспечивающие относительно высокую точность преобразования при низкой стоимости. Существует несколько видов ПНЧ. Наибольшее применение нашли ПНЧ с заданной длительностью выходного импульса. Структурная схема такого ПНЧ приведена на рис. 17. По этой схеме построена ИМС VFC-32 (отечественный аналог - 1108ПП1).

Работает ПНЧ следующим образом. Под действием положительного входного сигнала $U_{вх}$ напряжение U_i на выходе интегратора И уменьшается. При этом ключ S разомкнут. Когда

напряжение $U_{\text{и}}$ уменьшится до нуля, компаратор K переключается, запуская тем самым одновибратор. Одновибратор формирует импульс стабильной длительности $T_{\text{и}}$, который управляет ключом. Последовательность этих импульсов является выходным сигналом ПНЧ. Ключ замыкается и ток $I_{\text{оп}}$ в течение $T_{\text{и}}$ поступает на вход интегратора, вызывая увеличение выходного напряжения интегратора. Далее описанный процесс снова повторяется.

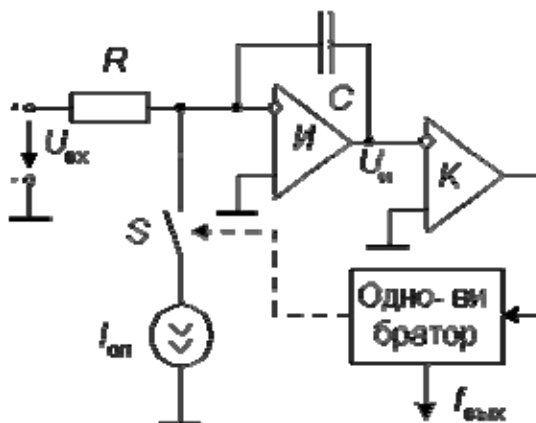


Рис. 17. Структурная схема ПНЧ

Импульсы тока $I_{\text{оп}}$ уравнивают ток, вызываемый входным напряжением $U_{\text{вх}}$. В установившемся режиме

$$-\frac{1}{RC} \int_0^T U_{\text{вх}}(t) dt + \frac{1}{C} \int_0^{T_{\text{и}}} I_{\text{оп}} dt = 0$$

Отсюда следует

$$f = \frac{1}{T} = \frac{U_{\text{вх.ср}}}{RI_{\text{оп}}T_{\text{и}}} \quad (14)$$

где $U_{\text{вх.ср}}$ - среднее значение входного напряжения за период T . Выражение (14) показывает, что точность преобразования определяется точностью установки опорного тока $I_{\text{оп}}$, точностью выдержки длительности импульса одновибратора $T_{\text{и}}$, а также точностью резистора R . Емкость конденсатора интегратора не оказывает влияния на частоту ПНЧ.

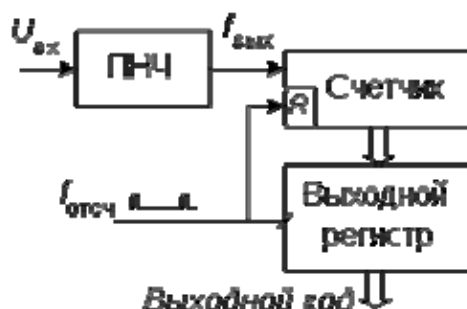


Рис. 18. Блок-схема АЦП на основе ПНЧ

Таким образом, по существу ПНЧ преобразует входное напряжение в унитарный код. Для его преобразования в двоичный позиционный можно использовать счетчик. Схема интегрирующего АЦП на базе ПНЧ приведена на рис. 18. Двоичный счетчик подсчитывает число импульсов, поступивших от ПНЧ за период $T_{отсч} = 1/f_{отсч}$, задаваемый отсчетными импульсами, которыми содержимое счетчика заносится в выходной регистр-защелку. Вслед за этим происходит обнуление счетчика. Число импульсов n , подсчитанных счетчиком за время $T_{отсч}$,

$$n = \frac{T_{отсч}}{T_{ПЧ}} \frac{\bar{U}_{вх.ср}}{R_{оп}}$$

Здесь $U_{вх.ср}$ - среднее значение входного напряжения за весь период $T_{отсч}$.

Можно заметно повысить точность ПНЧ, если вместо одновибратора включить тактируемый импульсами стабильной частоты D-триггер. Несложно убедиться (см. рис. 16), что в этом случае ПНЧ превращается в однобитный сигма-дельта модулятор.

Системы сбора данных и микроконвертеры

Постепенное усложнение АЦП, появление многоканальных АЦП, АЦП со встроенным устройством выборки-хранения, АЦП со сложной цифровой частью привело к тому, что сейчас имеются законченные однокристальные системы сбора данных, обеспечивающие преобразование в цифровой код сигналов, поступающих от многих датчиков и передачу их на микроЭВМ. Блок-схема развитой системы сбора данных приведена на рис. 18.



Рис. 19. Блок-схема системы сбора данных

Основу системы составляет АЦП, обычно АЦП последовательного приближения. Чтобы уменьшить число корпусов ИМС, необходимых для создания системы сбора данных, в схему встроены УВХ и источник опорного напряжения. Для подключения к нескольким источникам входных аналоговых сигналов используется аналоговый мультиплексор. Чтобы сократить частоту прерываний главного процессора некоторые системы сбора данных снабжаются оперативным запоминающим устройством обратного магазинного типа FIFO - first input - first output (первый вошел - первый вышел). Измерительный усилитель УПК, входящий в систему, меняет свой коэффициент усиления по команде от схемы управления. Это позволяет выровнять диапазоны аналоговых сигналов с различных входов.

Схема управления может включать оперативное запоминающее устройство (ОЗУ), в которое загружается от главного процессора блок рабочих команд. Эти команды содержат сведения о том, какие операционные режимы использовать, какие из входных каналов должны быть однопроводными, а какие - объединяться с образованием дифференциальных пар, насколько часто и в каком порядке следует производить выборку для каждого канала. Встроенный в систему сбора данных цифровой таймер определяет темп преобразования АЦП.

Характерным примером системы сбора данных является AD7581 (отечественный аналог - 572ПВ4), содержащая 8-входовый аналоговый мультиплексор, 8-разрядный АЦП последовательного приближения, и запоминающее устройство FIFO с организацией 8x8 бит. Другой пример - AD1B60, включающая 8-входовый аналоговый мультиплексор, измерительный усилитель с программируемым коэффициентом усиления от 1 до 128, 16-разрядный АЦП на основе интегрирующего ПНЧ, ИОН, микропроцессор, ОЗУ режима и ПЗУ конфигурации. Одной из наиболее развитых является система сбора данных LM12458, которая содержит 8-входовый аналоговый мультиплексор, УВХ, 13-разрядный АЦП последовательного приближения, память типа FIFO с организацией 32x16 бит, ОЗУ команд и 16-битный цифровой таймер.

Для повышения быстродействия установление коэффициента передачи и выборка данных может осуществляться по каждому каналу индивидуально. Так, например, 4-х канальная система сбора данных AD7865 содержит четыре цепи масштабирования входного сигнала и четыре устройства слежения/хранения, включенные до мультиплексора.

Особый класс устройств с аналого-цифровыми преобразователями представляют собой *микроконверторы*. Некоторое время назад были попытки создания аналоговых программируемых матриц, т.е. устройств, включающих операционные усилители и другие аналоговые ячейки, связи между которыми можно было установить программным путем. Эти попытки коммерческого успеха не имели. Недавно некоторые фирмы, например, Analog Devices, начали выпуск программируемых устройств для преобразования аналоговых сигналов, включающих многоканальный АЦП, микроконтроллер и одно- или двухканальный ЦАП. Такой микроконвертор принимает аналоговые сигналы, преобразует их в цифровые коды, по программе, записанной в ПЗУ микроконтроллера, обрабатывает эти коды и с помощью ЦАП вновь преобразует результаты в аналоговые сигналы. Уступая чисто аналоговой только в быстродействии, такая схема отличается большой функциональной гибкостью и точностью. В частности, микроконвертор ADuC812 содержит 8-канальный мультиплексор, УВХ, 12-разрядный АЦП последовательного приближения с производительностью 200 кПс, два 12-разрядных ЦАП и микроконтроллер с системой команд семейства MCS-51.

Интерфейсы АЦП

Важную часть аналого-цифрового преобразователя составляет цифровой интерфейс, т.е. схемы, обеспечивающие связь АЦП с приемниками цифровых сигналов. Структура цифрового интерфейса определяет способ подключения АЦП к приемнику выходного кода, например, микропроцессору, микроконтроллеру или цифровому процессору сигналов. Свойства цифрового интерфейса непосредственно влияют на уровень верхней границы частоты преобразования АЦП.

Наиболее часто применяют способ связи АЦП с процессором, при котором АЦП является для процессора как бы одной из ячеек памяти. При этом АЦП имеет необходимое число адресных входов, дешифратор адреса и подключается непосредственно к адресной шине и шине данных процессора. Для этого он обязательно должен иметь выходные каскады с тремя состояниями.

Другое требование совместной работы АЦП с микропроцессорами, называемое программным сопряжением, является общим для любых систем, в которые входят ЭВМ и АЦП. Имеется несколько способов программного сопряжения АЦП с процессорами. Рассмотрим основные.

Проверка сигнала преобразования. Этот способ состоит в том, что команда начала преобразования "Пуск" периодически подается на АЦП от таймера. Процессор находится в цикле ожидания от АЦП сигнала окончания преобразования "Готов", после которого выходит из цикла, считывает данные с АЦП и в соответствии с ними приступает либо к следующему преобразованию, либо к выполнению основной программы, а затем вновь входит в цикл ожидания. Здесь АЦП выступает в роли ведущего устройства (master), а процессор - ведомого (slave). Этот способ почти не требует дополнительной аппаратуры, но пригоден только в системах, где процессор не слишком загружен, т.е. длительность обработки данных от АЦП меньше времени преобразования АЦП. Указанный способ позволяет максимально использовать производительность АЦП.

Если длительность обработки данных от АЦП составляет заметно больше времени преобразования АЦП, можно использовать вариант этого способа, отличающийся тем, что сигнал "Пуск" поступает от процессора. Процессор выполняет основную программу обработки данных, а затем считывает данные с АЦП и вновь запускает его. В этом случае процессор выступает в роли ведущего устройства, а АЦП - ведомого.

Простое прерывание. Выдав команду "Пуск", процессор продолжает работу по основной программе. После окончания преобразования формируется сигнал прерывания, который прерывает в процессоре вычисления и включает процедуру поиска периферийного прибора, пославшего сигнал прерывания. Эта процедура состоит в переборе всех периферийных устройств до тех пор, пока не будет найден нужный. Преимущество этого способа по сравнению с предыдущим проявляется в большем числе преобразований за одно и то же время, если используемый АЦП работает медленно. Если же АЦП быстродействующий, то этот способ работы может оказаться даже медленнее предыдущего, так как на обработку прерывания требуется значительное время.

Векторное прерывание. Этот способ отличается от предыдущего тем, что вместе с сигналом прерывания посылается и адрес программы обращения к данному АЦП. Следовательно, не нужно перебирать все периферийные приборы.

Прямой доступ к памяти. Здесь также используется прерывание, но в отличие от предыдущих двух способов, управление по системе прерывания передается на специальный интерфейс, который и производит перезапись данных преобразования в память, минуя регистры процессора. Это позволяет сократить длительность прерывания до одного такта. Номера ячеек памяти хранятся адресном регистре интерфейса. Для этой цели выпускаются ИМС контроллеров прямого доступа к памяти.

В зависимости от способа пересылки выходного слова из АЦП в цифровой приемник различают преобразователи с последовательным и параллельным интерфейсами выходных данных. Последовательный интерфейс медленнее параллельного, однако он позволяет осуществить связь с цифровым приемником значительно меньшим количеством линий и в несколько раз сократить число выводов ИМС. Поэтому обычно параллельный интерфейс используется в параллельных и

последовательно-параллельных АЦП, а последовательный - в интегрирующих. В АЦП последовательного приближения применяются как параллельный (например, 1108ПВ2), так и последовательный (например, AD7893) интерфейсы. Некоторые АЦП последовательного приближения (например, AD7892) имеют интерфейс обоих типов.

АЦП с параллельным интерфейсом выходных данных

АЦП с параллельным интерфейсом выходных данных. В простейших случаях, характерных для параллельных АЦП и преобразователей ранних моделей, интерфейс осуществляется с помощью N-разрядного регистра хранения, имеющего три состояния выхода. Здесь N - разрядность АЦП. На рис. 20 представлена функциональная схема такого АЦП и временные диаграммы работы интерфейса.

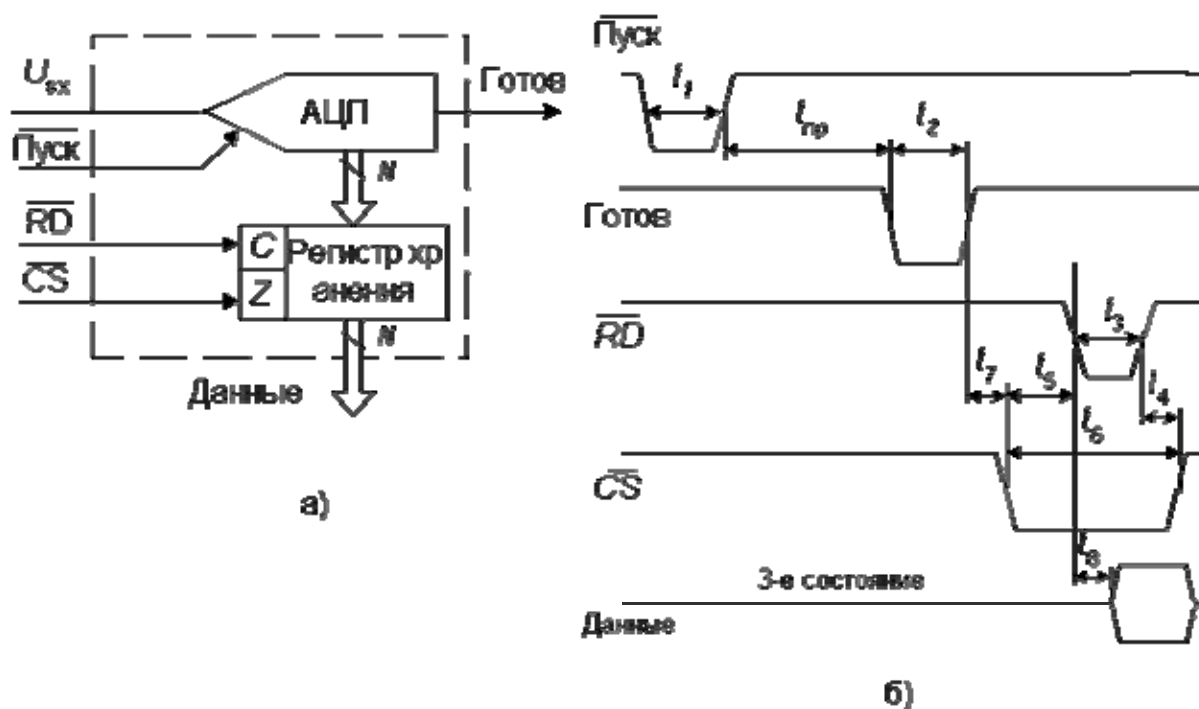


Рис. 20. АЦП с параллельным интерфейсом

На нарастающем фронте сигнала "Пуск" УВХ преобразователя переходит в режим хранения и инициируется процесс преобразования. Когда преобразование завершено, на выходную линию "Готов" выводится импульс, что указывает на то, что в выходном регистре АЦП находится новый результат. Сигналы "CS" (выбор кристалла) и "RD" (Чтение) управляют выводом данных для передачи приемнику.

Для того, чтобы упростить связь многоразрядного ($N > 8$) АЦП с 8-разрядным микропроцессором или микроконтроллером в некоторых ИМС (например, MAX167) реализована побайтовая выдача выходного слова. Если сигнал HBEN, управляющий режимом вывода, имеет низкий уровень, то старшие биты выходного слова поступают на соответствующие им выходы (для 12-разрядного АЦП на выходы DO8...DO11). В противном случае они подаются на выходы, соответствующие младшему байту (для 12-разрядного АЦП на выходы DO0...DO3).

АЦП с последовательным интерфейсом выходных данных

АЦП с последовательным интерфейсом выходных данных. В АЦП последовательного приближения, оснащенных простейшей цифровой частью, таких как 12-битный MAX176 или 14-битный MAX121 выходная величина может быть считана в виде последовательного кода прямо с компаратора или регистра последовательного приближения (РПП), как это указано в п. 4.1. На рис. 21 представлена функциональная схема такого интерфейса (а) и временные диаграммы его работы (б).

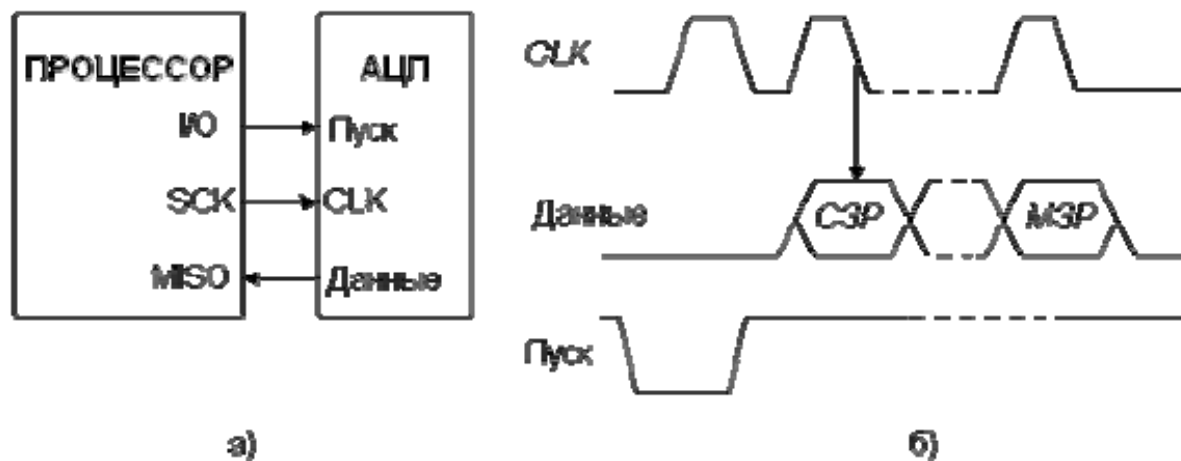


Рис. 21. Простейший последовательный интерфейс

Здесь приведена схема, реализующая SPI-интерфейс. Процессор является ведущим (master). Он инициирует начало процесса преобразования подачей срез на вход "Пуск" АЦП. С тактового выхода процессора на синхровход АЦП поступает последовательность тактовых импульсов. Начиная со второго такта после пуска на выходе данных АЦП формируется последовательный код выходного слова старшими битами вперед. Этот сигнал поступает на MISO (master - input, slave - output) вход процессора.

Простейший интерфейс обеспечивает наименьшее время цикла "преобразование - передача данных". Однако он обладает двумя существенными недостатками. Во-первых, переключение выходных каскадов АЦП во время преобразования приносит импульсную помеху в аналоговую часть преобразователя, что вызывает уменьшение соотношения сигнал/шум (например, для АЦП AD7893 среднеквадратическое значение шума при передаче данных во время преобразования почти в три раза больше, чем при считывании данных после преобразования). Во-вторых, если АЦП имеет большое время преобразования, то процессор будет занят приемом информации от него существенную часть вычислительного цикла. По этим причинам современные модели АЦП с последовательной передачей выходных данных оснащаются выходным сдвиговым регистром, в который загружается результат преобразования из РПП. Временные диаграммы такого интерфейса приведены на рис. 22.

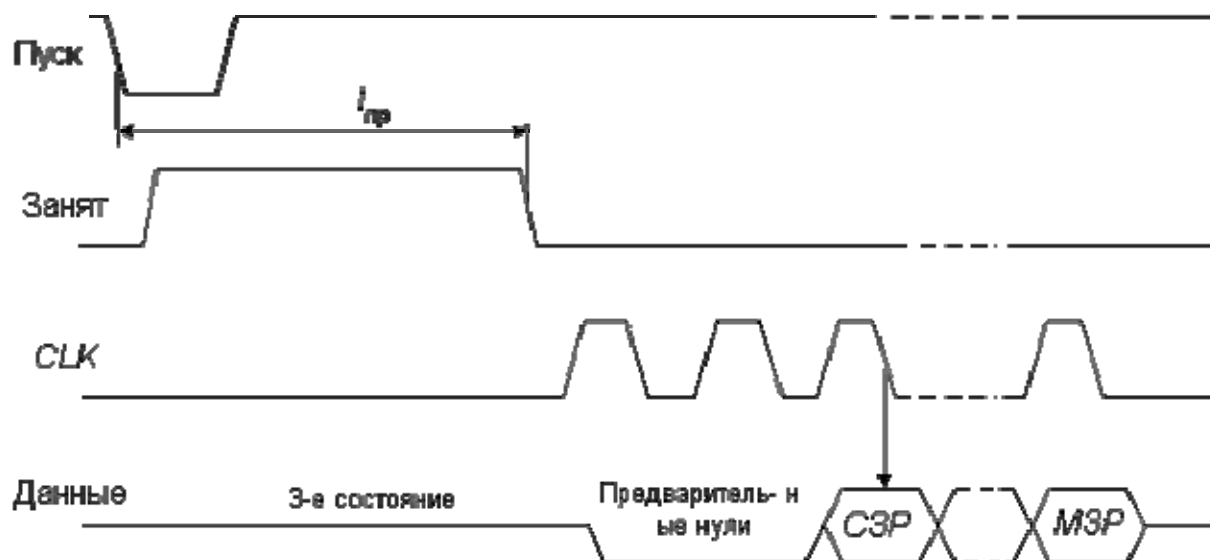


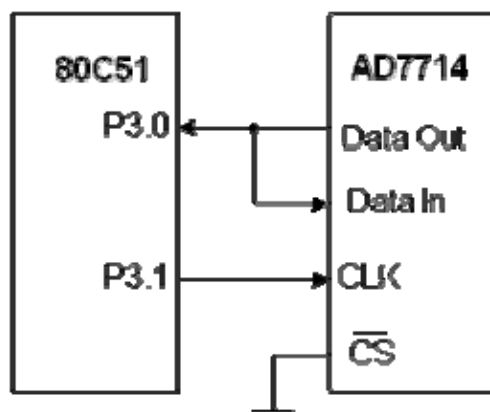
Рис. 22. Последовательный интерфейс с передачей данных по окончании преобразования

По заднему фронту сигнала "Пуск" УВХ переходит в режим хранения и начинается преобразование. При этом на соответствующем выводе АЦП выставляется сигнал "Занят". По окончании преобразования начинается передача данных. Процессор подает на синхровход АЦП последовательность синхроимпульсов CLK. Если $8 < N \leq 16$, то число синхроимпульсов обычно составляет 16. При $N < 16$ вначале вместо отсутствующих старших битов передаются нули, а затем выходное слово старшими битами вперед. До и после передачи данных выходная линия АЦП находится в высокоимпедансном состоянии.

Увеличение длительности цикла "преобразование - передача данных" по сравнению с простейшим интерфейсом обычно несущественно, так как синхроимпульсы могут иметь большую частоту. Например, для 12-разрядного АЦП последовательного приближения AD7896 минимальный интервал между отсчетами составляет 10 мкс. Из них последовательное чтение данных занимает только 1,6 мкс при частоте синхросигнала 10 МГц.

Последовательный интерфейс сигма-дельта АЦП

Последовательный интерфейс сигма-дельта АЦП с процессорами аппаратно реализуется очень просто. Например, для связи 24-разрядного трехканального АЦП AD7714 с микроконтроллером 80C51 в простейшем случае требуется всего две линии (рис. 23).



**Рис. 23. Подключение сигнала-дельта
АЦП к микроконтроллеру семейства
MC51**

АЦП управляется при помощи нескольких внутренних регистров. Это: регистр обмена, регистр режима, два регистра фильтра, три регистра калибровки нуля шкалы, три регистра калибровки полной шкалы и регистр данных. Данные в эти регистры записываются через последовательный интерфейс; этот же интерфейс позволяет также считывать данные из указанных регистров. Любое обращение к любому регистру должно начинаться с операции записи в регистр обмена. После включения питания или сброса АЦП ожидает записи в регистр обмена. Данные, записываемые в этот регистр, определяют тип следующей операции (чтение или запись), а также к какому регистру будет идти обращение. Программа взаимодействия микроконтроллера с АЦП включает следующую последовательность операций:

1. Запись в регистр обмена: задается входной канал.
2. Запись в верхний регистр фильтра: устанавливаются 4 старших бита слова фильтра, а также устанавливается биполярный/униполярный режим и длина выходного слова.
3. Запись в нижний регистр фильтра: устанавливаются 8 младших битов слова фильтра.
4. Запись в регистр режима: устанавливается коэффициент усиления, иницируется автокалибровка.
5. Опрашивается сигнал, указывающий на наличие в регистре данных нового результата преобразования.
6. Чтение результата из регистра данных.
7. Циклический повтор действий 5 и 6, пока не будет считано заданное число отсчетов.

Параметры АЦП

При последовательном возрастании значений входного аналогового сигнала $U_{вх}(t)$ от 0 до величины, соответствующей полной шкале АЦП $U_{пш}$ выходной цифровой сигнал $D(t)$ образует ступенчатую кусочно-постоянную линию. Такую зависимость по аналогии с ЦАП называют обычно характеристикой преобразования АЦП. В отсутствие аппаратных погрешностей средние точки ступенек расположены на *идеальной прямой* 1 (рис. 24), которой соответствует идеальная характеристика преобразования. Реальная характеристика преобразования может существенно отличаться от идеальной размерами и формой ступенек, а также расположением на плоскости координат. Для количественного описания этих различий существует целый ряд параметров.

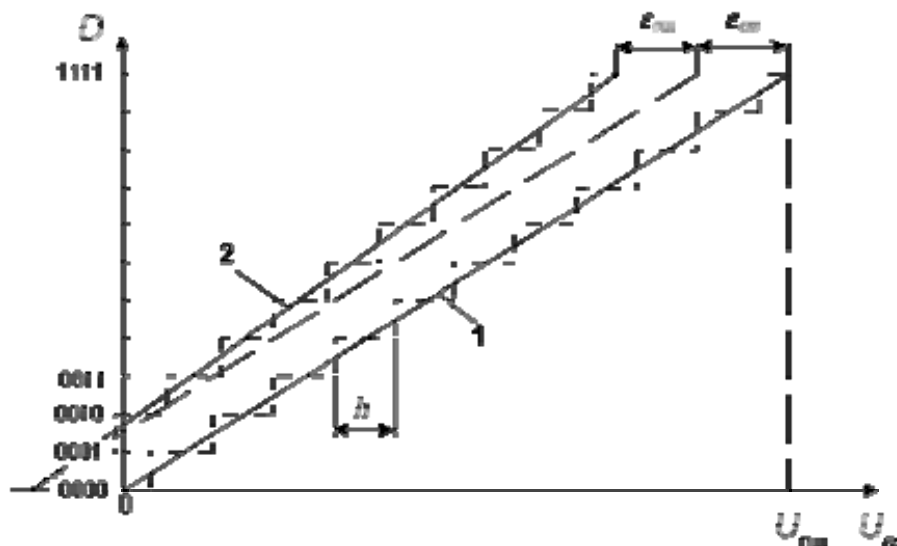


Рис. 24. Статическая характеристика преобразования АЦП

Статические параметры

Разрешающая способность — величина, обратная максимальному числу кодовых комбинаций на выходе АЦП. Разрешающая способность выражается в процентах, разрядах или децибелах и характеризует потенциальные возможности АЦП с точки зрения достижимой точности. Например, 12-разрядный АЦП имеет разрешающую способность $1/4096$, или $0,0245\%$ от полной шкалы, или $-72,2$ дБ.

Разрешающей способности соответствует приращение входного напряжения АЦП $U_{вх}$ при изменении D_j на единицу младшего разряда (ЕМР). Это приращение является шагом квантования. Для двоичных кодов преобразования номинальное значение шага квантования $h = U_{пш}/(2^N - 1)$, где $U_{пш}$ — номинальное максимальное входное напряжение АЦП (напряжение полной шкалы), соответствующее максимальному значению выходного кода, N — разрядность АЦП. Чем больше разрядность преобразователя, тем выше его разрешающая способность.

Погрешность полной шкалы — относительная разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля.

$$\delta_{пш} = \frac{\varepsilon_{пш}}{U_{пш}} \cdot 100\%$$

Эта погрешность является мультипликативной составляющей полной погрешности. Иногда указывается соответствующим числом ЕМР.

Погрешность смещения нуля - значение $U_{вх}$, когда входной код ЦАП равен нулю. Является аддитивной составляющей полной погрешности. Обычно определяется по формуле

$$\varepsilon_{см} = U_{вх,01} - h/2$$

где $U_{вх,01}$ - значение входного напряжения, при котором происходит переход выходного кода из 0 в 1. Часто указывается в милливольтх или в процентах от полной шкалы:

$$\delta_{см} = \frac{\varepsilon_{см}}{U_{пш}} \cdot 100\%$$

Погрешности полной шкалы и смещения нуля АЦП могут быть уменьшены либо подстройкой аналоговой части схемы, либо коррекцией вычислительного алгоритма цифровой части устройства.

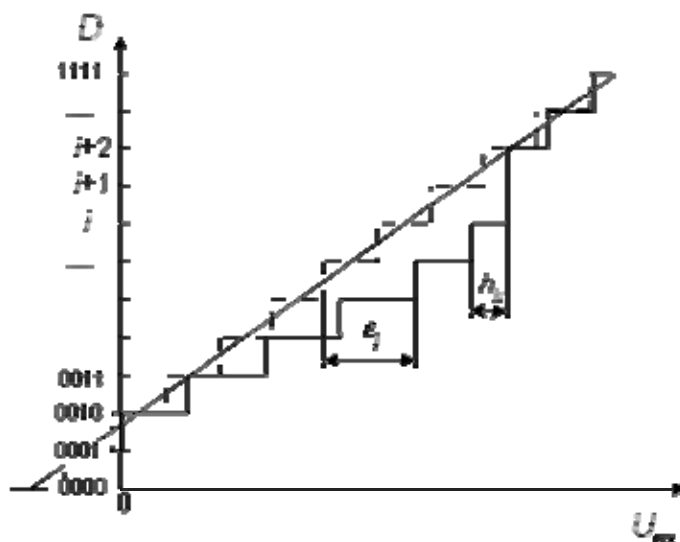
Погрешности линейности характеристики преобразования не могут быть устранены такими простыми средствами, поэтому они являются важнейшими метрологическими характеристиками АЦП.

Нелинейность - максимальное отклонение реальной характеристики преобразования $D(U_{вх})$ от оптимальной (линия 2 на рис. 24). Оптимальная характеристика находится эмпирически так, чтобы минимизировать значение погрешности нелинейности. Нелинейность обычно определяется в относительных единицах, но в справочных данных приводится также и в ЕМР. Для характеристики, приведенной на рис. 25

$$\delta_{л} = \frac{\varepsilon_{л}}{U_{пш}} \cdot 100\%$$

Дифференциальной нелинейностью АЦП в данной точке к характеристики преобразования называется разность между значением кванта преобразования h_k и средним значением кванта преобразования h . В спецификациях на конкретные АЦП значения дифференциальной нелинейности выражаются в долях ЕМР или процентах от полной шкалы. Для характеристики, приведенной на рис. 25,

$$\delta_{дл} = \frac{h_k - h}{U_{пш}} \cdot 100\%$$



**Рис. 25. Погрешности линейности
характеристики преобразования АЦП**

Погрешность дифференциальной линейности определяет два важных свойства АЦП: непропадание кодов и монотонность характеристики преобразования. Непропадание кодов — свойство АЦП выдавать все возможные выходные коды при изменении входного напряжения от начальной до конечной точки диапазона преобразования. Пример пропадания кода $i+1$ приведен на рис. 25. При нормировании непропадания кодов указывается эквивалентная разрядность АЦП — максимальное количество разрядов АЦП, для которых не пропадают соответствующие им кодовые комбинации.

Монотонность характеристики преобразования — это неизменность знака приращения выходного кода D при монотонном изменении входного преобразуемого сигнала. Монотонность не гарантирует малых значений дифференциальной нелинейности и непропадания кодов.

Температурная нестабильность АЦ-преобразователя характеризуется *температурными коэффициентами погрешности* полной шкалы и погрешности смещения нуля.

Динамические параметры

Возникновение динамических погрешностей связано с дискретизацией сигналов, изменяющихся во времени. Можно выделить следующие параметры АЦП, определяющие его динамическую точность.

Максимальная частота дискретизации (преобразования) — это наибольшая частота, с которой происходит образование выборочных значений сигнала, при которой выбранный параметр АЦП не выходит за заданные пределы. Измеряется числом выборок в секунду. Выбранным параметром может быть, например, монотонность характеристики преобразования или погрешность линейности.

Время преобразования ($t_{пр}$) — это время, отсчитываемое от начала импульса дискретизации или начала преобразования до появления на выходе устойчивого кода, соответствующего данной выборке. Для одних АЦП, например, последовательного счета или многотактного интегрирования, эта величина является переменной, зависящей от значения входного сигнала, для других, таких как параллельные или последовательно-параллельные АЦП, а также АЦП последовательного приближения, примерно постоянной. При работе АЦП без УВХ время преобразования является апертурным временем.

Время выборки (стробирования) - время, в течение которого происходит образование одного выборочного значения. При работе без УВХ равно времени преобразования АЦП.

Шумы АЦП

В идеале, повторяющиеся преобразования фиксированного постоянного входного сигнала должны давать один и тот же выходной код. Однако, вследствие неизбежного шума в схемах АЦП, существует некоторый диапазон выходных кодов для заданного входного напряжения. Если подать на вход АЦП постоянный сигнал и записать большое число преобразований, то в результате получится некоторое распределение кодов. Если подогнать Гауссовское распределение к полученной гистограмме, то стандартное отклонение будет примерно эквивалентно среднеквадратическому значению входного шума АЦП. В качестве примера на рис. 26 приведена гистограмма результатов 5000 преобразований постоянного входного сигнала, выполненных 16-разрядным двухтактным последовательно-параллельным АЦП AD7884.

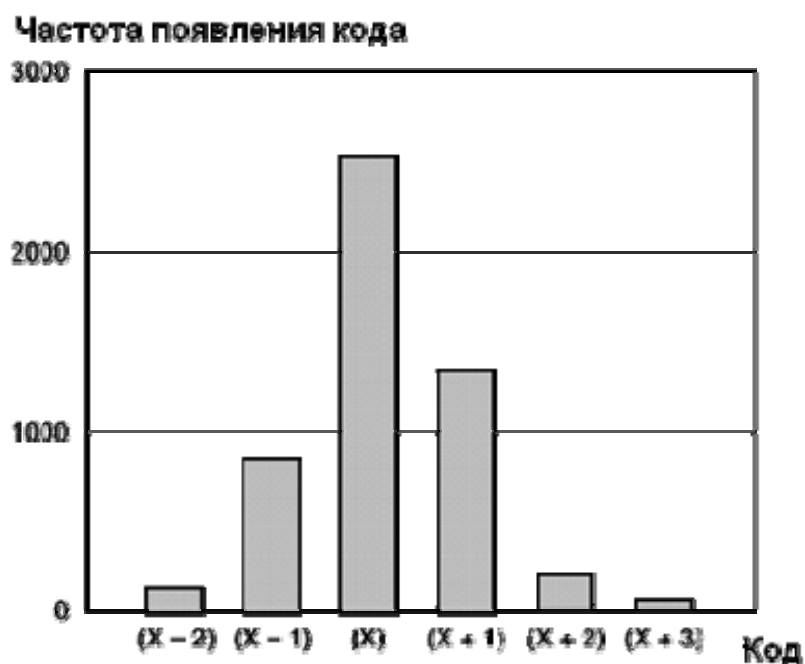


Рис. 26. Гистограмма результатов преобразования АЦП AD7884

Входное напряжение из диапазона + 5 В было установлено по возможности ближе к центру кода. Как видно из гистограммы, все результаты преобразований распределены на шесть кодов. Среднеквадратическое значение шума, соответствующее этой гистограмме, равно 120 мкВ.

В табл. 3 приведены важнейшие характеристики некоторых типов аналого-цифровых преобразователей и систем сбора данных.

Таблица 3

Наименование	Разрядность бит	Число каналов	Внутренний УВХ	Время преобр., мкс (част. пребр., МГц)	Интерфейс	Внутренний ИОН	Напряж. питания, В	Мощность потр. мВт	Примечание
АЦП широкого применения									

572ПВ1	12	1	Нет	110	Парал.	Нет	+/-5:15	120	Требуются внешние ОУ
1108ПВ2	12	1	Нет	2	Парал.	Есть	5, -6	1300	Последовательного приближения (ПП)
MAX114	8	4	Есть	0,66	Парал.	Нет	+/-5	40	Двухступенчатый. Дежур. режим - 5 мкВт
AD7893	12	1	Есть	6	Посл.	Нет	+/-5	30	8-выводной корпус. ПП
AD7882	16	1	Есть	2,5	Парал.	Есть	+/- 5	200	Автокалибровка, дежур. режим - 1 мВт
MAX186	12	8	Есть	7,5	Посл.	Есть	5, +/- 5	7,5	ПП. Дежур. режим - 10 мкВт
Микромощные АЦП									
572ПВ3	8	1	Нет	7,5	Парал.	Нет	5	20	
MAX1110	8	8	Есть	16	Посл.	Есть	2,7:5	0,7	ПП. Дежур. режим - 5 мкВт
AD7888	12	8	Есть	5	Посл.	Есть	2,7:5	2	ПП. Дежур. режим - 3 мкВт
MAX195	16	1	Есть	9,4	Посл.	Нет	+/- 5	80	Автокалибровка, дежур. режим - 0,1 мВт
Быстродействующие АЦП									
1107ПВ4	8	1	Нет	0,03 (100)	Парал.	Нет	+/-5, -5,2	3500	Параллельный
AD9054	8	1	Есть	(200)	Парал.	Есть	5	500	Параллельный, ТТЛ уровни выхода
MAX104	8	1	Есть	(1000)	Парал.	Нет	+/- 5	3500	Параллельный, ЭСЛ уровни выхода
AD9070	10	1	Есть	(100)	Парал.	Есть	-5	700	Двухступенчатый, ЭСЛ уровни выхода
AD9224	12	1	Есть	(40)	Парал.	Есть	5	390	Четырехступенчатый
AD9240	14	1	Есть	(10)	Парал.	Есть	5	280	Четырехступенчатый. ТТЛ, КМОП уровни выхода
Интегрирующие АЦП									
572ПВ5	3,5 ₁₀	1	-	12 пр/с	Парал.	Есть	9	15	Управление семисегментными ЖКИ
MAX132	18	1	-	100 пр/с	Посл.	Нет	5	0,6	Многотактного интегрирования
AD7715	16	1	-	20...500 пр/с	Посл.	Нет	3 или 5	3	Сигма-дельта, автокалибровка. Усилитель с программируемым усилением. Нелин. не более 0,0015%
AD7714	24	3	-	10...1000 пр/с	Посл.	Нет	3 или 5	2	Сигма-дельта, автокалибровка. Усилитель с программируемым усилением. Нелин. не более 0,0015%

AD7722	16	1	Нет	(0,22)	Посл.	Есть	5	375	Сигма-дельта, автокалибровка, скоростной
LTC2400	24	1	-	-	Посл.	Нет	2,7...5,5	1	Сигма-дельта в 8-выв. корпусе. Нелинейность не более 0,0004%. 8-канальн. вариант - LTC2408
AD1555	24	1	Нет	(0,256)	Посл.	Нет	+/-5	90	Сигма-дельта модулятор 4-го порядка. Динамический диапазон 121 дБ. Цифровой фильтр для него - AD1556
ADS1211	24	4	-	1000 пр/с	Посл.	Нет	+/-5	45	Сигма-дельта, автокалибровка. Усилитель с программируемым усилением
Системы сбора данных									
572ПВ4	8	8	Нет	25	Парал.	Нет	5	15	FIFO 8x8 бит
AD1B60	16	7	-	5:100 пр/с	Посл.	Есть	+/- 5	300	ПНЧ с микропроцессором, ЭСППЗУ команд
LM12458	13	8	Есть	(0,09)	Парал.	Есть	5	30	FIFO 32x16 бит, автокалибровка
AD7865	14	4 дифф.	4	2,4	Парал.	Есть	5	115	Преобразователи уровня в каждом канале.