

**Міністерство освіти та науки України
Національний технічний університет України
«Київський політехнічний інститут»
Факультет прикладної математики
Кафедра системного програмування і спеціалізованих
комп'ютерних систем**

Лабораторна робота №1

з дисципліни
«Технологія проектування комп'ютерних систем»

Виконав: Непокритий Микола Олександрович
Студент групи КВ-32

Перевірів(ла) _____

**м. Київ
2016**

Завдання

1) Описать логический элемент на языке Active-VHDL (элементы и их параметры выбираются в соответствии с вариантом)

2) Построить временные диаграммы работы логического элемента

Вариант №11

4И, 2ИЛИ, 3И, $t=30\text{ns}$

Код програми

4И:

```
-----
--
--
-- Title       : Lab1
-- Design      : Lab1
-- Author      : Nick
-- Company     : KPI
--
-----
--
--
-- File        : lab1.vhd
-- Generated    : Thu Oct 17 21:40:20 2016
-- From        : interface description file
-- By          : Itf2Vhdl ver. 1.20
--
-----
--
--
-- Description :
--
-----
--
--{{ Section below this comment is automatically maintained
--   and may be overwritten
--}}entity {and4} architecture {and4}}

library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity and4 is
    port(
        in1 : in STD_LOGIC;
        in2 : in STD_LOGIC;
        in3 : in STD_LOGIC;
        in4 : in STD_LOGIC;
        out1 : out STD_LOGIC
    );
end and4;
```

```
--}} End of automatically maintained section
```

```
architecture and4 of and4 is  
begin
```

```
    out1 <= in1 and in2 and in3 and in4 after 30ns;
```

```
end and4;
```

2ИЛИ:

```
library IEEE;  
use IEEE.STD_LOGIC_1164.all;
```

```
entity or2 is  
    port(  
        in1 : in STD_LOGIC;  
        in2 : in STD_LOGIC;  
        out1 : out STD_LOGIC  
    );
```

```
end or2;
```

```
--}} End of automatically maintained section
```

```
architecture or2 of or2 is  
begin
```

```
    out1<= in1 or in2 after 30ns;
```

```
end or2;
```

3НЕ:

```
library IEEE;  
use IEEE.STD_LOGIC_1164.all;
```

```
entity not3 is  
    port(  
        in1 : in STD_LOGIC;  
        in2 : in STD_LOGIC;  
        in3 : in STD_LOGIC;  
        out1 : out STD_LOGIC  
    );
```

```
end not3;
```

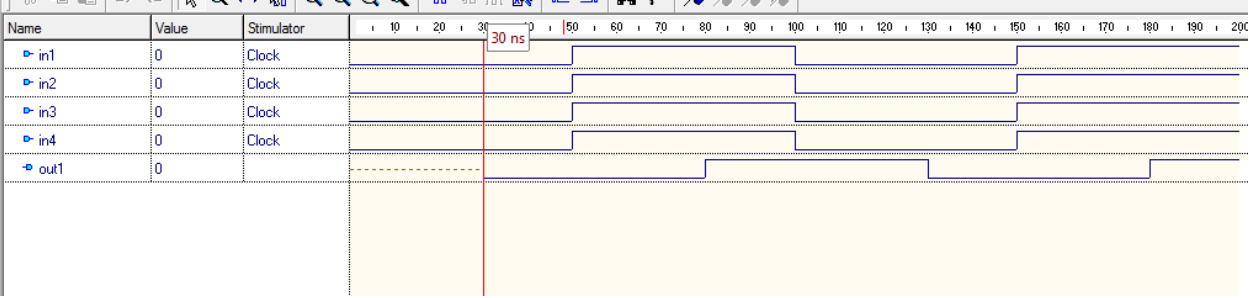
```
--}} End of automatically maintained section
```

```
architecture not3 of not3 is  
begin
```

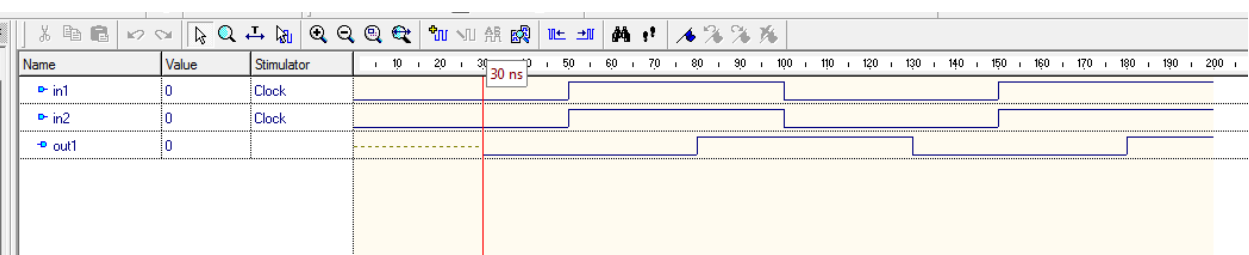
```
    out1 <= not(in1) after 30 ns;
```

```
end not3;
```

4И:



2ИИИ:



3НЕ:

