

Міністерство освіти і науки, молоді та спорту України
Національний технічний університет України
“Київський політехнічний інститут”
Факультет прикладної математики
Кафедра спеціалізованих комп’ютерних систем

Лабораторна робота №1
Дисципліна:
“Архітектура комп’ютерів”
Тема:
“Арифметико–логічні пристрої з розподіленою логікою”

Виконав:
Студент групи КВ–92
Гуль О. В.
Залікова книжка № КВ–9203

Перевірив:
Жабін В. І.

1 Мета

Одержати навички в проектуванні арифметико–логічних пристроїв з розподіленою логікою і автоматів управління з жорсткою логікою.

2 Завдання

1. Варіанти завдання визначаються молодшими розрядами a_7, \dots, a_1 двійкового номера залікової книжки.
2. Розробити структурну схему операційного пристрою та змістовний мікроалгоритм обробки додатних чисел відповідно до завдання наведеного у табл. 2.7. Для побудови схеми використати комбінаційний суматор, регістр–лічильник циклів та асинхронні регістри, що мають входи управління зсувами і занесенням інформації. На схемі повинні бути зазначені розрядність регістрів та шин.
3. Розробити функціональну схему операційного пристрою.
4. Виконати логічне моделювання роботи операційного пристрою за допомогою цифрової діаграми із зазначеними викладачем значеннями операндів.
5. Здійснити синтез пристрою управління, тип управляючого автомату обрати із табл. 2.9. Пам'ять автомата реалізувати на тригерах, тип яких обрати з табл. 2.8. Ураховувати, що мікрооперації на регістрах виконуються за перепадом управляючих сигналів з 1 в 0.
6. Побудувати часові діаграми роботи автомата для кожної комбінації значень логічних умов.

Варіант: $9203 = 10001111110011_2$.

$a_7, \dots, a_1 = 1110011$.

Функція: $D = A(B + 1) + 0.5C$.

Тип автомата: Мура.

Тип тригера: Т.

Ураховувати, що мікрооперації на регістрах виконуються за перепадом управляючих сигналів з 1 в 0.

3 Теоретичні відомості

Синтез арифметико–логічних пристроїв з розподіленою логікою.

За структурою розрізняють АЛП з розподіленою та зосередженою логікою (інакше АЛП із закріпленими та загальними мікроопераціями). В АЛП першого типу апаратура для реалізації мікрооперацій розподілена між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій. У пристроях другого типу всі логічні ланцюги об'єднані в арифметико–логічному блоці, а всі регістри реалізовані у вигляді надоперативного запам'ятовуючого пристрою. АЛП з розподіленою логікою складаються з двох функціональних частин: управляючий пристрій, що забезпечує формування всіх управляючих сигналів; операційний пристрій, забезпечує перетворення інформації та виконує мікрооперації над машинними словами. Побудова таких АЛП відбувається за наступними етапами:

1. Для кожної операції будується операційна схема та функціональний мікроалгоритм (Ф–мікроалгоритм). Рекомендується обирати такі мікроалгоритми виконання операцій, що краще сполучаються, тобто вимагають однакового напрямку зсувів в регістрах, однакову розрядність регістрів, одні й ті самі джерела операндів суматорів і таке інше.
2. Обирається розрядність регістрів, лічильників. Виконується логічне моделювання роботи ОПР, наприклад, із застосуванням діаграми стану регістрів при виконанні МА з критичними значеннями операндів.
3. Розробляється функціональна та принципова схеми ОПР із зазначенням управляючих сигналів для кожного вузла пристрою.
4. Складається закодований структурний мікро алгоритм (С–мікроалгоритм) виконання заданих операцій.
5. Виконується синтез управляючого пристрою.
6. Складається функціональна та принципова схеми АЛП.

4 Порядок виконання роботи

1. В моделюючій програмі ПРОГМОЛС 2.0 побудувати схему операційного пристрою для множення чисел та доповнити її схемою управляючого автомата. На першому етапі виходи автомата до входів операційного пристрою не підключати. Налагодити окремо схему операційного пристрою та схему управляючого автомата в синхронному режимі. Опис програмного комплексу ПРОГМОЛС 2.0 наведений у додатку М.
2. Підключити до управляючих входів операційного пристрою виходи автомата. Зробити комплексне налагодження схеми в синхронному режимі й перекоонатися в правильності одержання результату.
3. Перейти до асинхронного моделювання. Дослідити зазначені викладачем часові параметри схеми.

5 Виконання завдання

Нехай $n = 4$. $D = A(B + 1) + 0.5C$.

RGD – регістр результату (накопичувач).

RGA – регістр операнду A.

RGB – регістр операнду B. Лічильник, формує ознаку Z.

RGC – регістр операнду C. Реалізує МО зсуву вправо.

SM – комбінаційний суматор.

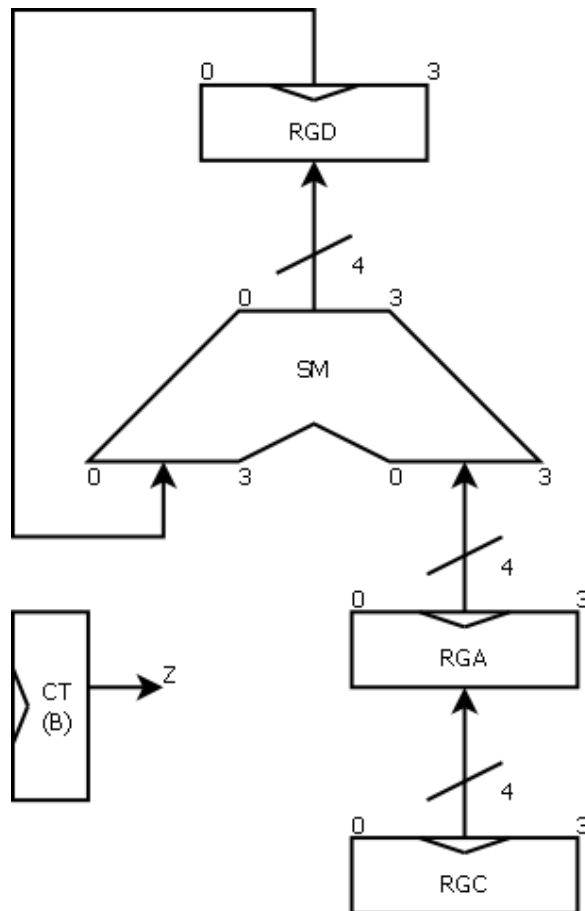


Рис. 1: Схема операційного пристрою.

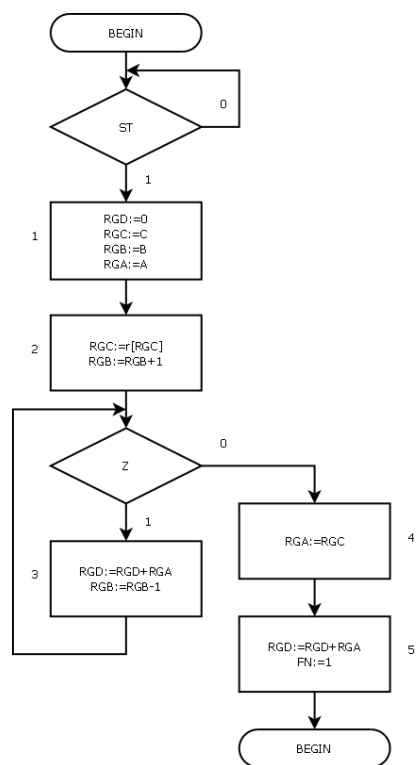


Рис. 2: Функціональний мікроалгоритм.

$A = 2 = 0010_2$
 $B = 3 = 0011_2$
 $C = 4 = 0100_2$
 $D = 2(3 + 1) + 0.5 * 4 = 10.$

RGA	RGB	RGC	RGD	№МО
0010	0011	0100	0000	1
	0100	0010		2
	0011		0010	3
	0010		0100	3
	0001		0110	3
	0000		1000	3
				4
			1010	5

Табл. 1: Діаграма станів регістрів при виконанні алгоритму.

Елемент	Мікрооперація	Управляючий сигнал
RGA	Запис	W 1 → 0
RGB	Запис	W 1 → 0
RGB	Інкремент	+1 1 → 0
RGB	Декремент	-1 1 → 0
RGC	Запис	W 1 → 0
RGC	Зсув вправо	SR 1 → 0
RGD	Запис	W 1 → 0
RGC	Скидання	R 1 → 0

Табл. 2: Перелік управляючих сигналів елементів.

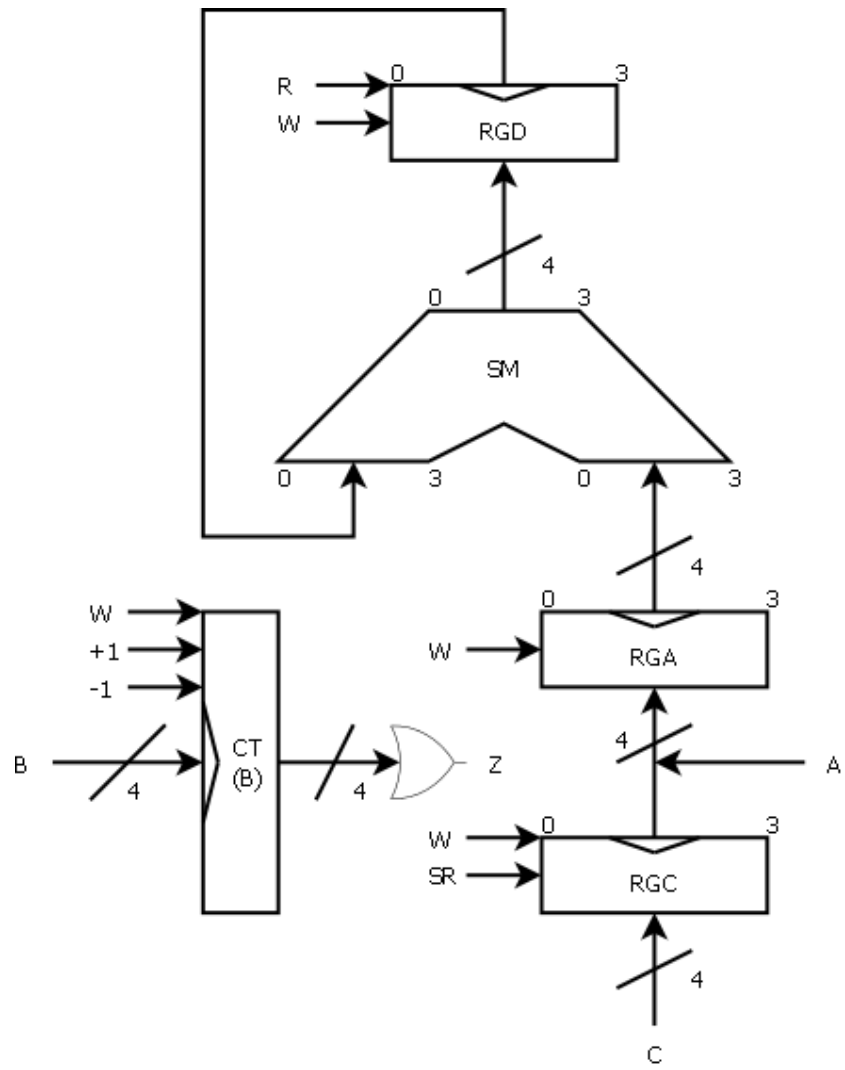


Рис. 3: Функціональна схема операційного пристрою.

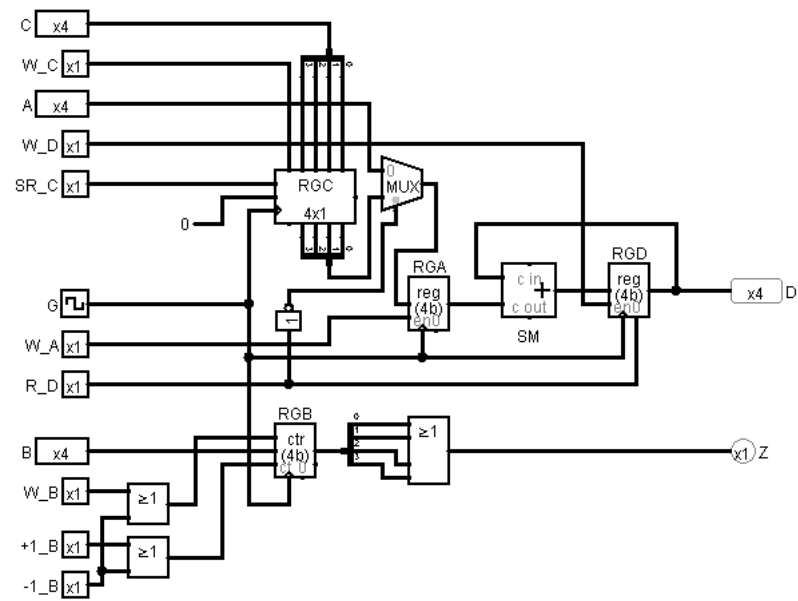


Рис. 4: Побудована функціональна схема операційного пристрою.

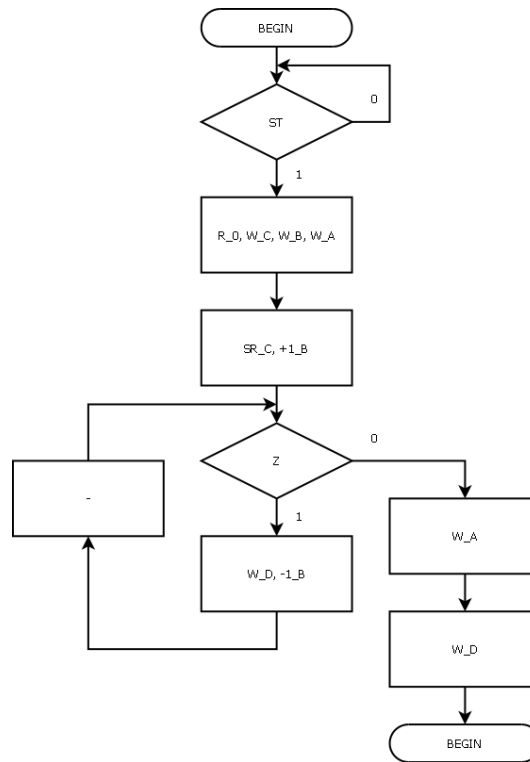


Рис. 5: Функціонально-структурний мікроалгоритм.

№МО	Мікрооперації та їх код
1	$(R_D, W_C, W_B) - Y_1, (W_A) - Y_2$
2	$(SR_C, +1_B) - Y_3$
3	$(W_D) - Y_4, (-1_B) - Y_5$
4	$(W_A) - Y_2$
5	$(W_D) - Y_4, (FN) - Y_7$

Табл. 3: Кодування сигналів управління.

Умова	Код
Пуск	ST
Кінець	FN
Ненульовий вміст лічильника RGB	Z

Табл. 4: Кодування логічних умов.

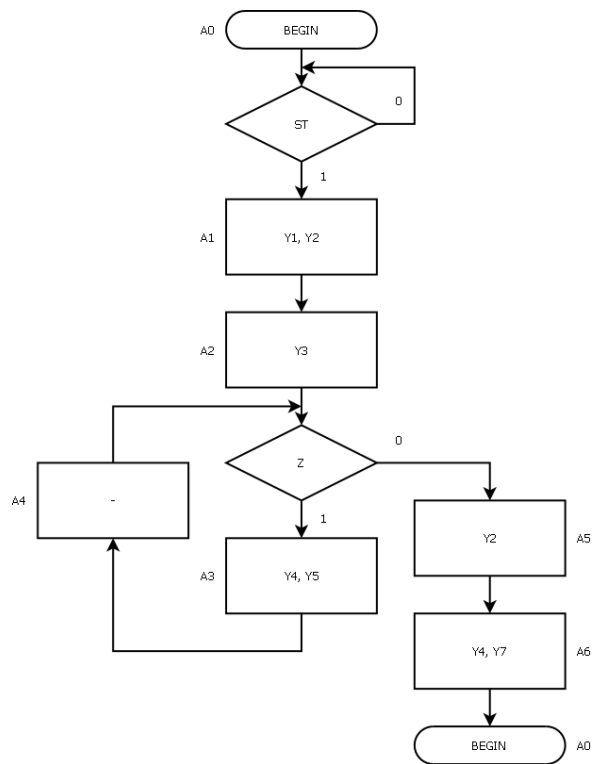


Рис. 6: Закодований функціонально-структурний мікроалгоритм.

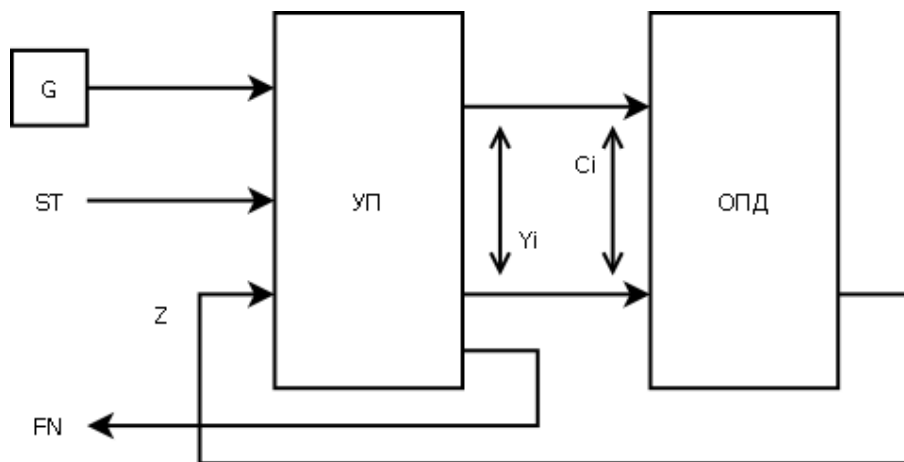


Рис. 7: Узагальнена структурна схема АЛП.

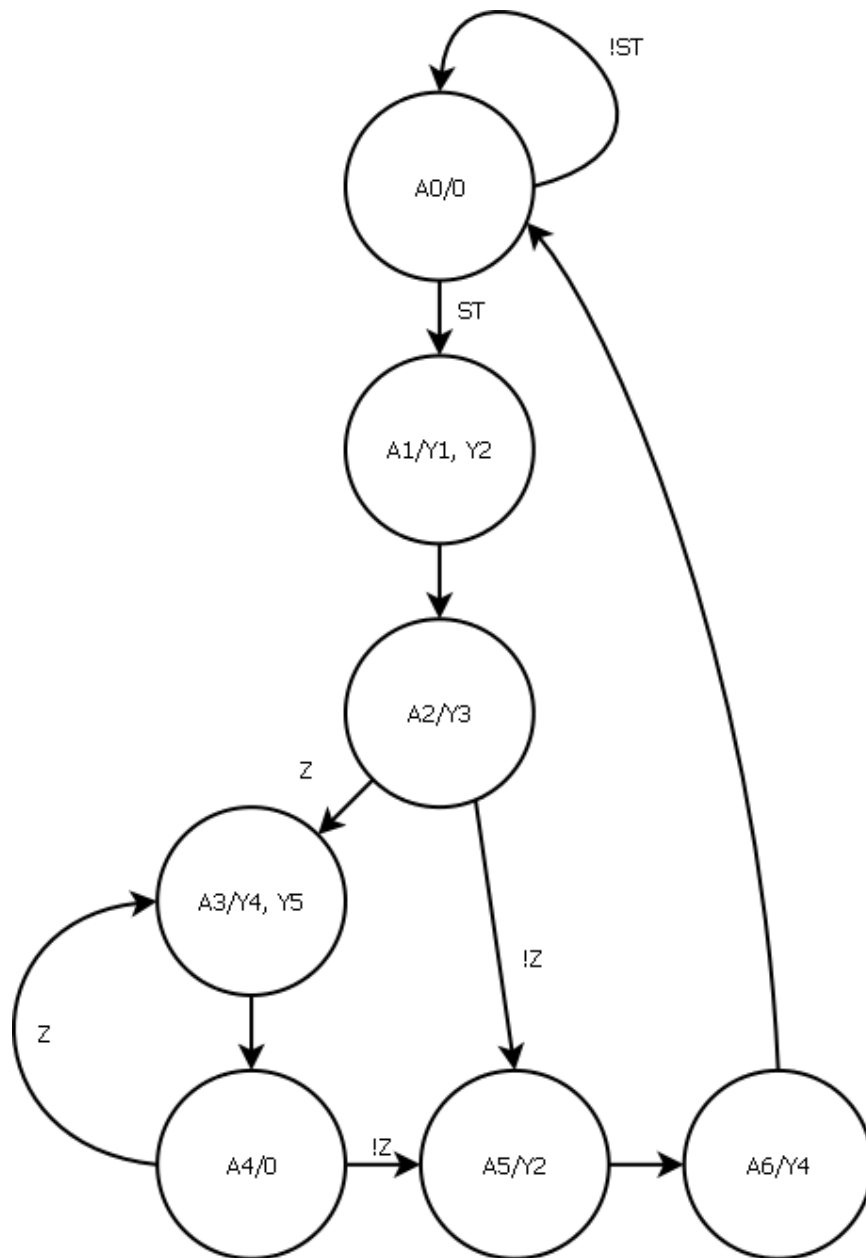


Рис. 8: Граф автомата.

Всього 7 станів – потрібно 3 тригери.

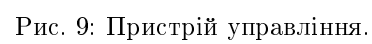
Стан	Q_2	Q_1	Q_0
A_0	0	0	0
A_1	0	0	1
A_2	0	1	0
A_3	0	1	1
A_4	1	0	0
A_5	1	0	1
A_6	1	1	0

Табл. 5: Кодування станів автомата.

ПС	Код ПС			НС	Код НС			Лог. умови		Керуючі сигнали							Ф-ції збудження		
	Q_2	Q_1	Q_0		Q_2	Q_1	Q_0	ST	Z	Y_1	Y_2	Y_3	Y_4	Y_5	Y_7	T_2	T_1	T_0	
A_0	0	0	0	A_0	0	0	0	0	*	0	0	0	0	0	0	0	0	0	
A_0	0	0	0	A_1	0	0	1	1	*	1	1	0	0	0	0	0	0	1	
A_1	0	0	1	A_2	0	1	0	*	*	0	0	1	0	0	0	0	1	1	
A_2	0	1	0	A_3	0	1	1	*	1	0	0	0	1	1	0	0	0	1	
A_2	0	1	0	A_5	1	0	1	*	0	0	1	0	0	0	0	1	1	1	
A_3	0	1	1	A_4	1	0	0	*	*	0	0	0	0	0	0	1	1	1	
A_4	1	0	0	A_3	0	1	1	*	1	0	0	0	1	1	0	1	1	1	
A_4	1	0	0	A_5	1	0	1	*	0	0	1	0	0	0	0	0	0	1	
A_5	1	0	1	A_6	1	1	0	*	*	0	0	0	1	0	1	0	1	1	
A_6	1	1	0	A_0	0	0	0	*	*	0	0	0	0	0	0	1	1	0	

Табл. 6: Структурна таблиця автомата.

$$\begin{aligned}
Y_1 &= Q_0 \overline{Q_1} \overline{Q_2} \\
Y_2 &= Q_0 \overline{Q_1} \\
Y_3 &= \overline{Q_0} Q_1 \overline{Q_2} \\
Y_4 &= Q_0 Q_1 \overline{Q_2} \vee \overline{Q_0} Q_1 Q_2 \\
Y_5 &= Q_0 Q_1 \overline{Q_2} \\
Y_7 &= \overline{Q_0} Q_1 Q_2 \\
T_2 &= \overline{Q_0} Q_1 \overline{Q_2} \overline{Z} \vee Q_0 Q_1 \overline{Q_2} \vee \overline{Q_0} \overline{Q_1} Q_2 Z \vee \overline{Q_0} Q_1 Q_2 = \\
&= \overline{Q_0} Q_1 (\overline{Z} \vee Q_2) \vee Q_0 Q_1 \overline{Q_2} \vee \overline{Q_0} \overline{Q_1} Q_2 Z = \\
&= \overline{Q_0} Q_1 \overline{Z} \vee \overline{Q_0} Q_1 Q_2 \vee Q_0 Q_1 \overline{Q_2} \vee \overline{Q_0} \overline{Q_1} Q_2 Z \\
T_1 &= \overline{Q_0} \overline{Q_1} \overline{Q_2} \vee \overline{Q_0} Q_1 \overline{Q_2} Z \vee \overline{Q_0} \overline{Q_1} Q_2 \overline{Z} = \\
&= \overline{Q_0} (\overline{Q_1} \overline{Q_2} \vee \overline{Q_2} Z \vee \overline{Q_1} \overline{Z}) \\
T_0 &= \overline{Q_0} \overline{Q_1} \overline{Q_2} \overline{ST} \vee \overline{Q_0} Q_1 Q_2
\end{aligned}$$



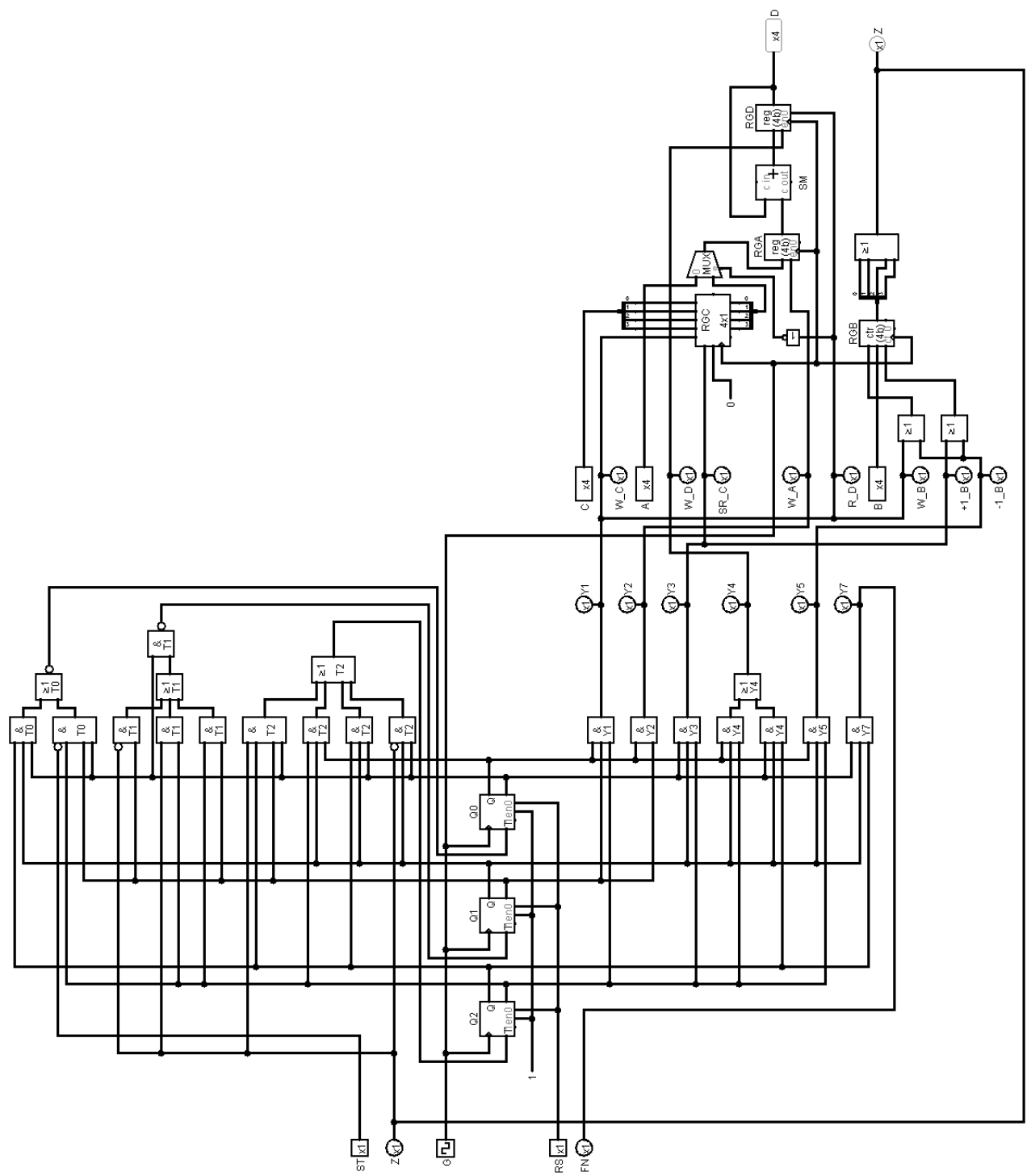


Рис. 10: Зібрана схема.

G	ST	FN	RS	Z	Q ₂	Q ₁	Q ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₇
0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	1	1	1	0	0	0	0
0	0	0	0	0	0	0	1	1	1	0	0	0	0
0	1	0	0	0	0	0	1	1	1	0	0	0	0
0	0	0	0	0	0	0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	1	1	1	0	0	0	0
0	0	0	0	1	0	1	0	0	0	1	0	0	0
1	0	0	0	1	0	1	0	0	0	1	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	1	0
1	0	0	0	1	0	1	1	0	0	0	1	1	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	1	0
1	0	0	0	1	0	1	1	0	0	0	1	1	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	1	0
1	0	0	0	1	0	1	1	0	0	0	1	1	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	1	0
1	0	0	0	1	0	1	1	0	0	0	1	1	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	1	0
1	0	0	0	1	0	1	1	0	0	0	1	1	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	1	1	0	0	0	0	0	