

КУРСОВА РОБОТА

з дисципліни
«Комп'ютерна електроніка»

на тему: «Створити та дослідити модель чотирьохрозрядного лічильника,
який забезпечує ділення вхідної частоти на шістнадцять з використанням
моделей тригерів $DR\bar{S}$ »

Студента III курсу, групи KB-41
спеціальності 123

«Комп'ютерна інженерія»

____ Горпинич-Радуженко І.О. _____
(прізвище та ініціали)

Керівник

доцент каф. СП СКС, к.т.н. Сапсай Т.Г.

Національна оцінка _____

Кількість балів: _____ Оцінка ECTS _____

Члени комісії _____

**Завдання на курсову роботу
з дисципліни «Комп'ютерна електроніка»
Варіант №5**

1 Дослідити базову схему ТТЛ 3І-НЕ.

Вхідні дані для дослідження:

$$U_{\text{ВХ}}^0 = 0.17 \text{ (В)};$$

$$U_{\text{ВХ}}^1 = 4.411 \text{ (В)};$$

$$I_{\text{ВХ}}^0 = 0.0019 \text{ (А)};$$

$$U_{\text{ВІХ max}}^0 = 0.21 \text{ (В)};$$

$$U_{\text{ВІХ min}}^1 = 4.411 \text{ (В)}.$$

2. На базі досліджених базової схеми ТТЛ 3І-НЕ побудувати і дослідити модель $DR\bar{S}$ -тригера з прямим синхронним інформаційним входом D , прямим R та інверсним S асинхронними входами. Забезпечити ділення вхідної частоти на коефіцієнт $K=4$ при початкову стані $Q_1 = 1, Q_2 = 1$. Синхронізація відбувається під час переходу з «0» в «1».

3. На базі $DR\bar{S}$ -тригера створити модель схеми чотирьохрозрядного лічильника з коефіцієнтом ділення вхідної частоти $K = 16$.

4. Задати одноразовий режим роботи програмованого лічильника з модулем ділення $M = 4$. Коефіцієнт ділення вхідної частоти $N=8403$.

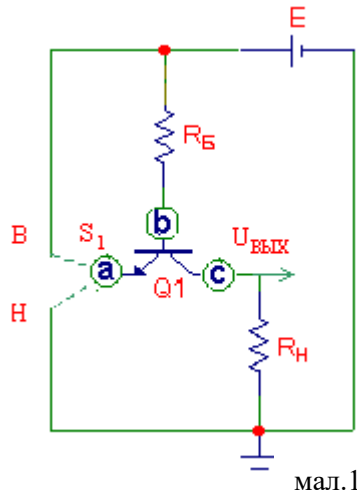
Завдання отримав
студент гр.КВ-41
Горпинич-Радуженко І.О. _____
«29» вересня 2016 р.

Завдання видала
доц. кафедри СПСКС
Сапсай Т.Г. _____
«__» _____ 2016 р.

1. Дослідити базову схему ТТЛ 3І-НЕ.

Дослідження багатоемітерного транзистора.

Оскільки, як правило, в схемах ТТЛ на вході використовується багатоемітерний транзистор, дослідимо спочатку його роботу. На мал. 1 наведено схему керуючого транзистора з одним входом (аналог багатоемітерного):

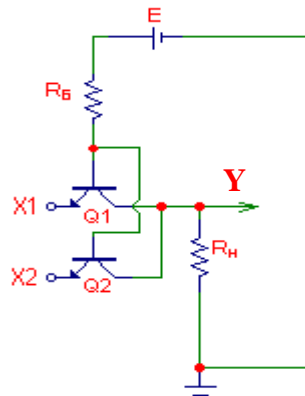


Для зручності дослідження перемикання логічного елементу до входу підключено керуючий перемикач S_1 , який може займати два положення В і Н, до виходу підключено резистор навантаження R_H . У положенні В на вхід надходить напруга високого рівня (напруга джерела живлення Е), а в положенні Н – напруга низького рівня (схемна земля). Якщо на вхід подається низька напруга (перемикач S_1 у положенні Н), то вхідний струм $I_{ВХ}^0$ протікає від джерела живлення Е через резистор R_B та перехід база-емітер керуючого транзистора Q_1 . Перехід база-колектор транзистора Q_1 зміщений у зворотньому напрямку. Таким чином, перехід база-емітер транзистора Q_1 відкритий, а перехід база-колектор Q_1 закрито, тобто транзистор працює в прямому включенні, напруга на виході дорівнює низькому рівню.

При подачі на вхід високого рівня (перемикач S_1 у положенні В) перехід база-емітер транзистора Q_1 буде закритий, тому що він зміщений у зворотньому напрямку. Обидва електроди (база і емітер) підключені до джерела живлення. На базу від джерела живлення Е через резистор бази R_B надходить струм I_{R_B} , перехід база-колектор - відкрито. На колекторі Q_1 встановлюється напруга високого рівня. На вхід надходить тільки струм $I_{ВХ}^1$. Таким чином, перехід база-емітер транзистора

Q_1 закритий, а перехід база-колектор Q_1 відкрито, тобто транзистор Q_1 працює в інверсному включенні, на виході встановлюється високий рівень.

Якщо кількість входів керуючого транзистора Q_1 більше одного, то елемент буде реалізовувати логічну функцію І.



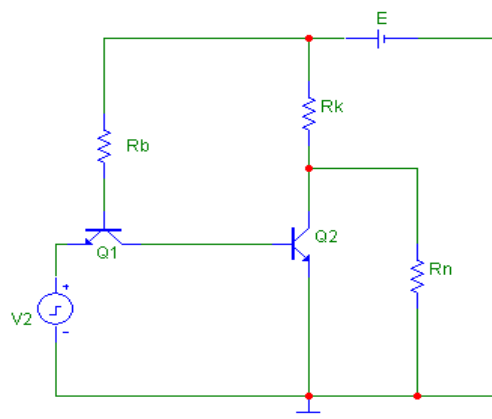
Схема, що реалізує логічну функцію І

$Y = X_1 X_2$, де X_1, X_2 – вхідні сигнали, Y – функція на виході схеми.

Тобто, якщо хоча б на одному вході схеми низький рівень ($X_1 X_2 = L$), то транзистор Q_1 буде працювати в прямому включенні і на виході схеми встановиться низький рівень ($Y = L$). При цьому зміна логічних рівнів на інших входах не буде впливати на вихідну напругу $U_{\text{вих}}$.

Лише у випадку подачі високих рівнів на усі входи ($X_1 X_2 = H$) багатомітерний транзистор Q_1 перейде в інверсне включення, і напруга на виході встановиться у високий рівень ($Y = H$).

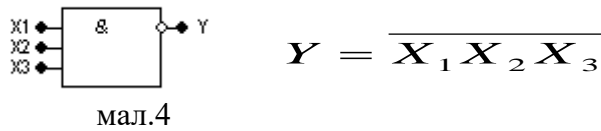
Логічний елемент, приведений на мал. 1 не змінює фазу вхідного сигналу. При додаванні інвертора, виконаного на транзисторі Q_2 (мал.2), отримаємо схему транзисторного ключа з керуючим транзистором на вході.



мал.2

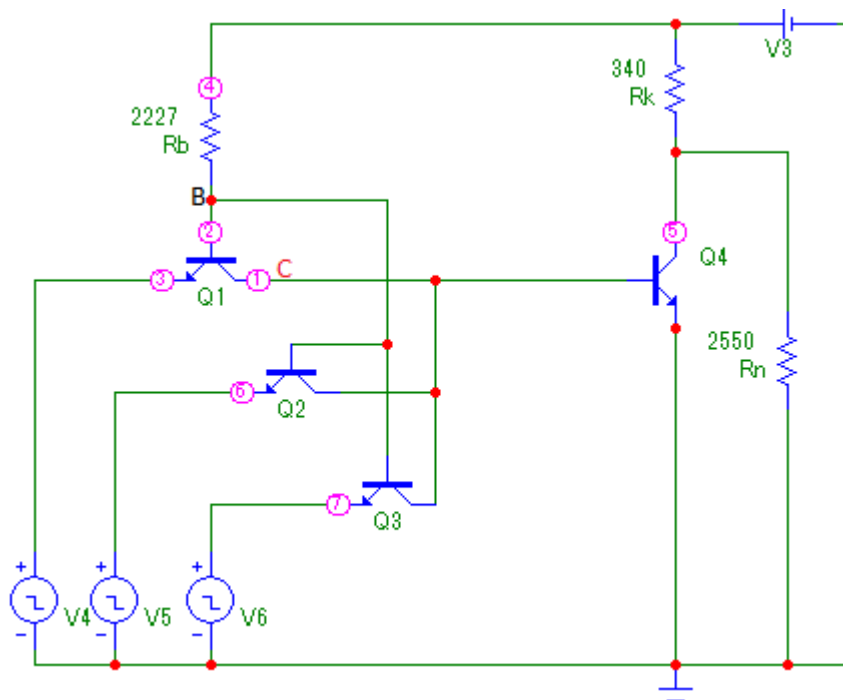
Логічний елемент, приведений на мал.2 реалізує функцію І-НЕ.

Схема І-НЕ складається з елементу І та інвертору. Ця схема здійснює заперечення результату схеми І. Якщо кількість входів в елементі дорівнює 3, то такий елемент має назву 3І-НЕ. Умовне позначення на структурних схемах схеми 3І-НЕ представлено на мал.4:



Зазначимо, що будь-яка булева функція може бути реалізована за допомогою схем І-НЕ. Функції, що мають таку властивість називаються функціонально повними.

Дослідимо докладніше схему 3І-НЕ.



Вхідні дані для дослідження:

$$U_{BX}^0 = 0.17 \text{ (В)};$$

$$U_{BX}^1 = 4.411 \text{ (В)};$$

$$I_{BX \max}^0 = 0.0019 \text{ (А)};$$

$$U_{ВИХ \max}^0 = 0.21 \text{ (В)};$$

$$U_{ВИХ \min}^1 = 4.411 \text{ (В)}.$$

Коефіцієнти підсилення струму:

- для транзистора Q_4 у прямому включенні $\beta_H=10$ (режим насичення);
- для транзисторів Q_1, Q_2, Q_3 в інверсному включенні $\beta_{INV}=1$.
- для транзисторів Q_1, Q_2, Q_3, Q_4 у прямому включенні напруга переходу база-емітер у режимі насичення: $U_{BE} \approx 0,6$ (В)
- для транзисторів Q_1, Q_2, Q_3 в інверсному включенні напруга переходу база-колектор: $U_{BK} \approx 0,55$ (В)
- $I_{ВХ}^1 = I_{R6}$, де I_{R6} - струм через резистор R_B при $U_{ВХ}=U_{ВХ}^1$, $I_{ВХ}^1$ - вихідний струм при $U_{ВХ}=U_{ВХ}^1$.

Параметри схеми будемо розраховувати згідно з таблицею:

X1	X2	X3	Y
L	L	L	H
L	L	H	H
L	H	H	H
H	H	H	L

Якщо хоча б на одному з входів низький рівень, то на виході маємо високий рівень.

Якщо на всі входи подаємо високі рівні, на виході отримаємо низький рівень.(Згідно реалізації схеми 3I-HE).

1. Розглянемо випадок, коли $U_{ВХ}=U_{ВХ}^0$ - транзистори Q_1, Q_2 та Q_3 знаходяться в прямому включенні, тоді напруга у вузлі «b»:

$$U_b = U_{ВХ}^0 + U_{BEQ1} = 0,17 + 0,6 = 0,77 \text{ (В)}$$

$$R_B = \frac{U_{RБ}}{I_{R1низ}} = \frac{E-U_b}{I_{ВХmax}^0} = \frac{5-0,77}{0,0019} = 2226,315 \text{ (Ом)}$$

$$\text{Тому } R_B^* = 2227 \text{ Ом}$$

Нехай $U_{ВХ} = U_{ВХ}^1$ (транзистор $Q1$ в інверсному режимі)

$$U_b = U_{BK1} + U_{BE2} = 0,55 + 0,6 = 1,15 \text{ (В)}$$

$$I_{RБвис} = \frac{U_{RБ}}{R_B} = \frac{E-U_b}{R_B} = \frac{5-1,15}{2227} = 0,00173 \text{ (А)} = I_{ВХ}^1$$

Так як транзистор Q_1 , Q_2 та Q_3 знаходяться в прямому включенні, струм у вузлі «с» практично дорівнює нулю, тому транзистор Q_4 закритий.

Якщо $U_{ВИХ} = U_{ВИХ}^1$, то $I_{RK} = I_{RH} = I_{ВИХ}^1 = I_{RБВис}$

$$R_K = \frac{U_{RK}}{I_{RK}} = \frac{E - U_{ВИХ}^1}{I_{RБВис}} = \frac{5 - 4,411}{0,00173} = 340,462 \text{ (Ом)}$$

Значення R_K округляємо в меншу сторону, оскільки треба забезпечити виконання умови $U_{ВХ}^1 \leq U_{ВИХ} < E$.

Тому $R_K^* = 340 \text{ Ом}$

Знайдемо R_H при тому, що $I_{RH} = I_{RБ}$.

$$R_H = \frac{U_{RH}}{I_{RH}} = \frac{U_{ВИХ}^1}{I_{RБВис}} = \frac{4,411}{0,00173} = 2549.71 \text{ (Ом)}$$

Значення R_H округляємо в більшу сторону, оскільки при розрахунку R_H ми обирали мінімальне значення $U_{ВИХ}^1 = U_{ВХ}^1$, і тому номінал опору треба вибирати, округлюючи в більшу сторону. Тому $R_H^* = 2550 \text{ Ом}$

Струм I_{RK} :

$$I_{RK} = \frac{E - U_{ВИХ}^1}{R_K} = \frac{5 - 4,411}{340} = 0,00173 \text{ (А)}$$

Струм I_{RH} :

$$I_{RH} = \frac{U_{ВИХ}^1}{R_H} = \frac{4,411}{2550} = 0,001729 \text{ (А)}$$

Розрахуємо струми на базах транзисторів Q_1 , Q_2 та Q_3 :

$$I_{BQ1} = I_{BQ2} = I_{BQ3} = \frac{I_{RБ}}{3} = \frac{0,0019}{3} = 0,0004 \text{ (А)}$$

Так як транзистори Q_1 , Q_2 та Q_3 працюють у прямому режимі, струми на їх колекторах $I_{KQ1} = I_{KQ2} = I_{KQ3}$ практично дорівнюють нулю.

Розрахуємо струми на емітерах транзисторів Q_1 , Q_2 та Q_3 :

$$I_{EQ1} = \frac{I_{ВХ}^0}{3} = \frac{0,0019}{3} = 0,0004 \text{ (А)}$$

$$I_{EQ2} = \frac{I_{ВХ}^0}{3} = \frac{0,0019}{3} = 0,0004 \text{ (А)}$$

$$I_{EQ3} = \frac{I_{ВХ}^0}{3} = \frac{0,0019}{3} = 0,0004 \text{ (А)}$$

Оскільки транзистор Q_4 закритий, то струм на його колекторі та базі дорівнює нулю.

2. Розглянемо випадок, коли $U_3 = U_6 = U_{VX}^0$, $U_7 = U_{VX}^1$ – транзистори Q_1 та Q_2 знаходяться в прямому включенні, Q_3 – в інверсному.

Оскільки U_b визначається переходом база-емітер та U_{VX}^0 , то значення U_b буде дорівнювати значенню U_b для випадку $U_{VX} = U_{VX}^0$ (з невеликою похибкою через те, що Q_7 працює в інверсному режимі). Тобто, $U_b = 0.77$ В

Оскільки на виході маємо високий рівень, то значення струмів I_{RK} та I_{RH} будуть такі самі як і для випадку $U_{VX} = U_{VX}^0$. Тобто, $I_{RK} = 0,00173$ (А), $I_{RH} = 0,001729$ (А).

Оскільки на транзистор Q_4 струм майже не надходить, то струм на його колекторі та базі дорівнює нулю.

3. Розглянемо випадок, коли $U_3 = U_{VX}^0$, $U_6 = U_7 = U_{VX}^1$ – транзистор Q_1 знаходиться в прямому включенні, Q_2 та Q_3 – в інверсному.

Оскільки U_b визначається переходом база-емітер та U_{VX}^0 , то значення U_b буде дорівнювати значенню U_b для випадку $U_{VX} = U_{VX}^0$ (з невеликою похибкою через те, що Q_2 та Q_3 працюють в інверсному режимі). Тобто, $U_b = 0.77$ В

Оскільки на виході маємо високий рівень, то значення струмів I_{RK} та I_{RH} будуть такі самі як і для випадку $U_{VX} = U_{VX}^0$. Тобто, $I_{RK} = 0,00173$ (А),

$$I_{RH} = 0,001729 \text{ (А)}.$$

4. Розглянемо випадок, коли $U_{VX} = U_{VX}^1$, тоді транзистор Q_1 , Q_2 та Q_3 працюють в інверсному режимі. Знайдемо напругу у вузлі «b»:

$$U_b = U_{BKQ1} + U_{BEQ3} = 0,55 + 0,6 = 1,15 \text{ (В)}$$

Напруга у вузлі «с»:

$$U_c = U_{BEQ4} = 0,6 \text{ (В)}$$

Струм через резистор R_B :

$$I_{R6} = \frac{E - U_b}{R_B} = \frac{5 - 1,15}{2227} = 0,00173 \text{ (А)}$$

Тоді струм у вузлі «с» (враховуючи, що $\beta_{INV}=1$) дорівнює:

$$I_C = I_{R6} + I_{EK(Q1)} = 2 \cdot I_{R6} = 2 \cdot 0.0017287 = 0.0034576(A)$$

У той же час

$$I_C = I_{B(Q4)}$$

$$I_{BQ4}=0.0034576(A)$$

Визначимо навантажувальну здатність даної схеми.

$$I_{KQ4} = \beta_{HQ4} I_{BQ4} = 10 \cdot 0.0034576 = 0.034576 (A)$$

$$I_H = I_{KQ4} - I_{RK} = 0.020496 (A)$$

$$N = \frac{I_H}{I_{BXmax}^0} = \frac{0.020496}{0,0019} = 10,787 \approx 10$$

Використовуючи заданий коефіцієнт підсилення струму в режимі насичення, можна знайти струм на колекторі транзистора Q4:

$$I_{KQ4} = \beta_{HQ4} I_{BQ4} = 10 \cdot 0.0034576 = 0.034576 (A)$$

Якщо транзистор Q4 знаходиться в режимі насичення, то $U_{ВИХ}=U_{ВИХ}^0$, тоді струм через опір колектора R_K дорівнює:

$$I_{RK} = \frac{E - U_{ВИХ}^0}{R_K} = \frac{5 - 0,21}{340} = 0,01408 (A)$$

У такий спосіб максимально припустимий струм навантаження буде складати:

$$I_H = I_{KQ4} - I_{RK} = 0.020496 (A)$$

А навантажувальна здатність:

$$N = \frac{I_H}{I_{BXmax}^0} = \frac{0.020496}{0,0019} = 10,787 \approx 10$$

(Отримане значення N округляється до найближчого меншого цілого числа.)

Розрахуємо струми на базах транзисторів Q_1 , Q_2 та Q_3 :

$$I_{BQ1} = I_{BQ2} = I_{BQ3} = \frac{I_{RB}}{3} = \frac{0,00173}{3} = 0,00058 (A)$$

Так як транзистори Q_1 , Q_2 та Q_3 працюють в інверсному режимі, $I_{KQ1} = I_{KQ2} = I_{KQ3} = I_{R6}$.

Розрахуємо струми на емітерах транзисторів Q_1 , Q_2 та Q_3 :

$$I_{EQ1} = \frac{I_{BXmax}^0}{3} = \frac{0,0019}{3} = 0,0004 (A)$$

$$I_{EQ2} = \frac{I_{BX}^0}{3} = \frac{0,0019}{3} = 0,0004 \text{ (A)}$$

$$I_{EQ3} = \frac{I_{BX}^0}{3} = \frac{0,0019}{3} = 0,0004 \text{ (A)}$$

Оскільки транзистор Q₄ закритий, то струм на його колекторі та базі дорівнює нулю.

Таблиця параметрів схеми:

Параметри		U _{BX}	U _{ВІХ}	U _б	U _с	I _{R6}	I _{Rк}	I _{Rн}
розрах. значення	U ₃ =U ₄ =U ₇ = U ⁰ _{BX}	0,17	4,411	0,77	>0,17	1,9	1,73	1,723
	U ₃ = U ⁰ _{BX}	0,17	4,411	0,77	>0,17	1,9	1,73	1,723
	U ₄ = U ⁰ _{BX}	0,17						
	U ₇ = U ¹ _{BX}	4,411						
	U ₃ = U ⁰ _{BX}	0,17	4,411	0,77	>0,17	1,9	1,73	1,723
	U ₄ = U ¹ _{BX}	4,411						
	U ₇ = U ¹ _{BX}	4,411						
реальні значення	U ₃ =U ₄ =U ₇ = U ⁰ _{BX}	0,17	4,412	0,69	0,18	1,933	1,73	1,73
	U ₃ = U ⁰ _{BX}	0,17	4,412	0,706	0,198	1,928	1,73	1,73
	U ₄ = U ⁰ _{BX}	0,17						
	U ₇ = U ¹ _{BX}	4,411						
	U ₃ = U ⁰ _{BX}	0,17	4,412	0,724	0,21	1,92	1,73	1,73
	U ₄ = U ¹ _{BX}	4,411						
	U ₇ = U ¹ _{BX}	4,411						
	U ₃ =U ₄ =U ₇ = U ¹ _{BX}	4,411	0,049	1,105	0,599	1,749	14,56	0,00019

U₃ – напруга в точці 3 на схемі. Відповідає першому входу транзистора.

U₆ – напруга в точці 6 на схемі. Відповідає другому входу транзистора.

U₇ – напруга в точці 7 на схемі. Відповідає третьому входу транзистора.

Параметри		$I_{B(Q1)}$	$I_{B(Q2)}$	$I_{B(Q3)}$	$I_{K(Q1)}$	$I_{K(Q2)}$	$I_{K(Q3)}$	$I_{E(Q1)}$	$I_{E(Q2)}$	$I_{E(Q3)}$	$I_{B(Q4)}$	$I_{K(Q4)}$
розрах.	$U_3=U_4=U_7=U_{BX}^0$	0.6	0.6	0.6	~ 0	~ 0	~ 0	0.6	0.6	0.6	~ 0	~ 0
значення	$U_3=U_{BX}^1$	$I_{R6} -$	$I_{R6} -$	$I_{R6} -$	$I_{K(Q2)} +$	$I_{K(Q3)} -$	$I_{K(Q1)} +$	$(\beta + 1)$	$(\beta + 1)$	I_{BX}	~ 0	~ 0
	$U_6=U_{BX}^0$	$I_{B(Q2)} -$	$I_{B(Q1)} -$	$I_{B(Q1)} -$	$I_{B(Q4)} -$	$I_{K(Q1)} -$	$I_{K(Q2)} +$	$*I_{B(Q1)}$	$*I_{B(Q2)}$			
	$U_7=U_{BX}^0$	$I_{B(Q3)}$	$I_{B(Q3)}$	$I_{B(Q2)}$	$I_{K(Q3)}$	$I_{B(Q4)}$	$I_{B(Q4)}$					
	$U_3=U_{BX}^1$	$I_{R6} -$	$I_{R6} -$	$I_{R6} -$	$I_{K(Q2)} +$	$I_{B(Q4)} +$	$I_{B(Q4)} +$	$(\beta + 1)$	I_{BX}	I_{BX}	~ 0	~ 0
значення	$U_6=U_{BX}^1$	$I_{B(Q2)} -$	$I_{B(Q1)} -$	$I_{B(Q1)} -$	$I_{K(Q3)} -$	$I_{K(Q1)} -$	$I_{K(Q1)} -$	$*I_{B(Q1)}$				
	$U_7=U_{BX}^0$	$I_{B(Q3)}$	$I_{B(Q3)}$	$I_{B(Q2)}$	$I_{B(Q4)}$	$I_{K(Q3)}$	$I_{K(Q2)}$					
	$U_3=U_6=U_7=U_{BX}^1$	0,58	0,58	0,58	1,73	1,73	1,73	0,6	0,6	0,6	3,45	34,5
реальні	$U_3=U_6=U_7=U_{BX}^0$	0.64	0.64	0.64	~ 0	~ 0	~ 0	-0,64	-0,64	-0,64	~ 0	~ 0
значення	$U_3=U_{BX}^1$	0.62	0.65	0.65	-1.25	0.62	0,62	0,63	-1,28	-1,28	~ 0	~ 0
	$U_6=U_{BX}^0$											
	$U_7=U_{BX}^0$											
	$U_3=U_{BX}^1$	0.62	0.61	0.69	-1.25	-1.25	2.5	0,63	0,63	-3.19	~ 0	~ 0
значення	$U_6=U_{BX}^1$											
	$U_7=U_{BX}^0$											
	$U_3=U_6=U_7=U_{BX}^1$	0.58	0.58	0.58	-1.18	-1.18	-1.18	0.598	0.598	0.598	3.55	14.54

Значення струмів в таблиці наведено в міліамперах (мА). Значення напруг - у Вольтах (В).

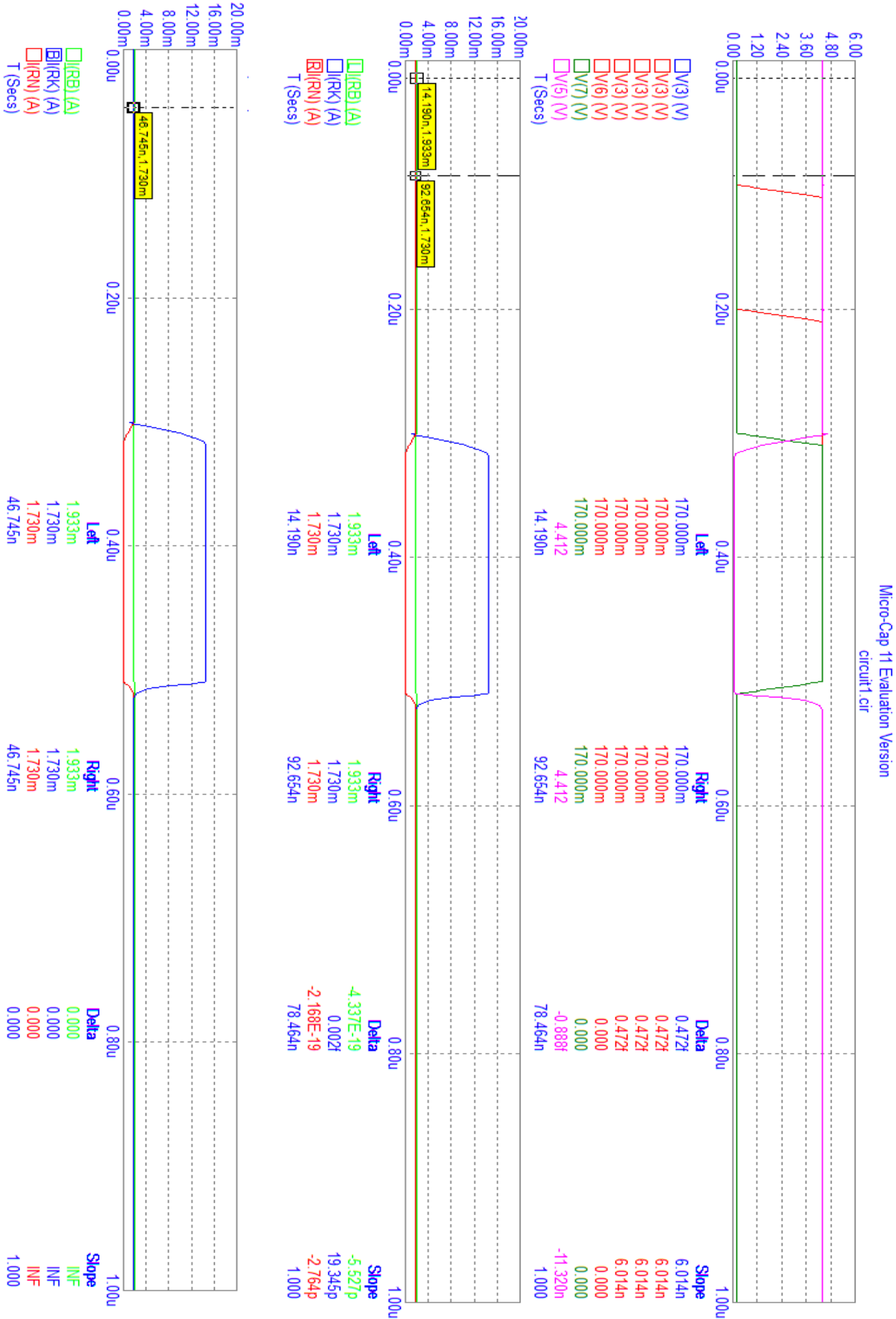
Таблиця всіх можливих комбінацій вхідних рівнів:

X_1	X_2	X_3	Y
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

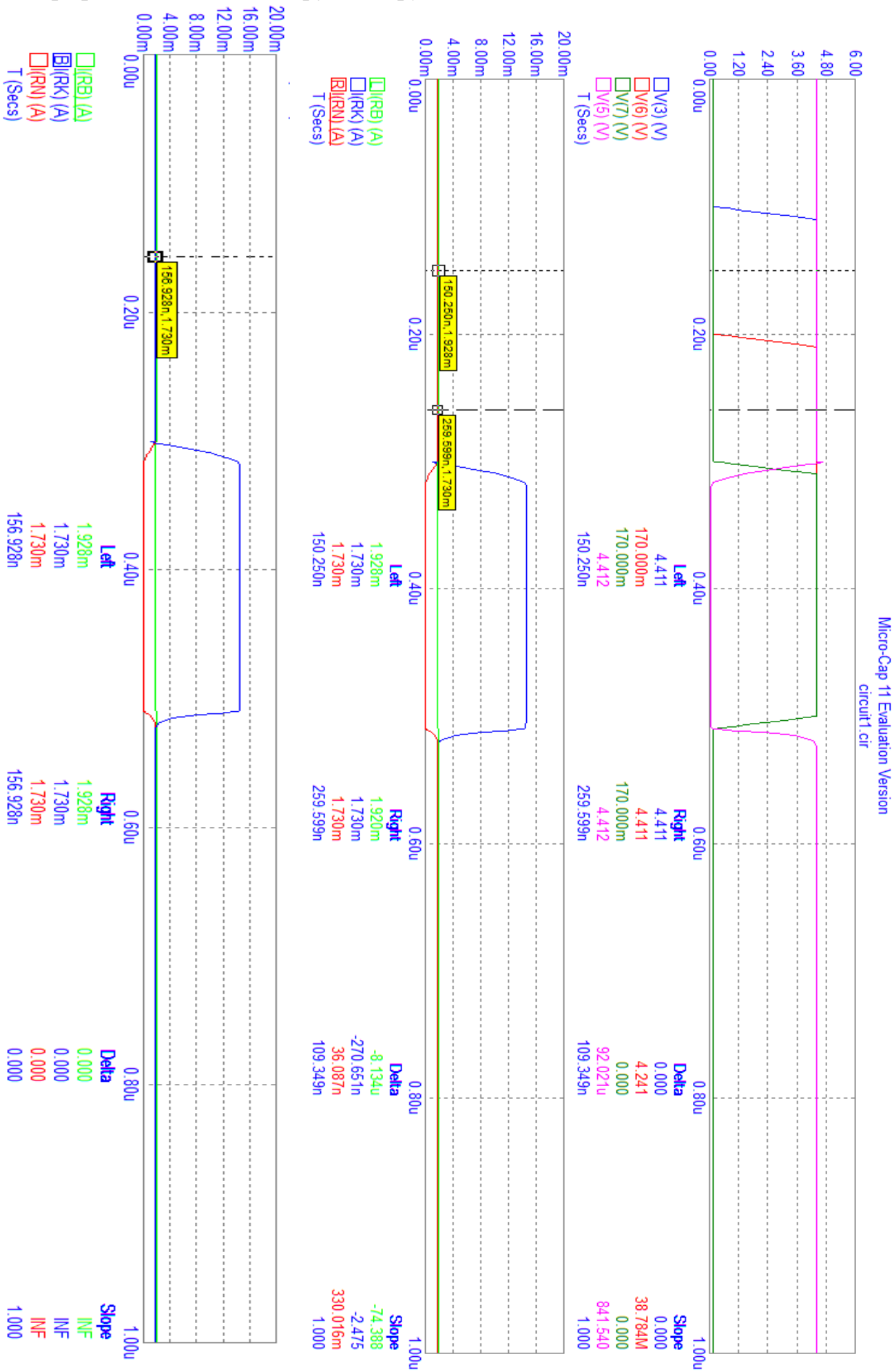
X_1	X_2	X_3	Y
0.17	0.17	0.17	4.412
0.17	0.17	4.411	4.412
0.17	4.411	0.17	4.412
0.17	4.411	4.411	4.412
4.411	0.17	0.17	4.412
4.411	0.17	4.411	4.412
4.411	4.411	0.17	4.412
4.411	4.411	4.411	0.049

Таблиця реальних значень вхідних та вихідної напруги:

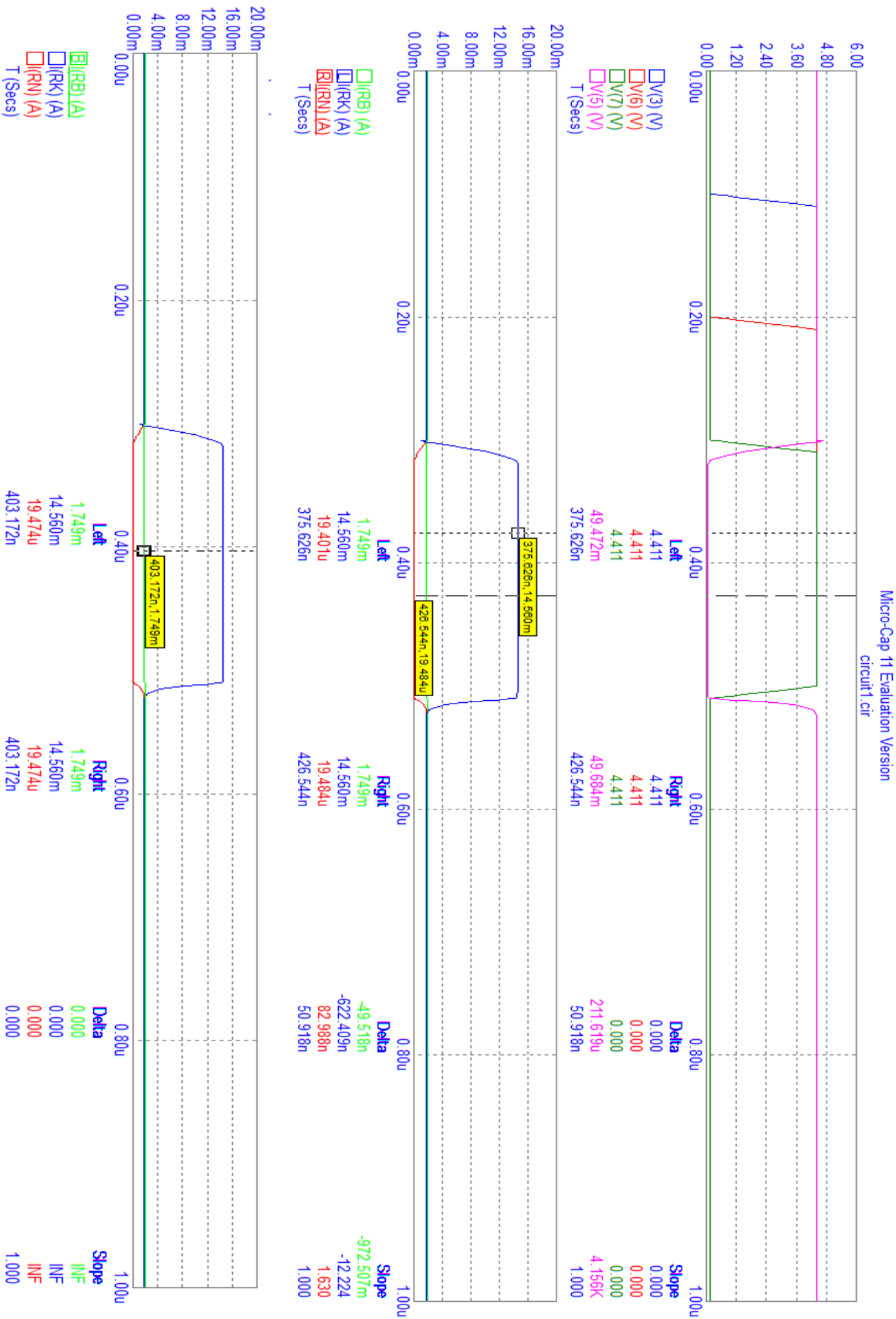
Графік дослідження напруг та струмів I_{R6}, I_{Rk}, I_{Rh}. Вхідні стани LLL



Графік дослідження напруг та струмів I_{R6} , I_{Rk} , I_{Rn} . Вхідні стани HLL та HNL

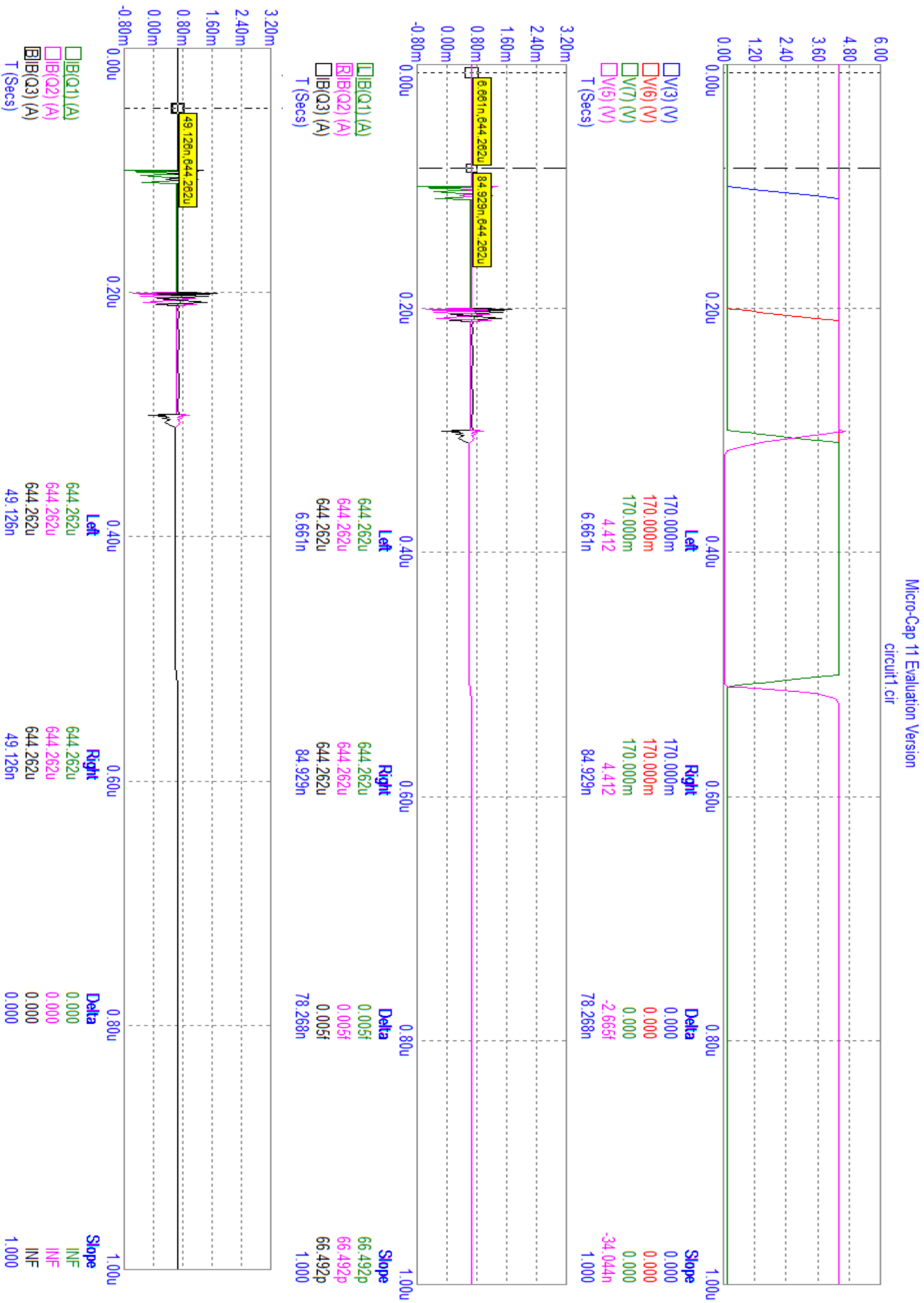


Графік дослідження напруг та струмів I_{R6} , I_{Rk} , I_{Rn} . Вхідні стани ННН



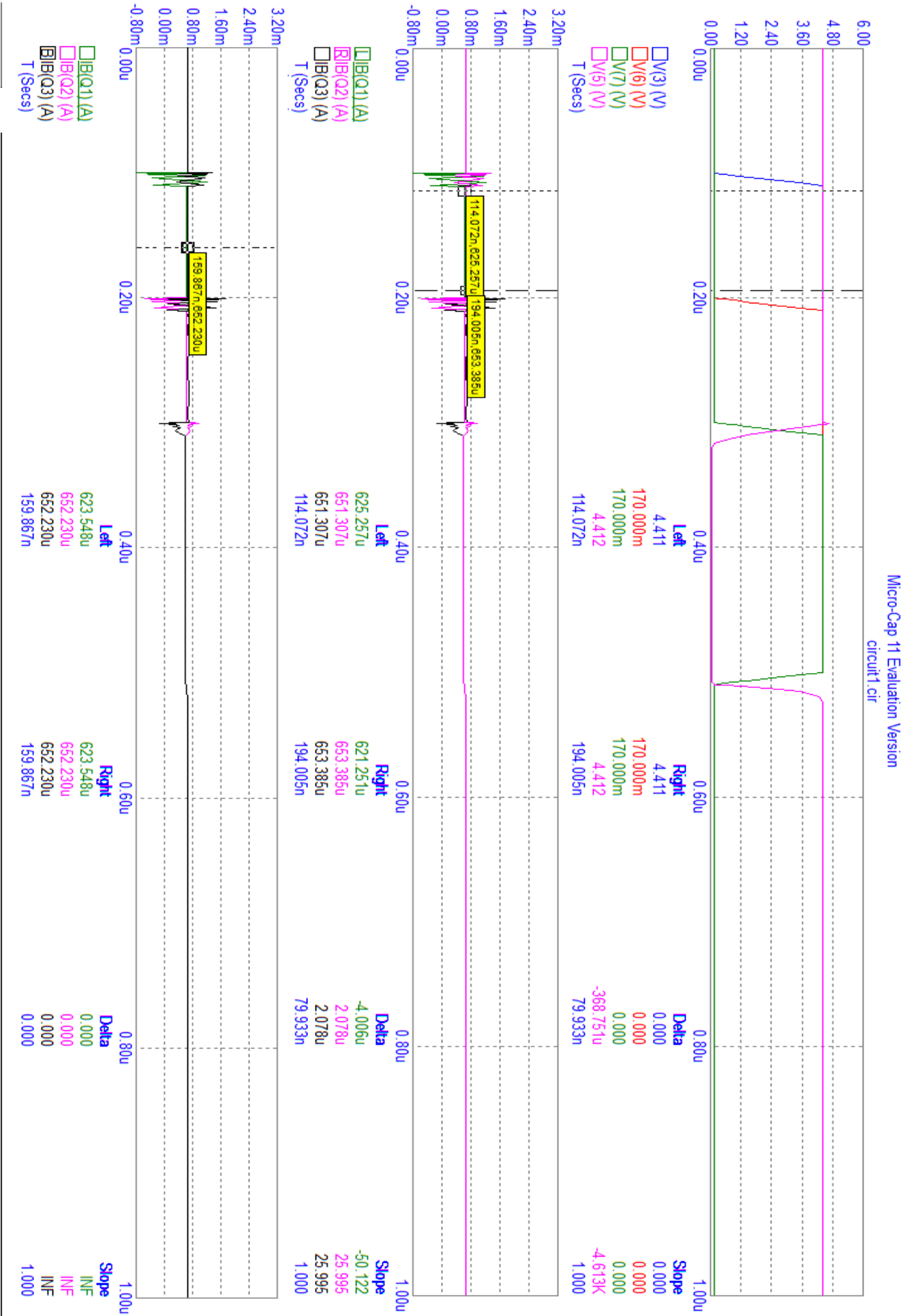
Графік дослідження напруг та струмів на базах транзисторів Q₁, Q₂ та Q₃.

Вхідні стани LLL



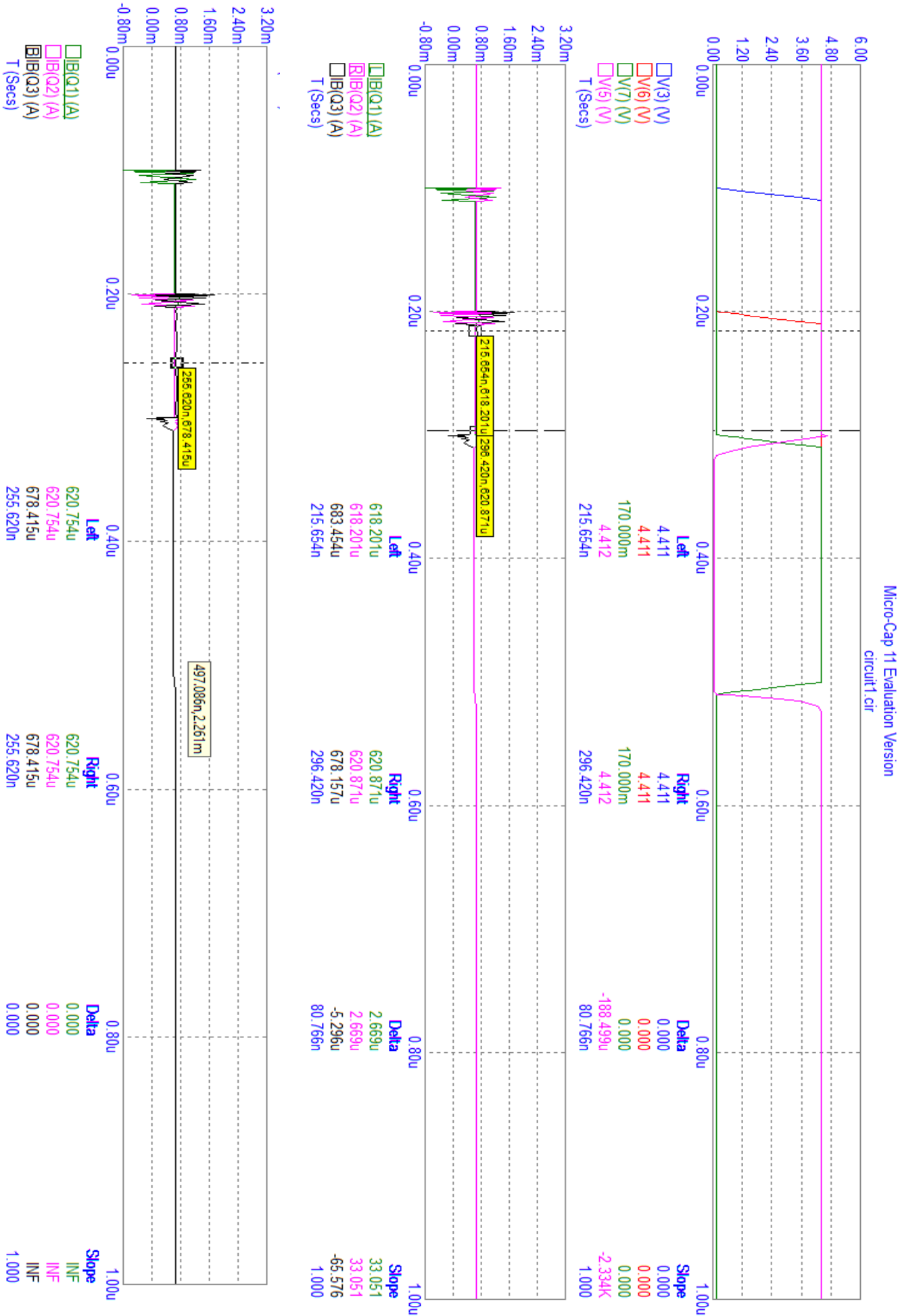
Графік дослідження напруг та струмів на базах транзисторів Q₁, Q₂ та Q₃.

Вхідні стани HLL



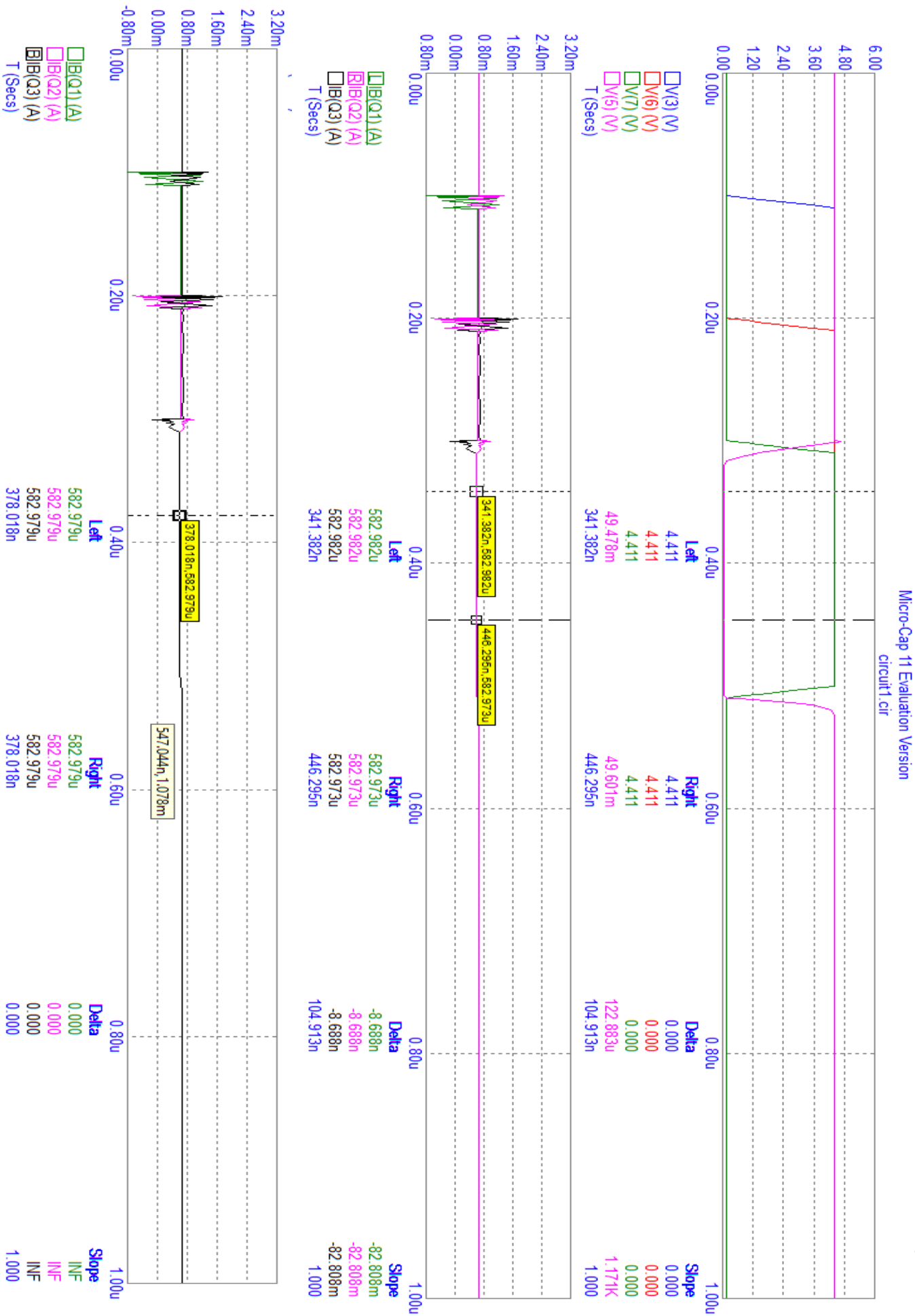
Графік дослідження напруг та струмів на базах транзисторів Q₁ , Q₂ та Q₃.

Вхідні стани NHL

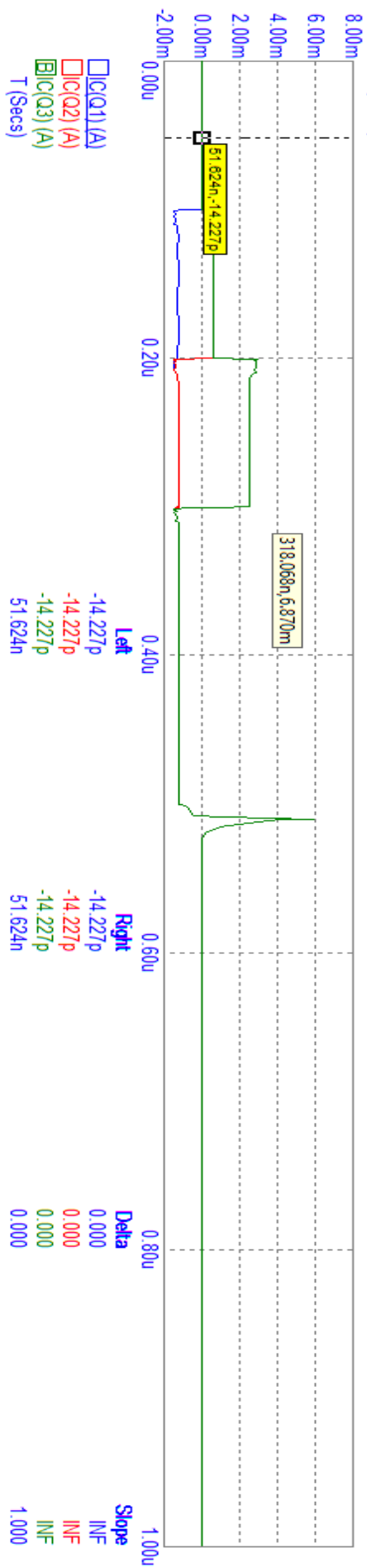
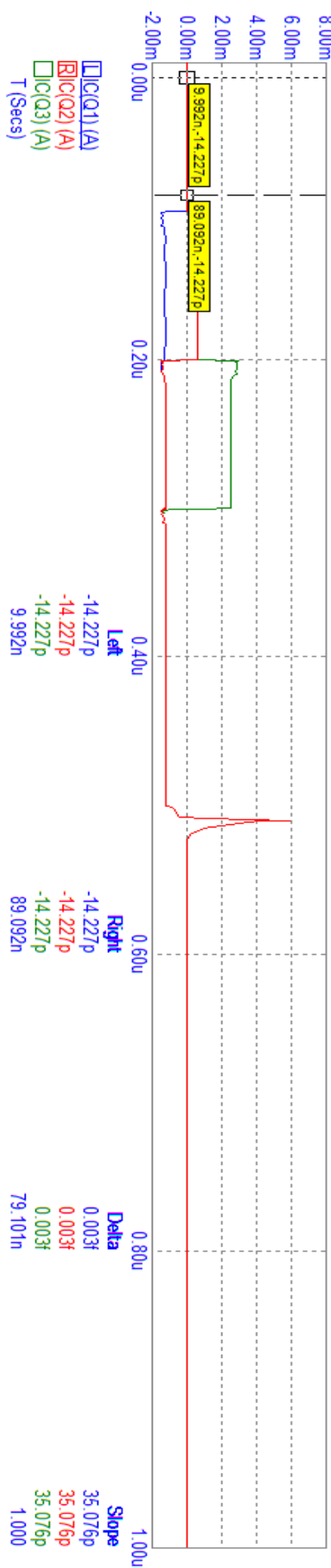
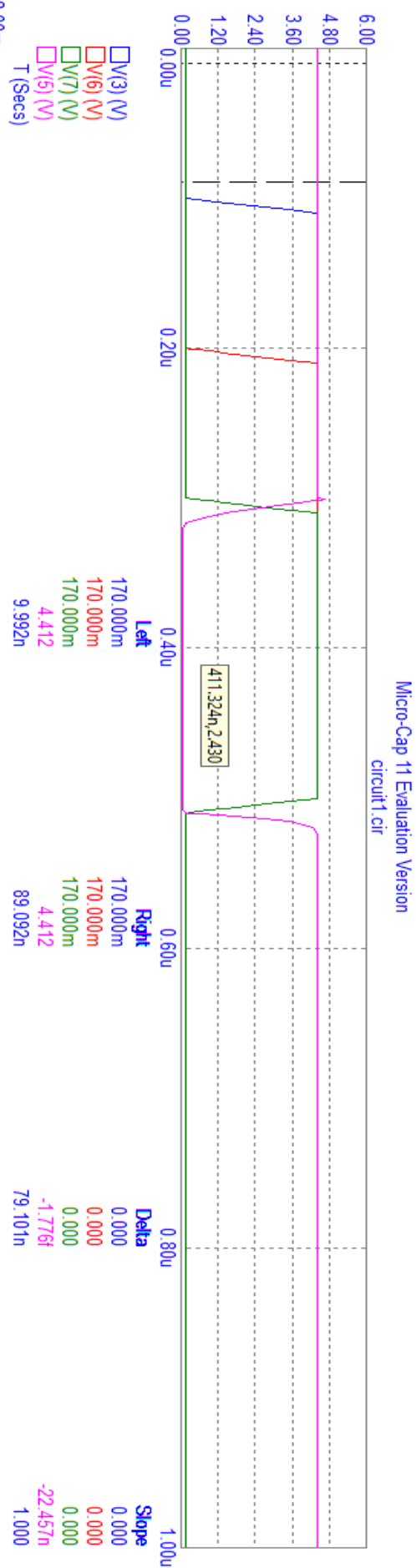


Графік дослідження напруг та струмів на базах транзисторів Q₁, Q₂ та Q₃.

Вхідні стани ННН

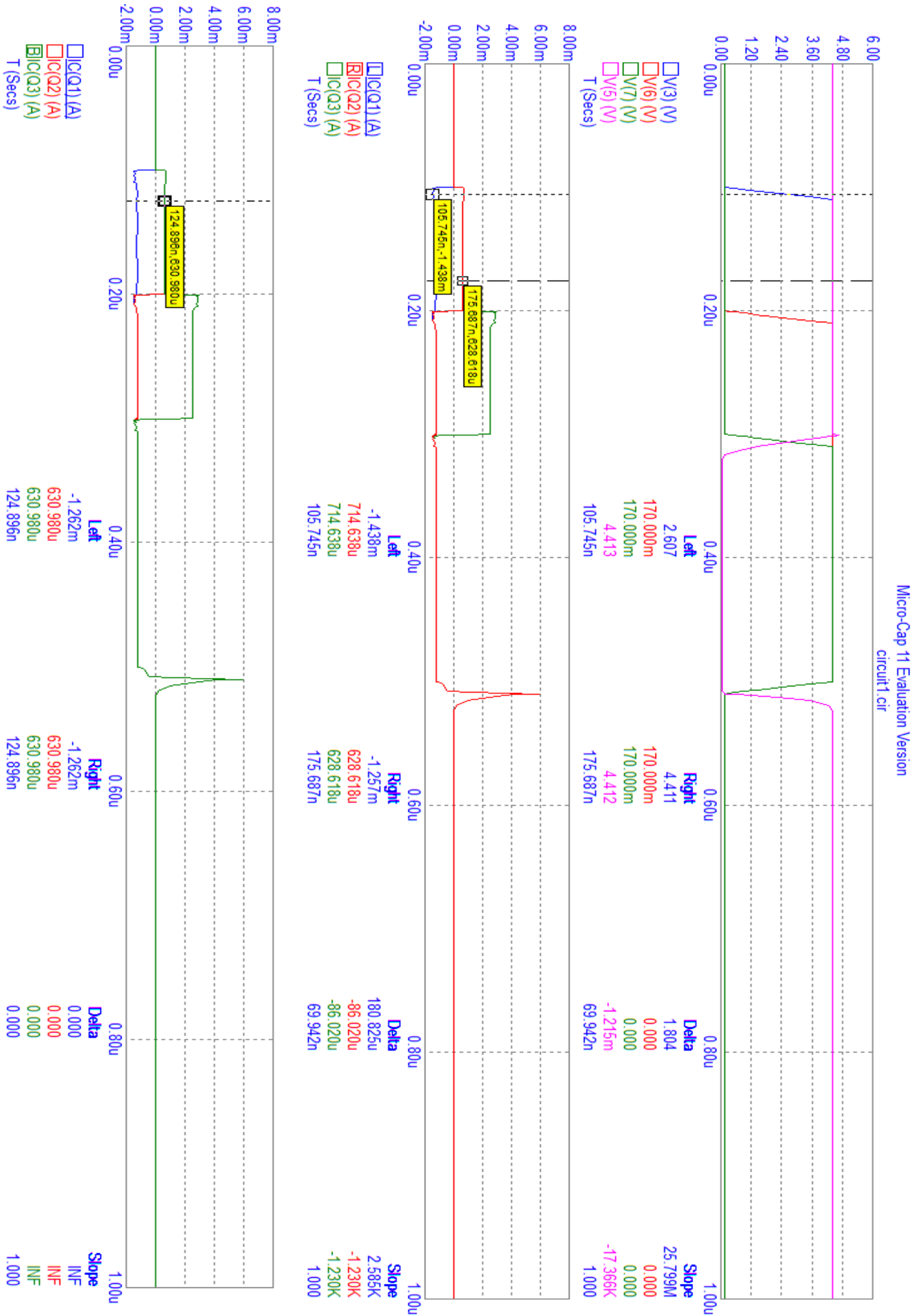


Вхідні стани LLL



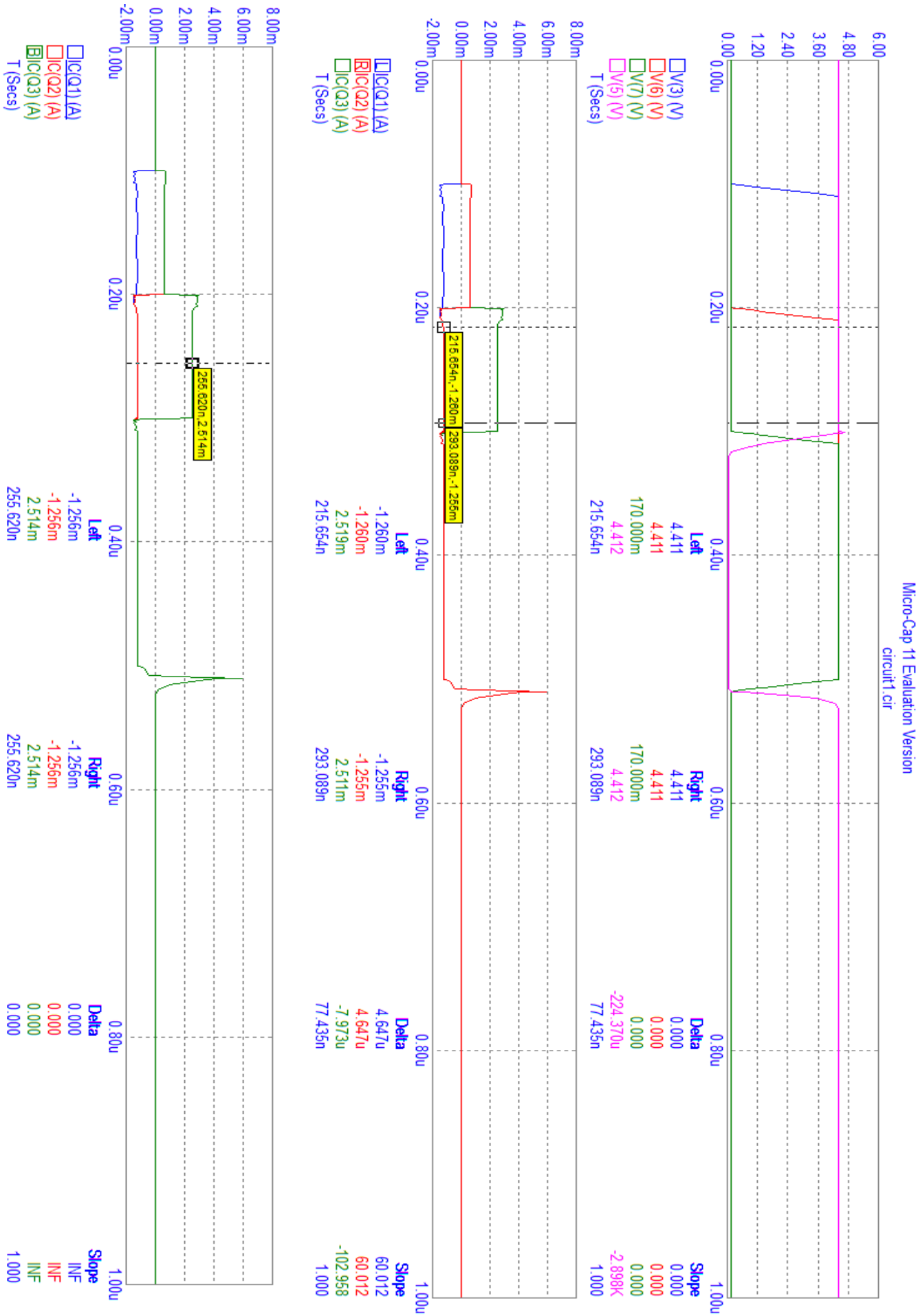
Графік дослідження напруг та струмів на колекторах транзисторів Q₁ , Q₂ та Q₃.

Вхідні стани HLL



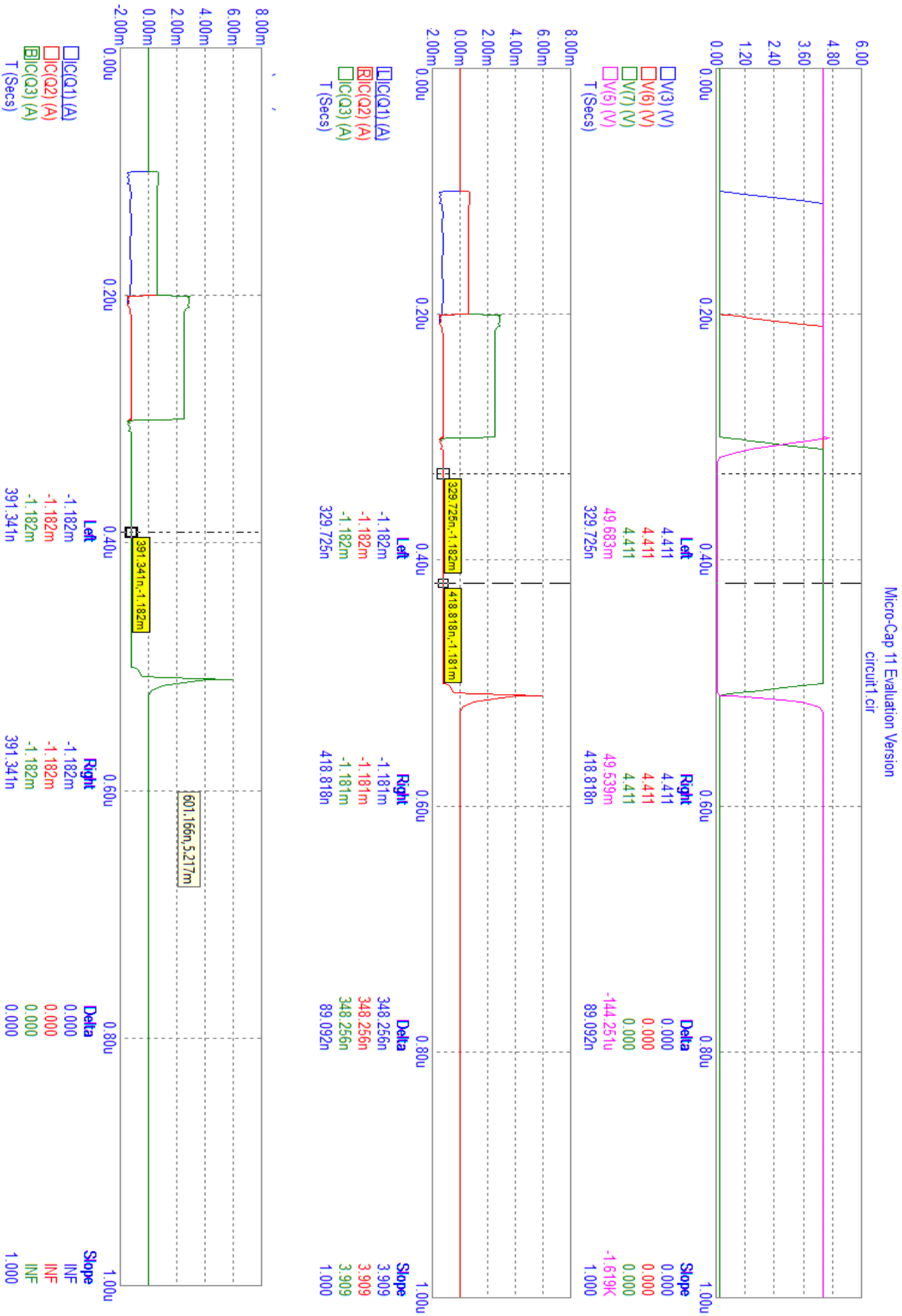
Графік дослідження напруг та струмів на колекторах транзисторів Q₁ , Q₂ та Q₃.

Вхідні стани NHL



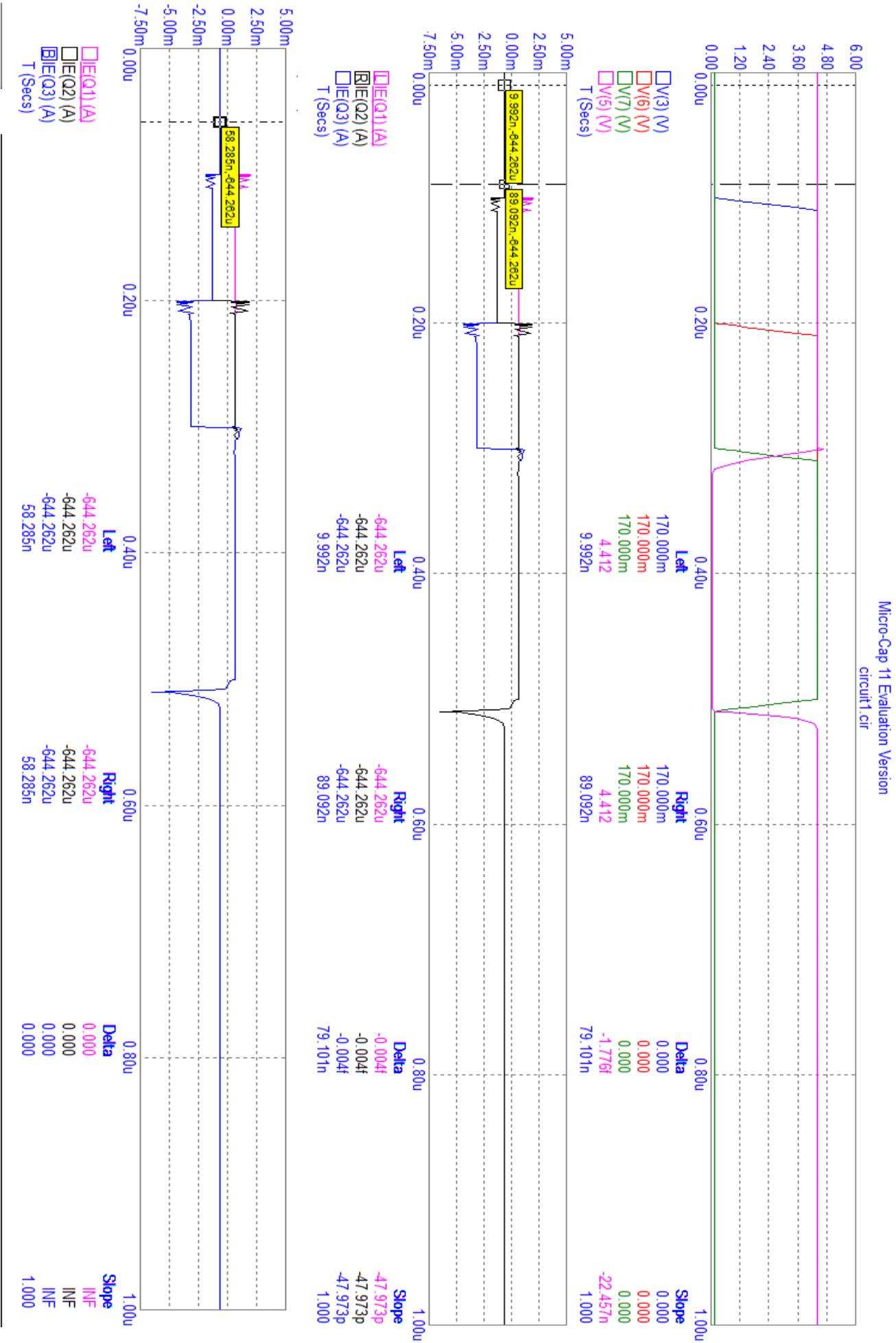
Графік дослідження напруг та струмів на колекторах транзисторів Q₁ , Q₂ та Q₃.

Вхідні стани ННН



Графік дослідження напруг та струмів на емітерах транзисторів Q₁ , Q₂ та Q₃.

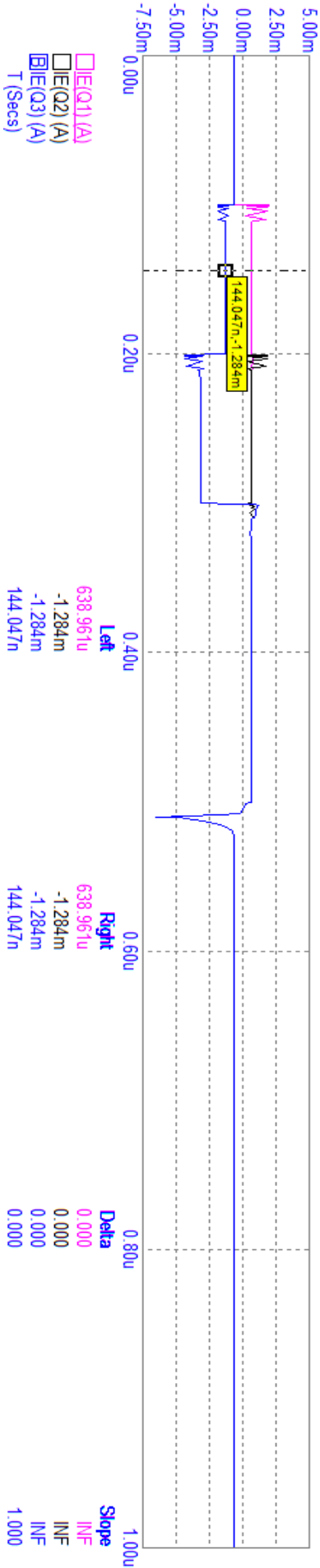
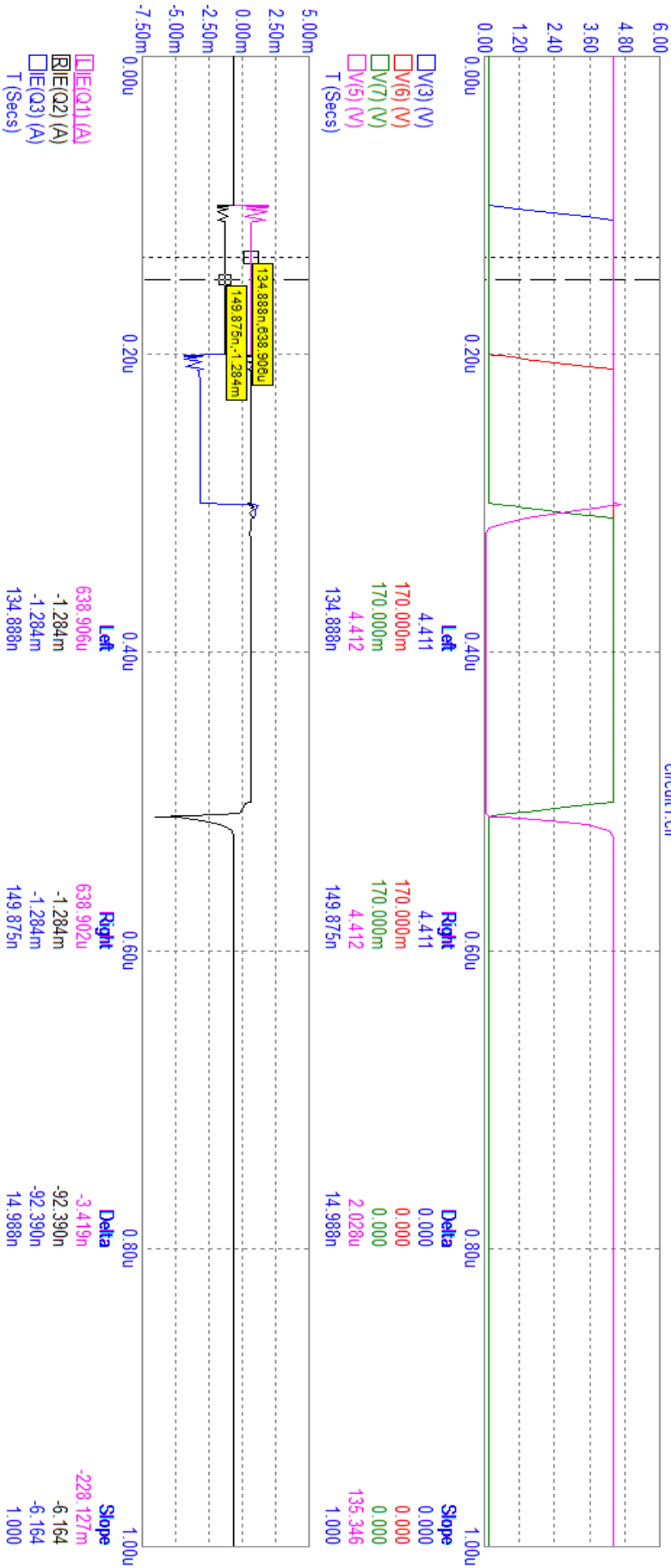
Вхідні стани LLL



Графік дослідження напруг та струмів на емітерах транзисторів Q₁, Q₂ та Q₃.

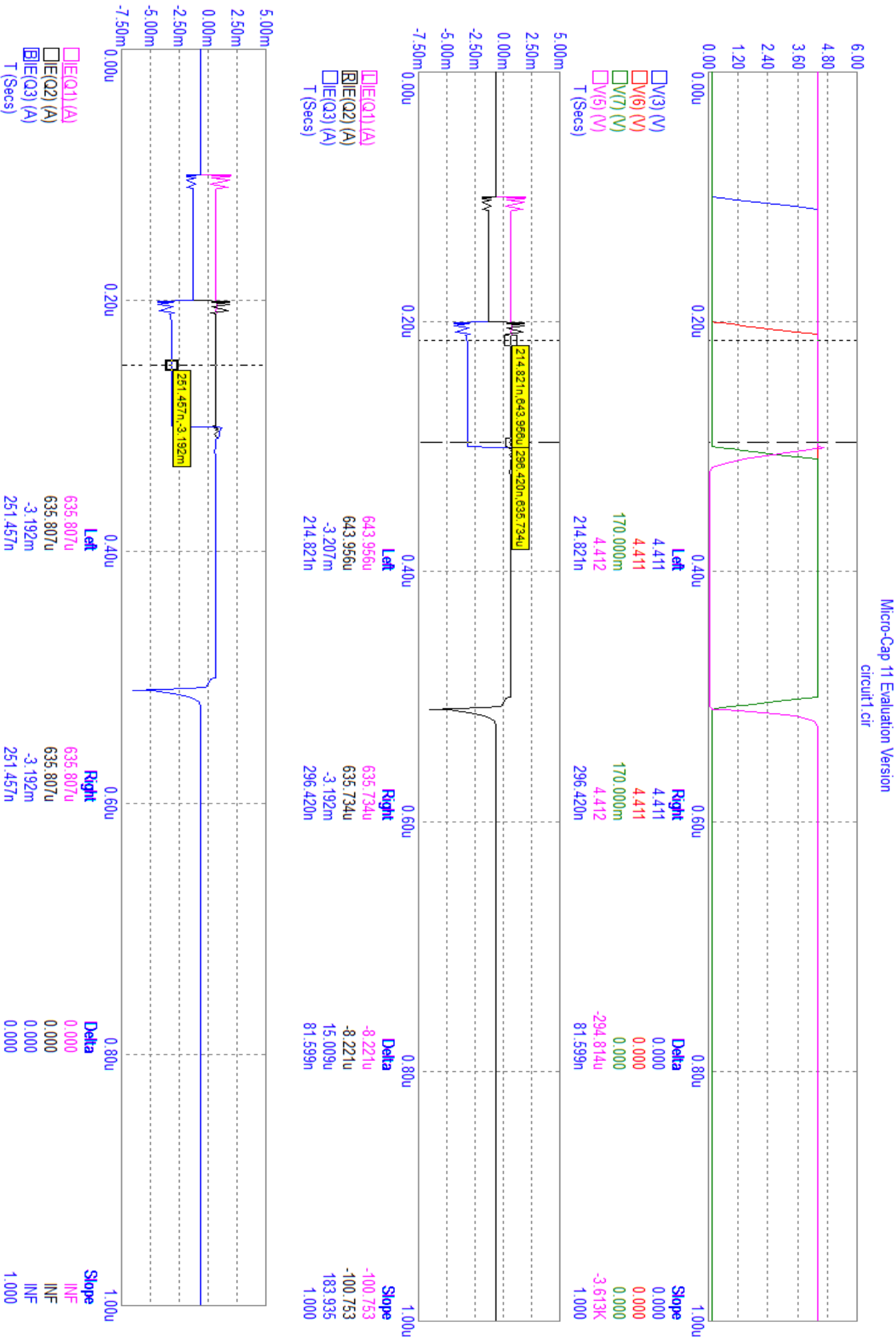
Вхідні стани HLL

Micro-Cap 11 Evaluation Version
circuit1.cir



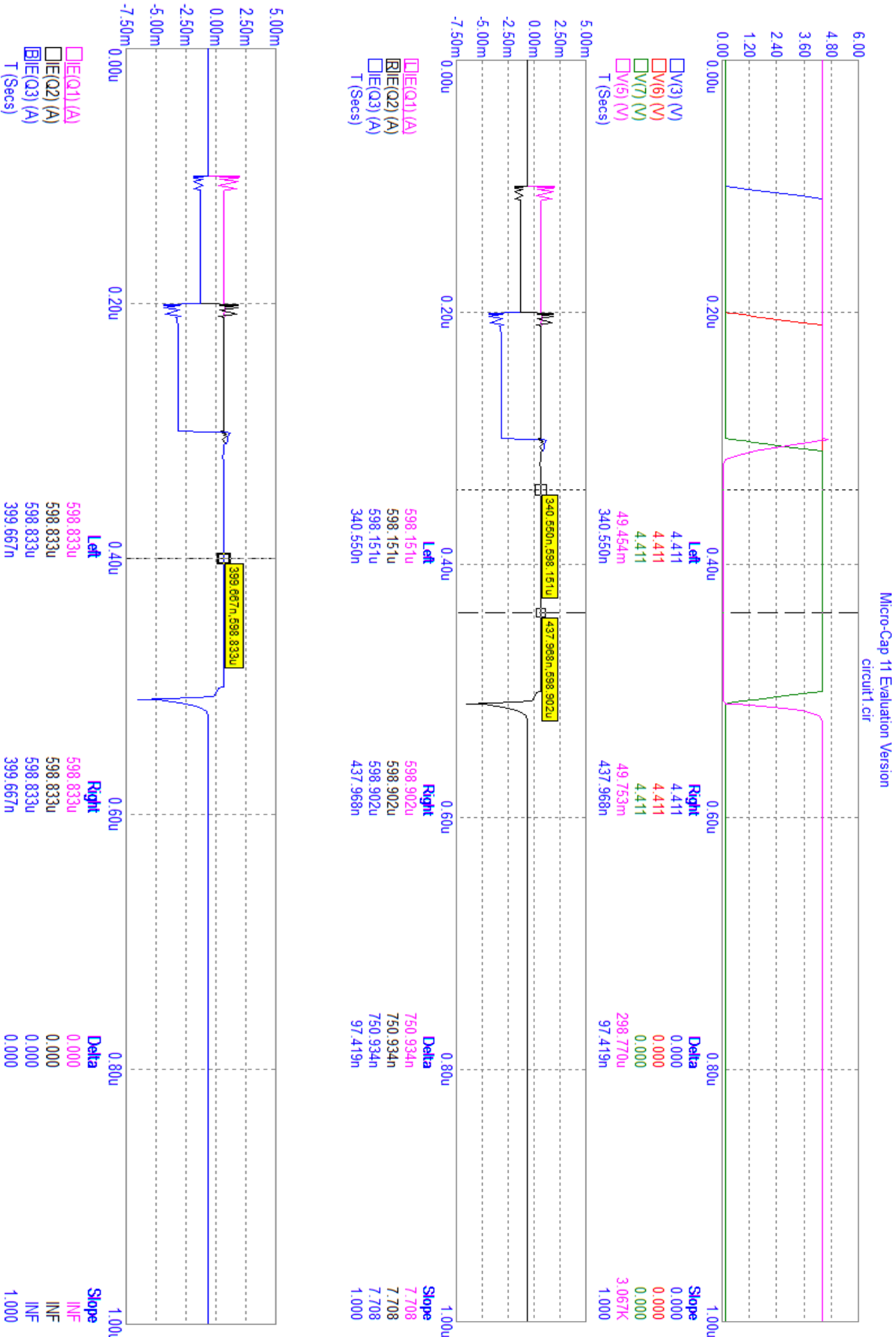
Графік дослідження напруг та струмів на емітерах транзисторів Q₁ , Q₂ та Q₃.

Вхідні стани NHL

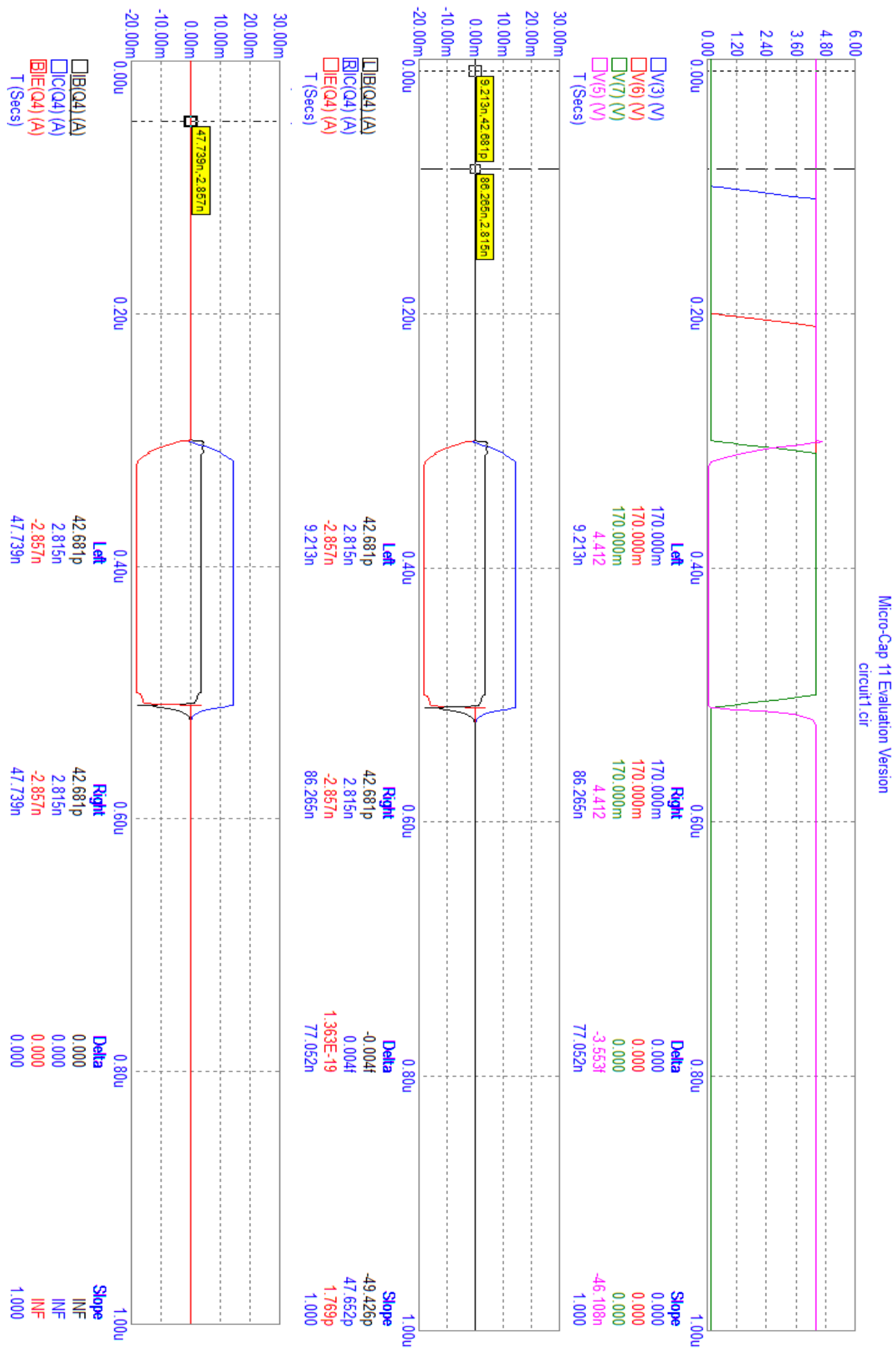


Графік дослідження напруг та струмів на емітерах транзисторів Q₁ , Q₂ та Q₃.

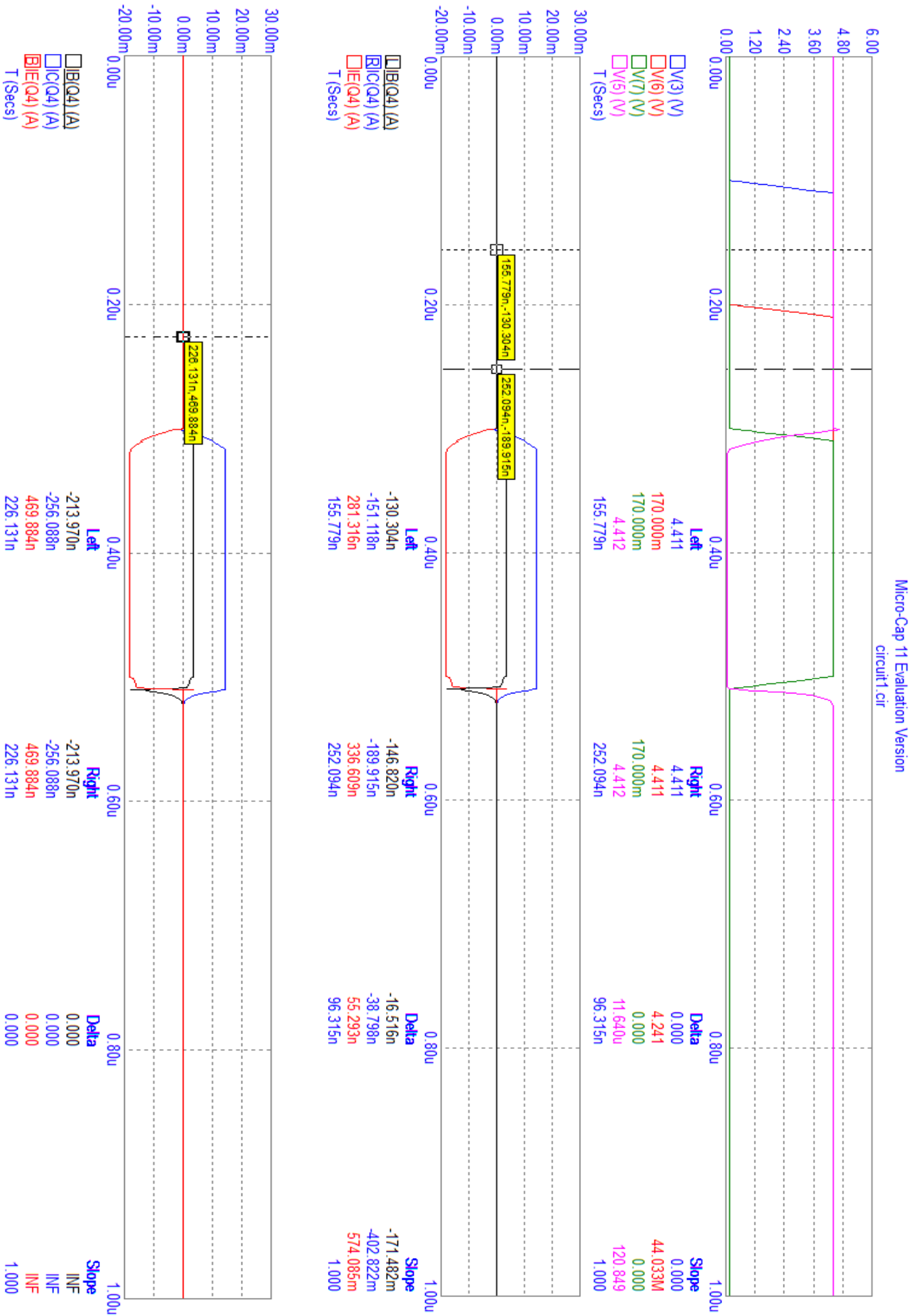
Вхідні стани ННН



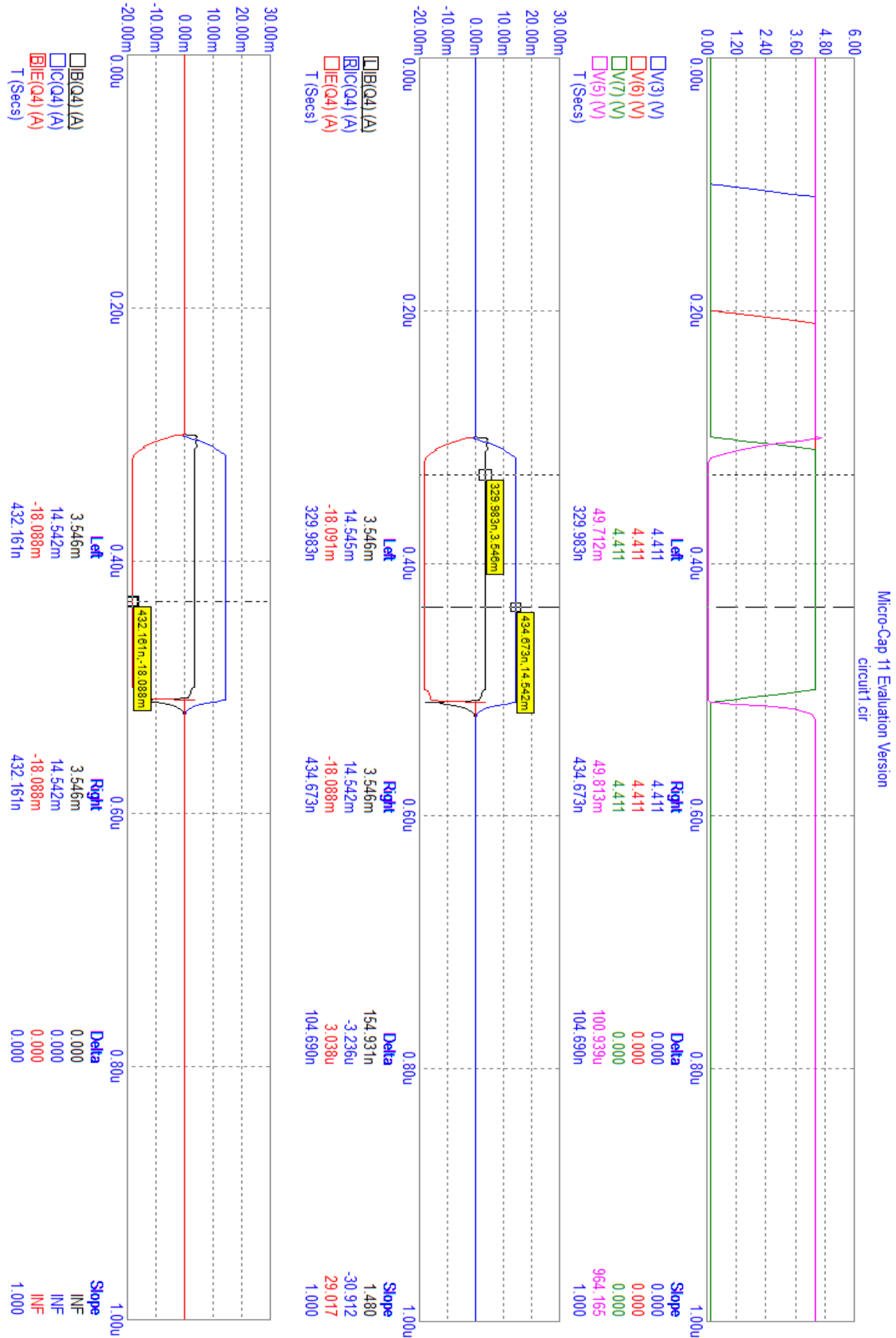
Графік дослідження напруги та струму транзистора Q4. Вхідні стани LLL.



Графік дослідження напруги та струму транзистора Q4. Вхідні стани HLL, NHL.



Графік дослідження напруги та струму транзистора Q4. Вхідні стани ННН.



Висновки:

У даному завданні ми дослідили роботу схеми 3I-HE. При подачі на входи різні комбінації рівнів, ми отримували відповідне значення на виході схеми. З отриманих результатів ми переконались, що тільки при подачі високого рівня на всі входи, на виході встановлюється низький рівень. В усіх інших випадках, на виході маємо низький рівень. Тобто, якщо всі вхідні транзистори працюють у інверсному режимі, струм їхньої бази буде проходити на колектор і напруга переходу «джерело живлення – пульсар» > напруги «джерело живлення – «земля»». Коли хоча б на один вхід подається низький рівень, напруга переходу «джерело живлення – пульсар» зменшиться. Струм буде протікати через базу-емітер відповідного вхідного транзистора, вихідний транзистор буде закритий і на виході встановиться високий рівень.

Реальне значення $U_{\text{ВИХ}}$ при $U_{\text{ВХ}} = U_{\text{ВХ}}^1$ дорівнює 0.049, що відповідає умові $U_{\text{ВИХ}}^0 \leq 0,21\text{В}$.

Реальне значення U_b майже не відрізняється від розрахованих. Невелике зменшення можна пояснити округленням значення R_6 в більшу сторону, що призвело до зменшення струму у вузлі «b».

Значення U_c якщо на одному із входів $U_{\text{ВХ}} = U_{\text{ВХ}}^0$ є більші, ніж необхідні 0.17, і задовольняє умову. Значення при $U_{\text{ВХ}} = U_{\text{ВХ}}^1$ майже співпадають.

Розраховані та реальні значення струмів $I_{\text{РБ}}$, $I_{\text{РК}}$, $I_{\text{РН}}$ майже не відрізняються. Невелике збільшення струму $I_{\text{РК}}$ при $U_{\text{ВХ}} = U_{\text{ВХ}}^1$ можна пояснити округленням резистора R_k в меншу сторону.

Реальні значення $I_{\text{БQ4}}$ майже не відрізняються від розрахованих.

Реальні значення $I_{\text{КQ1}}$, $I_{\text{КQ2}}$, $I_{\text{КQ3}}$, при $U_{\text{ВХ}} = U_{\text{ВХ}}^1$ є трохи меншим, що пояснюється наявністю деяких малих «шкідливих» струмів.

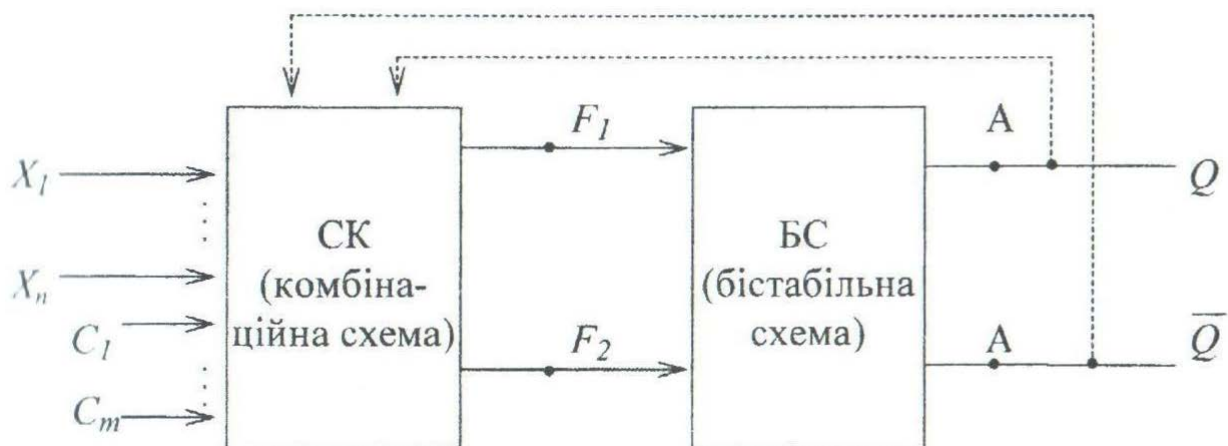
Варто відмітити, що в деяких випадках було дуже складно визначити точне значення певних струмів, а саме струмів на базах, колекторах та емітерах вхідних транзисторів. Тому ці струми ми не розраховували, а просто записали як вони утворюються.

Також зазначимо, що іноді в схемах керуючого транзистора з одним входом використовується резистор зміщення, який підключається паралельно базі-емітеру вихідного транзистора. Він використовується для забезпечення кращого «розсмоктування» струмів. В даному випадку він не використовується, оскільки кількість входів в схемах більше одного, і вихідний транзистор буде правильно перемикатись. Тому вилучення зі схеми $R_{зм}$ на вихідний рівень (тобто, значення на виході схеми) впливати не буде.

2. На базі дослідженої базової схеми ТТЛ 3І-НЕ побудувати і дослідити модель $DR\bar{S}$ -тригера з прямим синхронним інформаційним входом D , прямим R та інверсним S асинхронними входами. Забезпечити ділення входної частоти на коефіцієнт $K=4$ при початковому стані $Q_1 = 1, Q_2 = 1$. Синхронізація відбувається під час переходу з «0» в «1».

Теоретична частина.

Тригер – це пристрій з двома стійкими станами, що містить бістабільну схему (БС) – власне тригер, яку також називають запам'ятовуючим елементом (ЗЕ), і схему управління (СУ).



x_1, \dots, x_n – інформаційні входи тригера;

C_1, \dots, C_m – входи синхронізації;

Q – прямий вихід тригера;

\bar{Q} – інверсний вихід тригера;

f_1, f_2 – функції збудження бістабільної схеми (запам'ятовуючого елемента).

Зворотні зв'язки, показані на рисунку, можуть бути відсутні.

За завданням тригер має один тактовий вхід. Такий тригер називається однотактним.

Основним компонентом тригера є бістабільна схема.

Розрізняють бістабільну схему на елементах І-НЕ і АБО-НЕ.

Тригери найчастіше класифікують за функціональним призначенням та за способом запису інформації.

Функціональне призначення тригера характеризує таблиця переходів тригера, яка реалізує функцію $Q(t+1) = (Q(t), X(t))$, де λ – функція переходів тригера, $Q(t)$ – значення вихідного сигналу в момент часу t , $Q(t+1)$ – значення вихідного сигналу в момент часу $(t+1)$, $X(t)$ – значення вхідних інформаційних сигналів в момент часу t .

Кількість різноманітних тригерів дуже велика. Одним з тригерів, які найчастіше вживаються на практиці є D-тригер. D-тригер (D - Delay) називають тригером затримки; для нього справедлива рівність $Q(t+1) = D(t)$.

Класифікація тригерів за способом запису інформації характеризує хід процесу перемикавання тригера.

Тригери, перш за все, діляться на синхронні та асинхронні.

Асинхронні тригери не мають входу синхронізації, тому запис інформації в такі тригери здійснюється безпосередньо з надходженням інформаційних сигналів.

Синхронні тригери мають входи синхронізації.

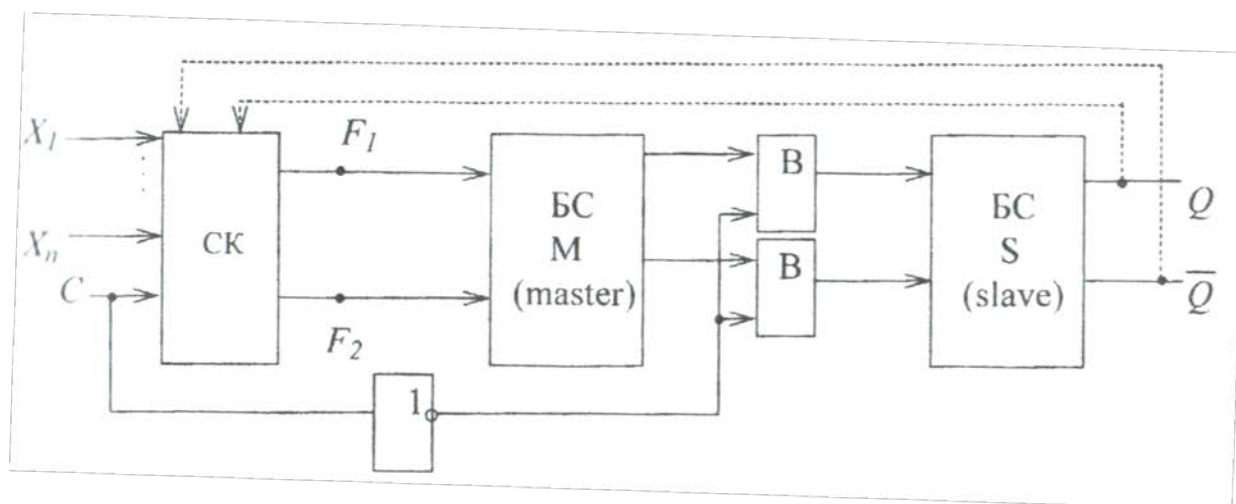
Розрізняють синхронні тригери, що керуються рівнем сигналу синхронізації і перепадом (фронтом) сигналу синхронізації.

За завданням маємо синхронний тригер, що керується перепадом (фронтом) сигналу синхронізації з «0» в «1». Розглянемо такий тригер докладніше.

Тактовий сигнал на динамічному вході сприймається тригером як такий, що дозволяє запис інформації тільки при зміні його рівня від 0 до 1, або від 1 до 0. Інші стани тактового сигналу тригер сприймає як відсутність дозволу на прийом (запис) інформації. Наприклад, тригер з прямим динамічним входом С прийме вхідну інформацію тільки в момент зміни тактового сигналу від 0 до 1. Інформація відразу поступить на вихід тригера. Якщо інформаційні сигнали змінились при присутності 1 на вході С, то тригер на це не відреагує.

Тригери, керовані перепадом тактового сигналу, містять у своєму складі дві або три бістабільні схеми. Вони переходять у новий стан лише у момент перепаду (переходу з 0 в 1 або з 1 в 0) тактового сигналу. Такі тригери можна побудувати за MS-схемою. Тоді до складу тригера входять дві бістабільні схеми: М-БС (М — master) та S-БС (S — slave). Виходами тригера в цілому є виходи S-БС. Запис

інформації в М-БС тактується сигналом C , а передача інформації з М-БС в S-БС здійснюється через вентиля (В), що з'єднують М-БС і S-БС. Якщо тригер будують на елементах І-НЕ, то вентилем є елемент І-НЕ, якщо тригер будують на елементах АБО-НЕ, то вентилем є елемент АБО-НЕ. У схемі тригера на елементах І-НЕ з інвертором у колі синхросигналу передача інформації з М-БС в S-БС відбувається в момент переходу тактового сигналу C з 1 в 0. Вентилі В при цьому відкриваються і стан М-БС переписується в S-БС. При $C = 0$ зміна інформаційних сигналів на входах не може вплинути на стан М-БС. При $C = 1$ стан М-БС під впливом інформаційних сигналів може змінитися, але це не позначиться на S-БС, оскільки вентиля В будуть закриті. І лише при наступному переході з 1 в 0 новий стан М-БС буде переписано в S-БС і на виходах встановляться нові значення.



D-тригер за MS схемою І-НЕ

Таблиця переходів D-тригера.

D(t)	Q(t+1)
0	0
1	1

Таблиця функції збудження для БС на елементах І-НЕ.

Q(t)	Q(t+1)	F1	F2
0	0	1	*
0	1	0	1
1	0	1	0
1	1	*	1

Повна таблиця переходів.

C	D	Q(t)	Q(t+1)	F1	F2
0	0	0	0	1	*
0	0	1	1	*	1
0	1	0	0	1	*
0	1	1	1	*	1
1	0	0	0	1	*
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	*	1

При $C = 0$ тригер не змінює свого стану, тому $Q(t+1) = Q(t)$. При $C = 1$ тригер повинен функціонувати у відповідності з таблицею переходів D-тригера. Тому, аналізуючи значення $D(t)$ в кожному рядку повної таблиці переходів, заповнюємо стовпчик $Q(t+1)$; при цьому користуємося таблицею переходів D-тригера.

У повній таблиці переходів проектованого тригера, аналізуючи по рядках переходи і користуючись при цьому таблицею функцій збудження бістабільної схеми на елементах І-НЕ, заповнюємо стовпці F1 і F2.

За допомогою діаграм Вейча мінімізуємо функції F1 і F2:

Мінімізація F1 та F2.

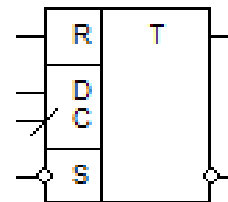
	<u>D</u>				F1
C	0	*	1	1	
	1	*	*	1	
	<u>Q</u>				

$$f_1 = \overline{D} \cup \overline{C} = \overline{DC}$$

	<u>D</u>				F2
C	1	1	0	*	
	*	1	1	*	
	<u>Q</u>				

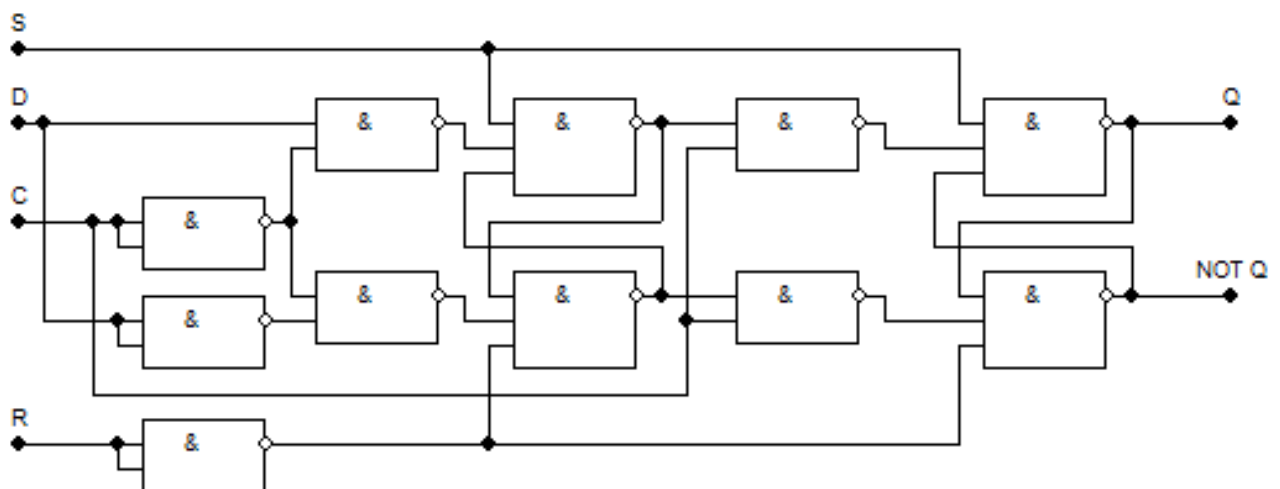
$$f_2 = D \cup \overline{C} = \overline{\overline{D}C}$$

Умовне графічне позначення:



Заданий тригер ми будемо за MS-схемою, але щоб робота тригера виконувалася за заданим переходом з «0» в «1», на Master-схему ми подаємо інвертований синхросигнал.

Принципова схема на вентелях:



Електронна схема:

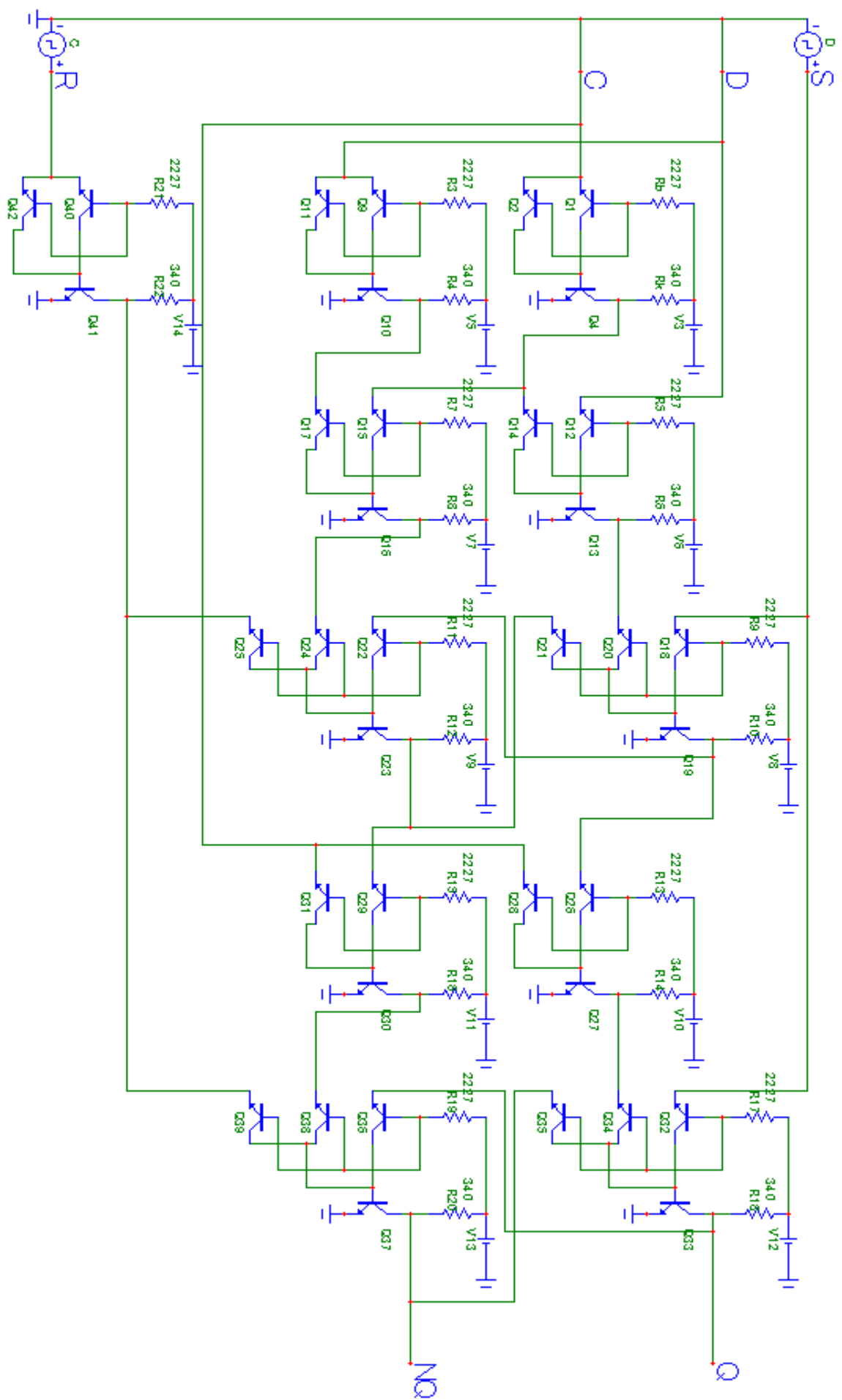
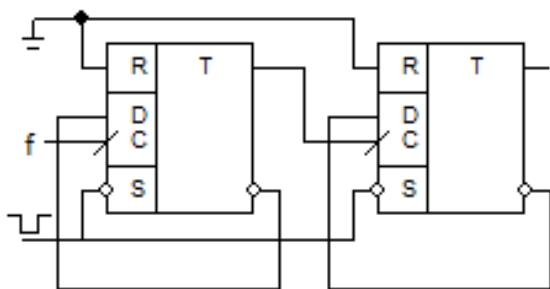


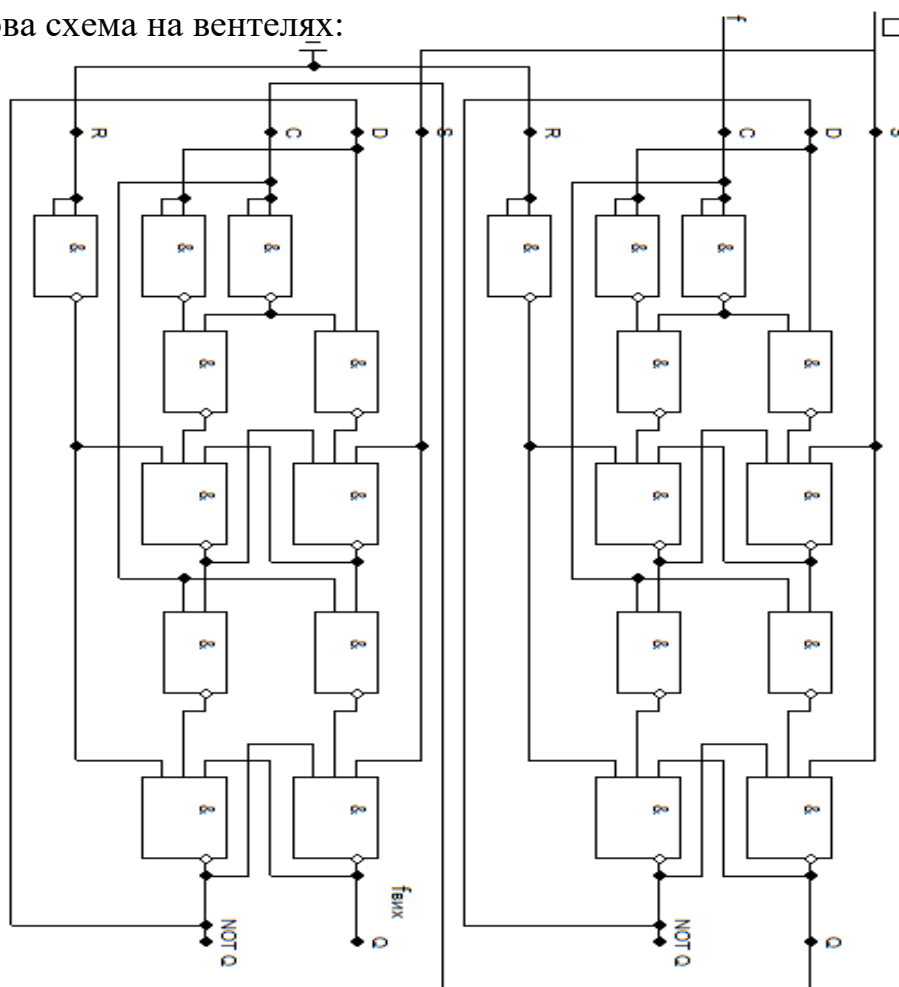
Схема ділення на 4 за допомогою D тригерів

Для того, щоб поділити вхідну(опорну) частоту на 2 необхідно на вход D тригера подати \overline{NQ} , на синхровхід C подати опорну частоту. Тоді на виході Q тригера будемо мати сигнал, що має частоту в 2 рази меншу від заданої. Якщо потім цю частоту подати на синхровхід такого ж другого тригера, то з виходу Q другого тригера ми отримаємо сигнал з частотою в 4 рази меншу від заданої.

Умовне графічне зображення:



Принципова схема на вентелях:



Висновки:

В даному завданні ми спроектували синхронний D-тригер. При перевірці його роботи ми переконались, що тригер працює коректно – відповідає заданій таблиці переходів.

Також необхідно було створити схему ділення частоти сигналу на 4. Для цього необхідно було послідовно з'єднати два тригера, під'єднавши D вхід до виходу NQ цього ж тригеру. Тоді на виході тригеру отримаємо сигнал з частотою в 2 рази меншу. Подавши на синхровхід другого тригеру сигнал з виходу першого ми можемо отримати сигнал з частотою в 4 рази меншою. Це підтверджується графіками досліджень. Початковий нульовий стан $Q_1=1$ та $Q_2=1$ тригера було встановлено за допомогою асинхронних входів R, S. Оскільки за завданням R-прямий, S-інверсний, то вхід S подали один імпульс, а на вхід R встановили у «землю», і потім перевели його в неактивний рівень. Але оскільки тригер побудований на елементах I-HE, то для його правильного функціонування треба було про інвертувати сигнал, що надходили з R.

Помітно, що у цій схемі значення високого рівня на Q_1 (3.564 мА) є меншим від звичайного, що можна пояснити тим, що вихід Q_1 під'єднаним до входу C_2 наступного тригеру. Це є цілком нормальним явищем при послідовному з'єднанні схем.

3. На базі $DR\bar{S}$ -триггеру створити модель схеми чотирьохрозрядного лічильника з коефіцієнтом ділення вхідної частоти $K = 16$.

Теоретична частина:

Лічильник — це операційний вузол, призначений для виконання мікрооперацій лічби. Кількість дозволених станів лічильника називають його періодом або модулем.

Лічильники бувають синхронними та асинхронними. В асинхронних лічильниках на інформаційні входи асинхронних тригерів(чи на тактові входи синхронних тригерів) надходять сигнали з виходів сусідніх розрядів. У синхронних лічильниках усі тригери перемикаються одночасно під дією спільного синхросигналу, що приходить на тактові входи всіх тригерів.

За характером мікрооперацій лічби лічильники поділяють на інкрементні, декрементні та реверсивні. У моменти надходження сигналу стан інкрементного лічильника змінюється на +1, декрементного – на -1. Реверсивний може виконувати як операцію інкременту, так і операцію декременту, залежно від значення сигналу на вході управління.

За способом організації переносу між розрядами лічильники поділяють на:

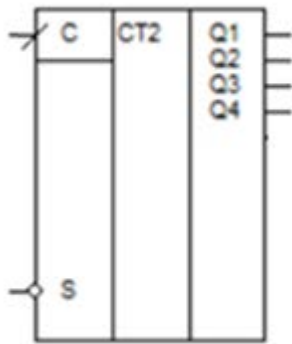
- з послідовним переносом;
- з наскрізним переносом;
- з паралельним переносом;
- з груповим переносом.

Розглянемо лічильники з послідовним переносом. У таких лічильниках перенос(позичка) у сусідній старший розряд формується лише після перемикання тригера в попередньому(молодшому) розряді. Такі лічильники є асинхронними, тому перемикання тригерів відбувається неодноразово.

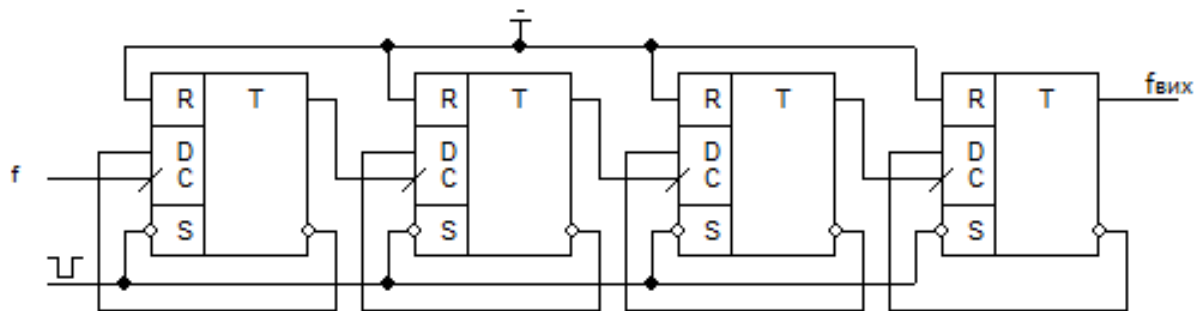
Структурна організація лічильника:

Даний лічильник складається з 4 тригерів, кожен з яких виконує ділення частоти на 2. З'єднані послідовно вони ділять вхідну(опорну) частоту на 2(вихід Q_1), на 4(вихід Q_2), на 8(вихід Q_3), на 16(вихід Q_4). Для цього треба під'єднати D вхід до виходу NQ цього ж тригеру для забезпечення ділення на 2. Потім вихід тригеру з'єднують з синхровходом наступного тригеру. Таким чином послідовне з'єднання n тригерів може забезпечити ділення на 4, 8, 16, 32,..., 2^n . Створений таким чином лічильник є інкрементним двійковим лічильником з послідовним переносом між розрядами.

Умовне графічне зображення:



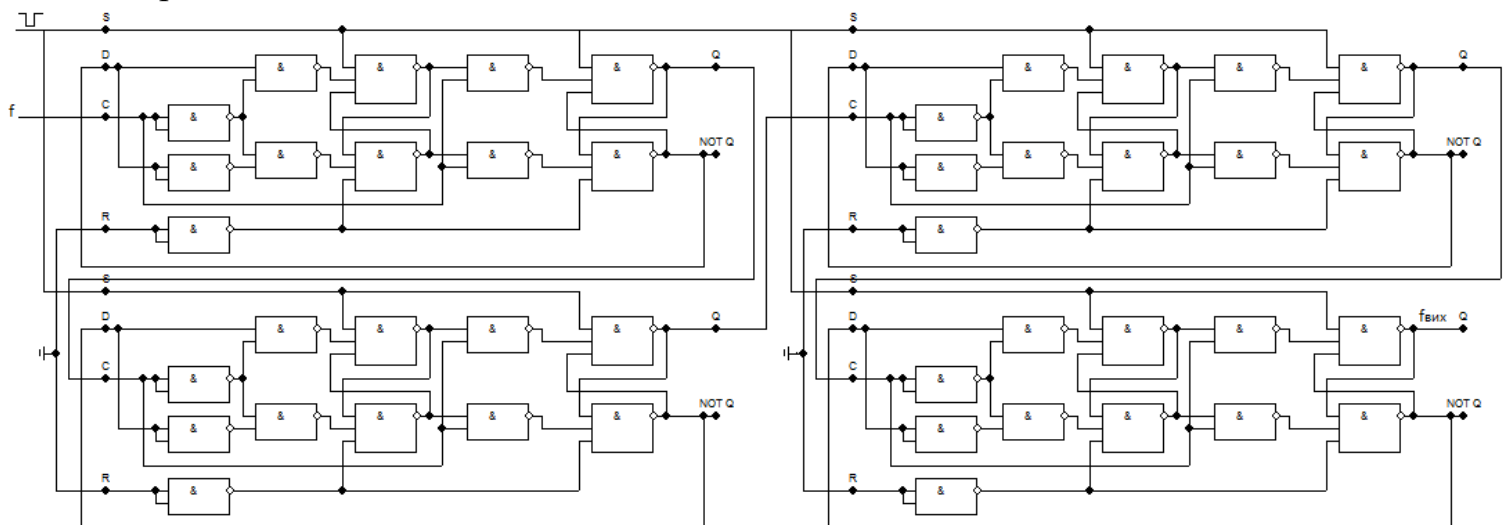
Умовна графічна схема:



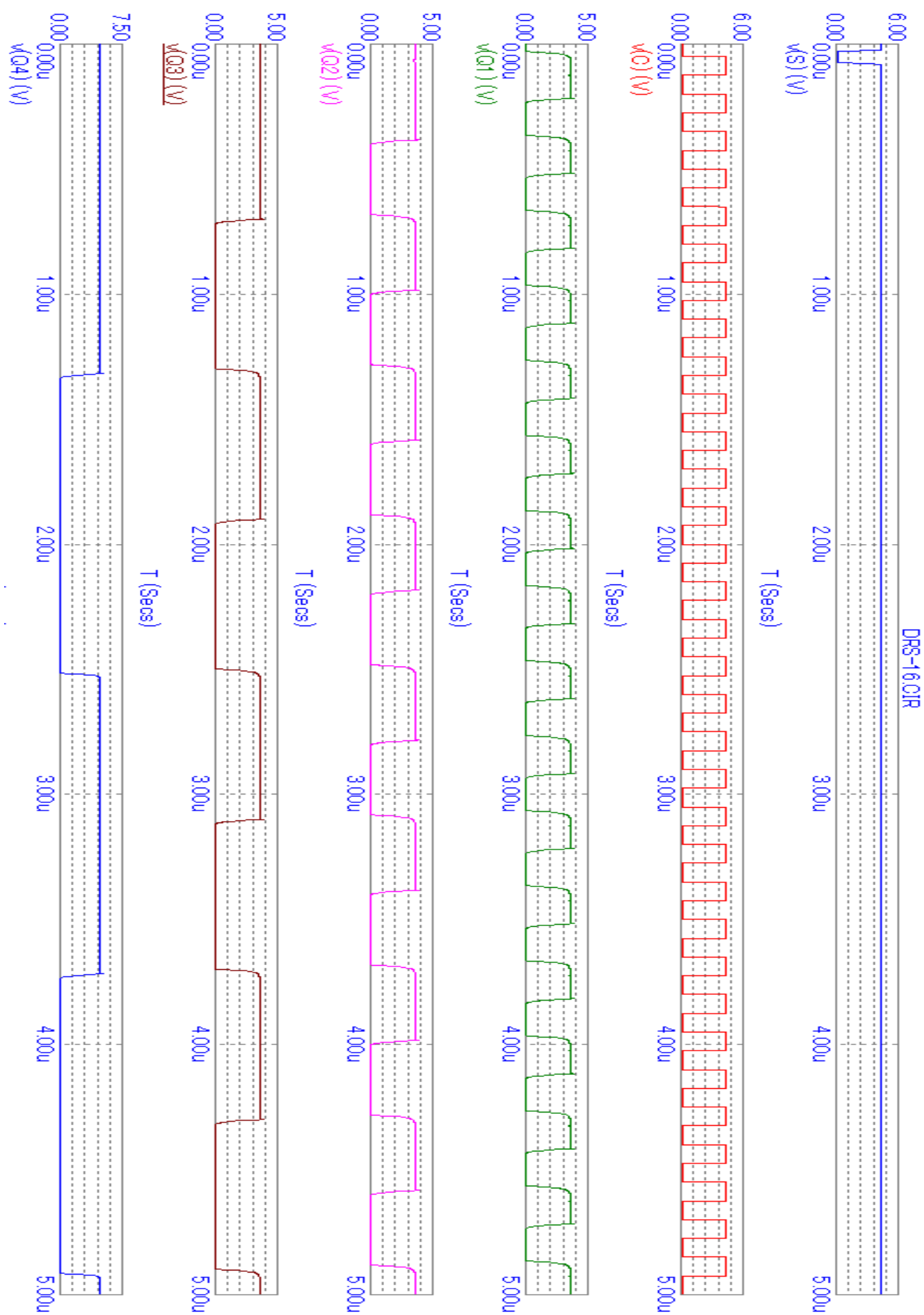
Таблиця переходів лічильника:

$Q_1(t)$	$Q_2(t)$	$Q_3(t)$	$Q_4(t)$		$Q_1(t+1)$	$Q_2(t+1)$	$Q_3(t+1)$	$Q_4(t+1)$
1	1	1	1		0	0	0	0
0	0	0	0		0	0	0	1
0	0	0	1		0	0	1	0
0	0	1	0		0	0	1	1
0	0	1	1		0	1	0	0
0	1	0	0		0	1	0	1
0	1	0	1		0	1	1	0
0	1	1	0		0	1	1	1
0	1	1	1		1	0	0	0
1	0	0	0		1	0	0	1
1	0	0	1		1	0	1	0
1	0	1	0		1	0	1	1
1	0	1	1		1	1	0	0
1	1	0	0		1	1	0	1
1	1	0	1		1	1	1	0
1	1	1	0		1	1	1	1

Принципова схема на вентелях:

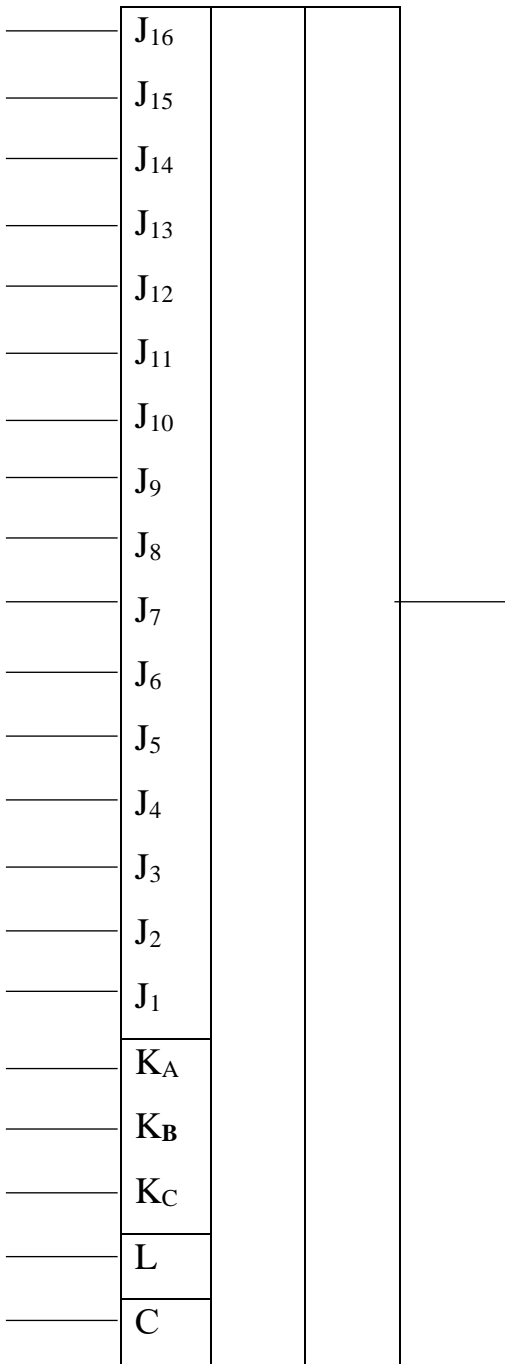


Графік роботи даного чотирьохрозрядного лічильника з коефіцієнтом ділення
вхідної частоти $K=16$



4. Задати одноразовий режим роботи програмованого лічильника з модулем ділення $M = 4$. Коефіцієнт ділення вхідної частоти $N=8403$.

Намалюємо умовне графічне зображення лічильника.



Розв'язком задачі є визначення керуючого слова наступної структури.

J ₁₅	J ₁₄	J ₁₃	J ₁₂	J ₁₁	J ₁₀	J ₉	J ₈	J ₇	J ₆	J ₅	J ₄	J ₃	J ₂	J ₁	J ₀	K _A	K _B	K _C	L

Скористаємось наступною таблицею для визначення модуля:

M	P _{1MAX}	P _{5MIN}	N _{MIN}	N _{MAX} (P ₂ ÷P ₄ =0÷9)	N _{MAX} (P ₂ ÷P ₄ =0÷15)
2	7	1	3	15999	17331
4	3	3	3	15999	18663
5	1	4	3	9999	13329
8	1	7	3	15999	21327
10	-	9	3	9999	16659

Визначимо розряди K_AK_BK_C за наступною таблицею:

M	K _A	K _B	K _C
2	1	1	1
4	0	1	1
5	1	0	1
8	0	0	1
10	0	1	0

Для розв'язку нашої задачі використаємо модуль M=4. Розряди K_AK_BK_C відповідно дорівнюють 011.

Визначимо коефіцієнти P₁-P₅. Для цього розділимо задане число N на модуль M.

$$\begin{array}{r}
 8 \ 4 \ 0 \ 3 \ | \ 4 \\
 \underline{8} \\
 0 \ 4 \\
 \underline{4} \\
 0 \ 0 \\
 0 \\
 \underline{ 3} \\
 0 \\
 \underline{ 3}
 \end{array}$$

Отримаємо коефіцієнти

$P_1 = 2, P_2 = 1, P_3 = 0, P_4 = 0, P_5 = 3.$

В двійковому поданні коефіцієнти мають вигляд

$P_1 = 0010, P_2 = 0001, P_3 = 0000, P_4 = 0000, P_5 = 0011.$

Кожен коефіцієнт відповідає за певні біти управляючого слова:

$P_2 = J_{12}-J_{15}, P_3 = J_8-J_{11}, P_4 = J_4-J_7,$ коефіцієнти P_1 і P_5 відповідають за розряди J_0-J_3 .

Оскільки режим роботи одноразовий, то біт $L = 1$. Запишемо керуюче слово:

J_{15}	J_{14}	J_{13}	J_{12}	J_{11}	J_{10}	J_9	J_8	J_7	J_6	J_5	J_4	J_3	J_2	J_1	J_0	K_A	K_B	K_C	L
0	0	0	1	0	0	0	0	0	0	0	0	1	0	1	1	0	1	1	1
P_2				P_3				P_4				P_1		P_5					

Список використаної літератури:

1. Методичні вказівки до виконання лабораторних робіт з курсу «Комп'ютерна схемотехніка».
2. Конспект лекцій з курсу «Комп'ютерна електроніка»
3. Конспект практичних занять з курсу «Комп'ютерна електроніка»