

Перелік питань, які виносяться на екзамен з КЕ

1. Дати оцінку основним критеріям порівняння інтегральних схем.
2. Узгодження про цифрове подання інформації та швидкодію елементної бази.
3. Обґрунтувати необхідність використання схем з відкритим колектором у спеціалізованих обчислювальних пристроях.
4. Проаналізувати переваги та недоліки ІС, виготовлених за технологією ТТЛ.
5. Дати оцінку зв'язку угод про цифрове подання інформації та швидкодію елементної бази.
6. Застосування ІС із трьома станами в обчислювальних пристроях.
7. Застосування ІС із відкритим колектором у спеціалізованих обчислювальних пристроях.
8. Застосування ІС із розширенням по виходу в спеціалізованих обчислювальних пристроях.
6. Пояснити необхідність використання парафазного підсилювача на виході схем ТТЛ.
9. Особливості реалізації інтегральних схем ЕЗЛ.
10. Особливості реалізації інтегральних схем КМДН.
11. Особливості реалізації інтегральних схем МДН.
12. Особливості реалізації інтегральних схем І2Л.
13. Особливості реалізації інтегральних схем ТТЛШ.
14. Пояснити принципи підвищення навантажувальної здатності цифрових ІС за умови використання парафазного підсилювача на виході.
15. Особливості реалізації дворівневих інтегральних схем ЕЗЛ.
16. Особливості реалізації інтегральних схем ІЗЛ.
17. Особливість структурної організації схеми «Виключне АБО» технології КМДН.
18. Одновібратори та особливості їх використання.
19. Лічильники і особливості їх використання.
20. Типи одновібраторів та використання одновібраторів з перезапуском.
21. Заміна одновібраторів тригерами при формуванні послідовності сигналів.
22. Заміна одновібраторів тригерами та лічильниками при формуванні послідовності сигналів.

23. Необхідність використання шинних формувачів.
24. Необхідність забезпечення завадостійкості в обчислювальних засобах.
25. Особливості підключення блоків до блоку живлення.
26. Підключення обчислювальних пристроїв до первинних джерел живлення.
27. Захист від завад на шині «Земля».
28. Правила роботи з узгодженими лініями. Лінії зв'язку з відкритим колектором.
29. Правила роботи з узгодженими лініями. Лінії зв'язку з відкритим емітером.
30. Передача сигналів через роз'єм.
31. Особливості організації відгалуження від магістралі.
32. Передача сигналу від одного джерела до кількох.
33. Передача інформації за допомогою оптронних пар.
34. Двійкові чотирьохрозрядні лічильники і їх організація.
35. Декадні чотирьохрозрядні лічильники і їх організація.
36. Реверсивні двійкові чотирьохрозрядні лічильники і їх організація.
37. Реверсивні декадні чотирьохрозрядні лічильники і їх організація.
38. Каскадне з'єднання двійкових чотирьохрозрядних лічильників.
39. Каскадне з'єднання декадних чотирьохрозрядних лічильників.
40. Каскадне з'єднання реверсивних двійкових чотирьохрозрядних лічильників.
41. Каскадне з'єднання реверсивних декадних чотирьохрозрядних лічильників.
42. Організація таймерів на основі лічильників.
43. Порівняти технології виготовлення інтегральних схем

№1. Дати оцінку основним критеріям порівняння ІС.

Основні параметри і характеристики електронних цифрових схем:

- t_{01} , t_{10} - час переходу, коли U_{out} переходить від "0" до "1" та навпаки;
- t_{10z} , t_{01z} - час затримки вмикання логічного елементу і інтервал часу між формуванням вх. та вих. сигналів;
- інтенсивність відмови елементів $\lambda = n/(TN)$, де T -час спостереження, n/N – частість. Тоді імовірність відмови елементу складає $P = e^{(-\lambda * t)}$
- статичні параметри: входні і вихідні напруги, струми логічних "0", "1"
- коефіцієнт об'єднання по входу (каже, що кількість входів схеми)
- коефіцієнт розгалуження (навантаження) - число одиничних елементів, які можна одночасно підключити до виходу
- кількість джерел живлення, необхідних для організації роботи
- тип корпусу схеми
- інтегральні характеристики (ступінь інтеграції)
- потужність споживання (потужність розсіювання) - $P = (P_1 + P_0)/2$

Ідеальний логічний елемент повинен мати високу швидкодію, завадостійкість, споживати мінімальну потужність, мати просту технологію виготовлення, велику щільність упаковки на кристалі.

Найвищу швидкодію мають елементи, виготовлені за технологією ЕЗЛ, оскільки в даних схемах мінімальна різниця між напругами логічних рівнів нуля й одиниці. Час перемикання вентиля мінімальний у схемах ЕЗЛ у зв'язку з наявністю перемикачів струмів, де транзистори не заходять в режим насичення, а також у зв'язку з наявністю емітерних повторювачів, які зсувають вихідний рівень та забезпечують необхідну амплітуду керуючих струмів.

Максимальний час перемикання у схем на базі р-МОН транзисторів, тому що потрібен час на організацію каналу.

Найвищу завадостійкість мають схеми на уніполярних транзисторах, оскільки в них максимальний розмах між рівнями логічного нуля й одиниці.

Найнижчу потужність споживання мають схеми на базі КМДН, оскільки через базові елементи протікає струм лише в момент їх перемикання. В статичному режимі струм не проходить.

Щільність пакування елементів (кількість вентилів на одиницю площі) найбільша в схемах, які виготовляються на базі уніполярних одноступінчастих транзисторів (МДН). Це пояснюється тим, що схеми володіють однорідністю і тим, що транзистори МДН займають меншу площу на кристалі, ніж біполярні транзистори, резистори тощо. Високою щільністю пакування елементів володіє технологія ПЛ. Це пояснюється наявністю спільних областей.

Найнижча щільність в схемах ЕЗЛ у зв'язку з наявністю джерела опорної напруги і високою складністю базової схеми.

№2. Узгодження про цифрове подання інформації та швидкодію елементної бази.

Особливості цифрової форми подачі інформації:

Позитивна логіка – коли кодування логічної одиниці відбувається високим рівнем, а логічного нуля – низьким (Рис. 1).

Негативна логіка - коли ж кодування відбувається навпаки;

Ширина зон логічної одиниці і логічного нуля обумовлена параметрами елементів, які реалізують функції перемикавання, а також навантаження схем. \exists Заборонена зона.

Рис. 10. Цифрове представлення інформації

Заборонена зона (зона перемикавання), яка знаходиться між максимальним «0» та мінімальною «1» **визначає завадостійкість схеми**. Чим вона ширше, тим вища завадостійкість. Перевищення максимального рівня «0» призводить до відмикання транзистора. Зниження рівня мінімальної «1» призводить до замикавання транзистора. Однак зі зростанням ширини забороненої зони зростає час перемикавання схеми.

Існує два типи завад:

- 1) **динамічні завади** – можуть мати більшу амплітуду при меншій тривалості. Якщо їх тривалість значно менша часу перемикавання схеми, то, як правило, схема не встигає змінити свій стан;
- 2) **статичні завади** – мають меншу амплітуду, але більшу тривалість. Перехід їх амплітуди в зону порогової напруги може призвести до зміни стану схем.

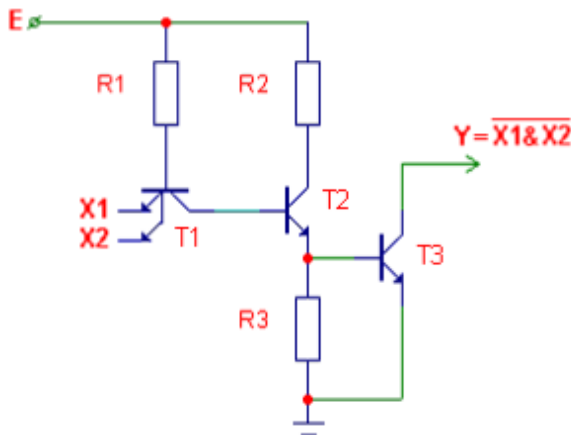
Швидкодія логічного елемента при перемиканні визначається логічною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювання динамічних параметрів встановлені вимоги до амплітуди і тривалості фронтів вхідних і вихідних сигналів.

Основними динамічними параметрами логічних елементів є:

- 1) затримка поширення сигналів під час перемикавання;
- 2) тривалість позитивного (наростаючого) і негативного (спадаючого) фронтів.

Час затримки $t_{10(3)}$ вмикання логічного елемента – інтервал часу між вхідним і вихідним сигналами під час переходу напруги на виході логічного елемента від одиниці до нуля, виміряний на рівні 0,1 від логічного переходу вхідного сигналу і на рівні 0,9 від логічного переходу вихідного сигналу. Такий підхід зумовлений тим, що на верхньому й нижньому плато (рівна частина сигналу) можуть спостерігатися загасаючі коливання.

Питання №3,7 (про відкритий колектор)



Итак, во-первых схема с открытым коллектором неспособна сама по себе сформировать на выходе высокий уровень напряжения

Для того чтоб это стало возможным, необходимо подключить к коллектору так называемый подтягивающий резистор, реле, некоторое устройство или комбинация вышеперечисленного.

Выходной транзистор схемы с открытым коллектором имеет повышенный допустимый ток а так же, зачастую, напряжение.

Элементы с откр. кол. так же приспособлены к объединению по выходу. Выполняя параллельное соединение элементов, можно получить выполнение функции "монтажное ИЛИ", "монтажное И".

Величина подтягивающего сопротивления ограничена снизу максимальным допустимым током открытого входного транзистора.

Величина подтягивающего сопротивления (или наибольшее число объединяемых элементов) ограничена сверху параметрами транзистора - возникающие токи утечки, которые, очевидно, проходят через сопротивление, могут снизить выходной уровень.

Пример некоторых допустимых параметров для транзистора КТ315А

Максимальный коллекторный ток транзистора КТ315А=100 мА.

Максимальное напряжение коллектор-эмитер = 25 В.

Исходя из этих параметров легко можно определить, подходит ли нагрузочное устройство для данной схемы и наоборот.

Особливість схеми: на виході відкритий (без навантаження) колектор. Щоб схема працювала, його треба підключити до джерела живлення.

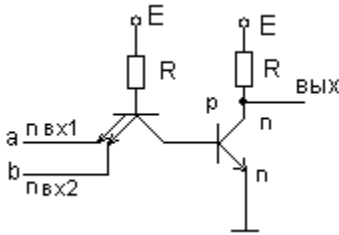
Схема з відкритим колектором, як правило, використовується в керувальних схемах для керування загальним навантаженням.

Керування навантаженням здійснюється при активному низькому рівні на виході, причому іноді навантаження підключається до джерела з більш високою напругою, ніж напруга живлення ІС. Для забезпечення роботи такої схеми необхідно на вихід підключити навантажувальний елемент.

Схема з відкритим колектором має більш потужний вихід і використовується для підключення зовнішніх навантажень. Як навантаження можуть бути використані лампочки, світлодіоди, реле та інші елементи, причому на деякі навантаження, залежно від типу схем, може подаватися напруга 15 В або 30 В. З'єднання виходів схем дозволяє організувати керування навантаженням декількома сигналами.

Питання №4 (про переваги\недоліки ТТЛ)

ТТЛ схема



Достоинства ТТЛ с простым инвертором:

1. Относительно высокое быстродействие
2. Довольно простая реализация

Недостатки:

1. (??) Неоднородность в связи с наличием в БС резисторов и транзисторов двух типов
2. Низкая плотность упаковки
3. Большая мощность потребления
4. Низкая помехозащищенность
5. Низкая нагрузочная способность для выходной "1"

Пути преодоления недостатков ТТЛ с простым инвертором:

1. Использование парафазного усилителя вместо простого инвертора - обеспечивает существенное повышение нагрузочной способности схемы
2. Использование диодов и транзисторов Шоттки для увеличения быстродействия и определенного уменьшения потребляемой мощности (с другой стороны, низкое напряжение пробоя требует аккуратного применения элементов Шоттки)

Питання №6 (про 3 стани)

Схема з трьома станами

Схеми використовуються для організації обміну через загальну шину. На виході схеми може бути три стани: стан логічної «1», стан логічного «0» та третій стан – високоімпедансний. Він характеризується тим, що вихідні транзистори в парафазному підсилювачі знаходяться в режимі відсічки. Цей стан забезпечується подачею на вхід EO (Enable Out) високого рівня. В цьому випадку вхідні сигнали X1 та X2 на вихідний рівень не впливають.

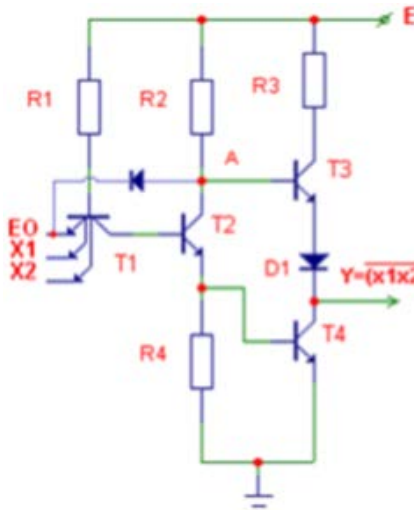


Рис. 7. Схема з трьома станами

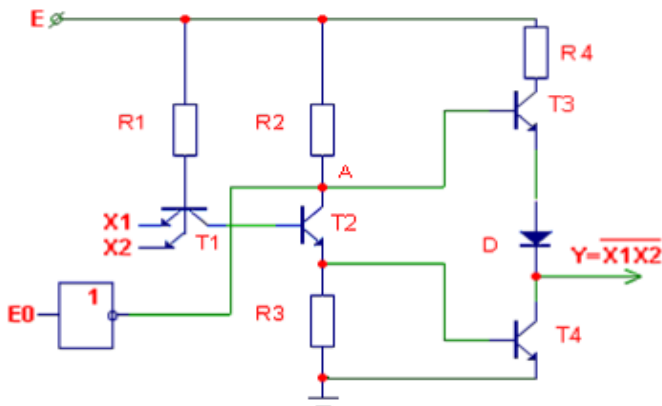
Розглянемо принцип роботи схеми (Рис. 37) за умови, коли $X1=L$, $X2=N$:

1) Якщо $EO=L$, то на базу T2 струм не подається, оскільки T1 працює в прямому режимі. T2 закритий, відповідно і T4 закритий також. На базу T3 через R2 подається струм. Відповідно T3 і D1 відкриті, на виході високий рівень.

2) Якщо $EO=N$, то в точці A буде

низький рівень завдяки вихідному транзистору інвертора.

Струм через R2 буде проходити на колектор вихідного транзистора інвертора і T3 буде закритий.



Таким чином, транзистори каскаду закриті, на виході буде третій стан.

Рис. 8. Схема з трьома станами (інший варіант підключення сигналу EO)

Розглянемо роботу схеми (Рис. 38):

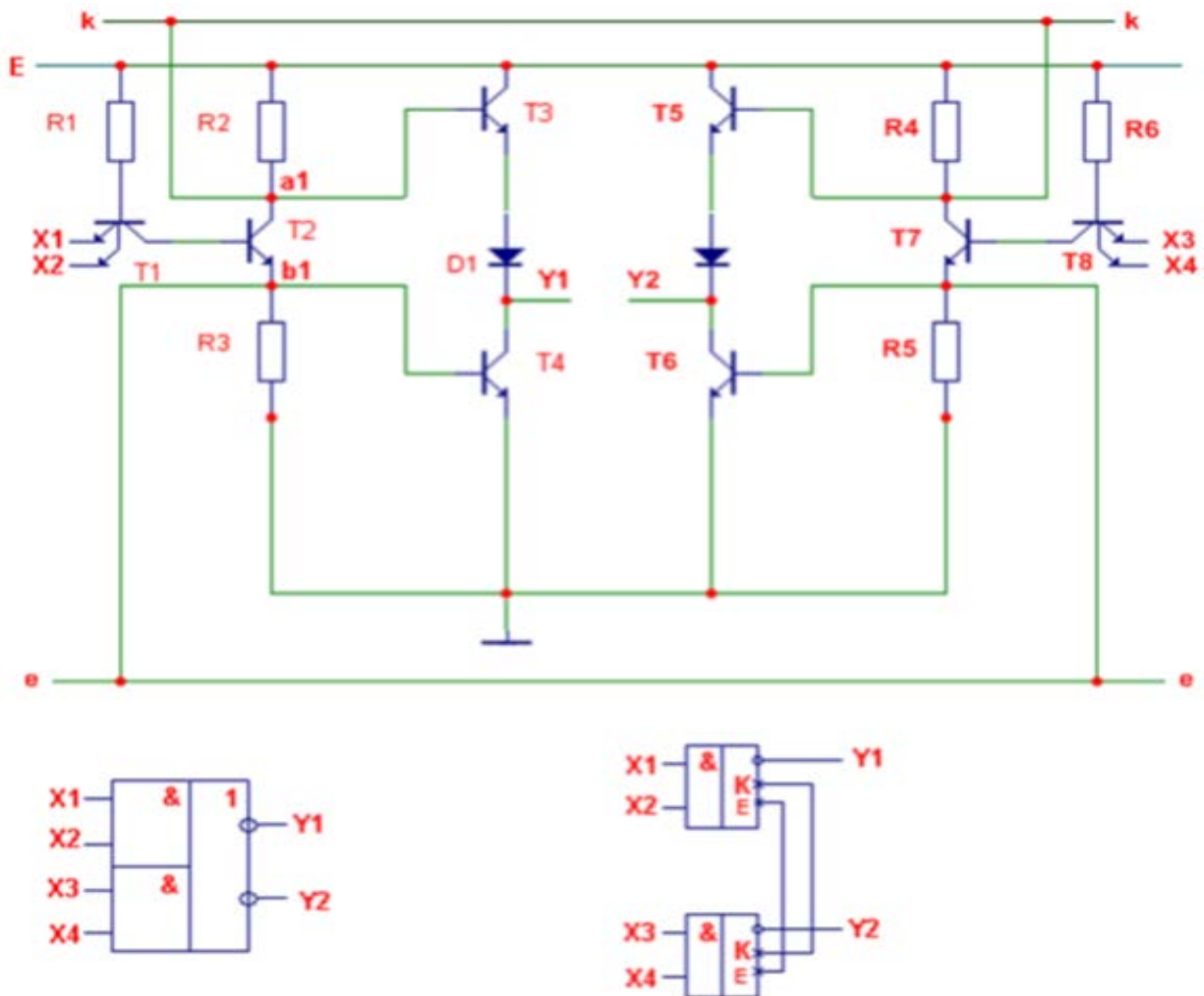
1) На виході високий рівень, при цьому T3 та D відкриті, T2 та T4 закриті. Струм через R2 іде на базу T3. Щоб перевести схему в третій стан, на вхід EO подаємо високий рівень. В точці A встановлюється низький рівень, який визначається $U_{КЕн}$ вихідного транзистора

інвертора. При цьому струм на базу T3 йти не буде. Він через R2 піде на колектор вихідного транзистора інвертора. На виході схеми встановлюється третій стан, так як T3 та T4 закриті.

2) Розглянемо випадок, коли на вході низький рівень. При цьому T3 та діод D закриті, T2 та T4 – відкриті. Вихідний рівень дорівнює напрузі $U_{КЕн}$ транзистора T4. Щоб переключити схему в третій стан, подаємо високий рівень на вхід EO. В точці A встановлюється низький рівень, через R2 струм іде на інвертор, а на базу і колектор транзистора T2 струм не поступає. T2 та T4 переходять в режим відсічки. На виході встановлюється третій стан.

№8. Застосування ІС із розширенням по виходу в спеціалізованих обчислювальних пристроях.

Схема з розширенням по виходу



Наявність зв'язку між точками a1 та a2, b1 та b2 (Рис. 42) забезпечує рівномірний розподіл струму між схемами та рівномірне навантаження на входах. На входах схеми встановлюється низький рівень, якщо на пару входів X1, X2 або X3, X4 подаються сигнали високого рівня. Розглянемо випадок, коли $X1 = X2 = H$ (високий рівень). В цьому випадку T1 має інверсне включення, струм через R1 та T1 іде на базу T2, а в точці b1 підсилений струм транзистора T2 розділяється на два базових струми ІБ T4 та ІБ T6. Цей струм забезпечує перехід в режим насичення T4 та T6. На виходах встановлюється рівень логічного «0». Аналогічно схема працює, якщо на X3 та X4 мають місце високі рівні. Якщо ж на одному з входів X1 або X2 встановлюється низький рівень та хоча б на одному з входів X3 або X4 також низький рівень, то T1 та T8 мають пряме включення; T2, T7, T4, T6 – закриті. В точках a1 та a2 високий рівень, T3, T5, D1, D2 відкриті. На виходах встановлюються високі рівні.

Такі схеми **дозволяють збільшити коефіцієнт навантаження на виходах Y1 і Y2**, а також додатково реалізувати монтажну функцію.

№10. Особливості реалізації інтегральних схем ЕЗЛ.

Елементи ЕЗЛ будуються на базі перемикачів струму і є найбільш швидкодіючими.

Для того, щоб елемент мав високу швидкодію, необхідно, щоб:

- 1) транзистори працювали в активному режимі і не заходили в насичення
- 2) логічний розмах між сигналами був мінімальний;
- 3) керуючі струми забезпечували мінімальний час перемикання елементів.

Для досягнення цих цілей і використовують елементи ЕЗЛ.

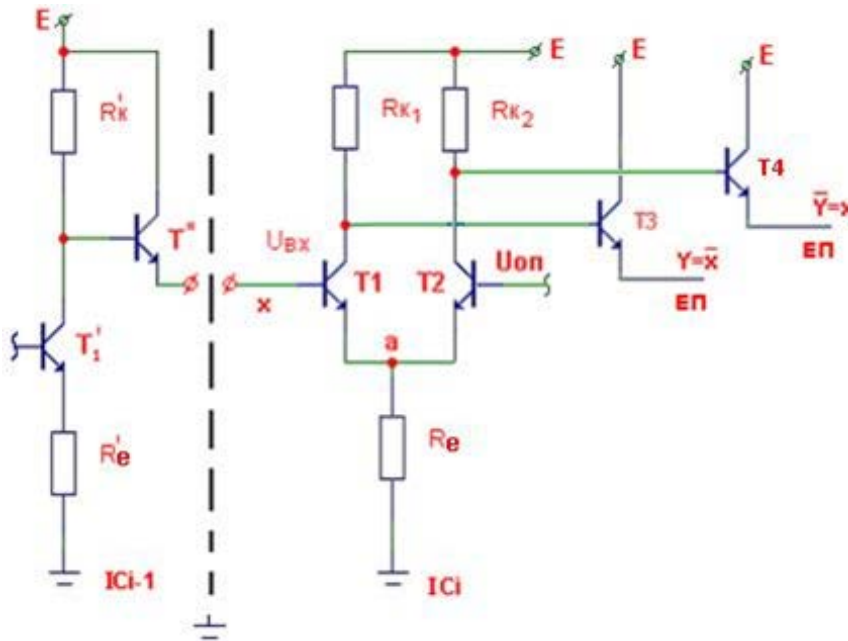


Рис. 1. Перемикач струму з емітерними повторювачами на виходах
Базова схема ЕЗЛ (однорівнева)

Схема складається з трьох частин:

- 1) перемикач струму ($R_1, R_2, R_3, R_4, R_5, T_1, T_2, T_3$);
- 2) джерело опорної напруги ($T_4, R_6, R_7, R_8, D_1, D_2$);
- 3) емітерні повторювачі (T_5, T_6).

Емітерні повторювачі на виході схем забезпечують узгодження рівнів між схемами за рахунок зміщення вихідного сигналу на величину напруги переходу U_{BE} ЕП вихідних емітерних повторювачів T_5, T_6 (Рис. 2). Це призводить до того, що транзистори в схемі перемикача струму не заходять в режим насичення. Крім того, зменшується різниця між логічними рівнями «0» та «1». Так як вихідний сигнал знімається з відкритого емітера, то керуючі струми в цих схемах забезпечують швидке перемикання.

$$U_{bx1} = -0,9 \text{ В} \quad U_{OP} = (U_{bx0} + U_{bx1}) / 2 = -1,3 \text{ В}$$

$$Y_1 = \overline{X_1} \& \overline{X_2} = \overline{X_1} \vee \overline{X_2}$$

$$U_{bx0} = -1,7 \text{ В}$$

$$Y_2 = X_1 \vee X_2$$

Живлення $E = -2,5 \text{ В}$, завдяки чому досягається більша завадостійкість.

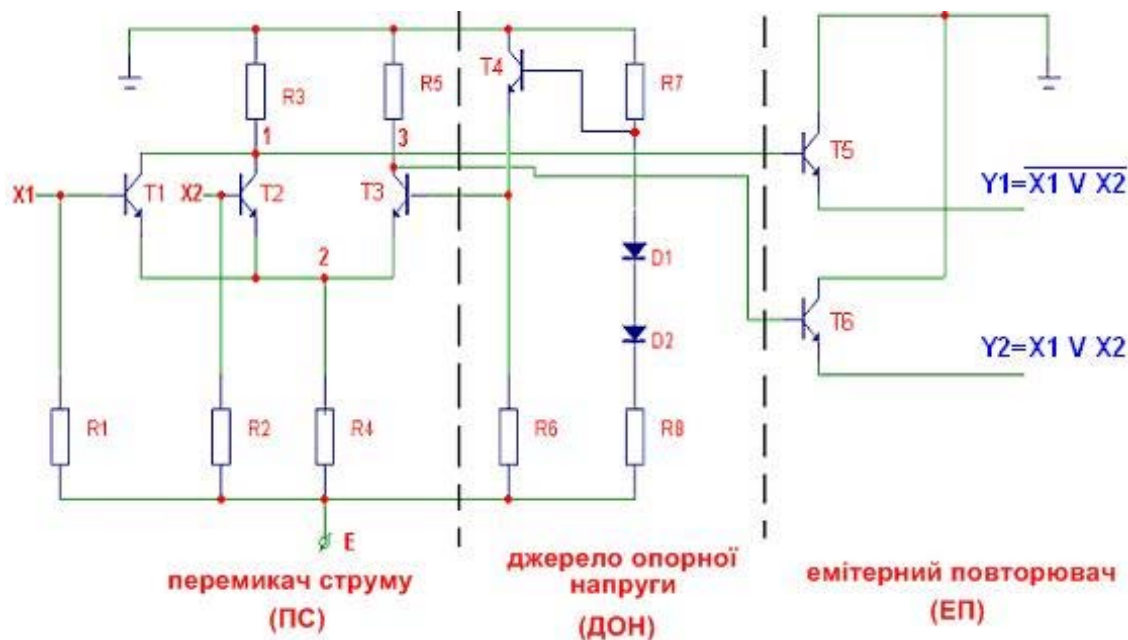


Рис. 2. Однорівнева схема ЕЗЛ
Переваги схем ЕЗЛ

Використання ПС в якості основи для даної технології, а також ЕП, забезпечує:

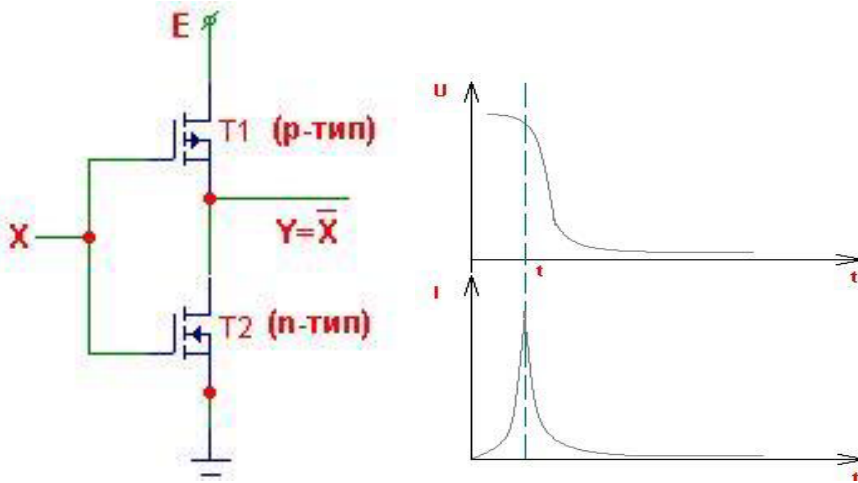
- 1) найвищу швидкодію серед напівпровідникових схем, побудованих на кремнієвій основі;
- 2) розширення логічних можливостей за рахунок двох виходів та можливість організації монтажних функцій;
- 3) постійність струму споживання від джерела, та відсутність стрибків струму при перемиканні схеми;
- 4) Еміторні повторювачі забезпечують зміну навантажувальної здатності та можливість роботи з довгими лініями;
- 5) стабільність динамічних параметрів в заданому температурному діапазоні завдяки використанню термокомпенсуючих діодів D1, D2;
- 6) постійну потужність споживання.

Примітка: в даних схемах обов'язково окремо відводиться земля для ЕП, що забезпечує можливість роботи з різною кількістю навантажень.

№ 11 (Особливості реалізації інтегральних схем КМДН)

КМДН – комплементарна МДН-технологія. В КМДН **транзистори не використовуються в якості резисторів**, не працюють в лінійній області. В даній технології використовуються **транзистори різного типу**.

Дані схеми мають **найнижчу потужність споживання**.

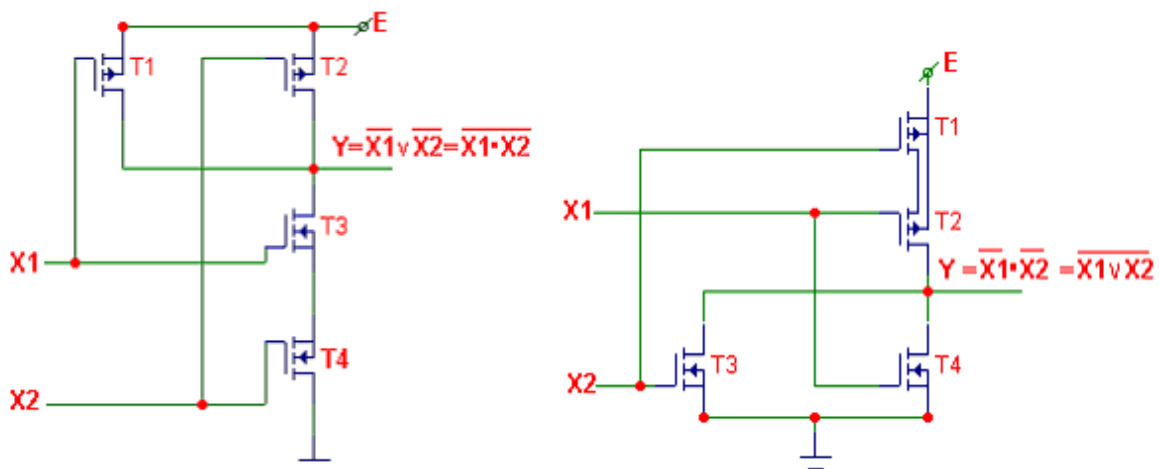


Якщо подати на вхід високий рівень, відкривається транзистор n-типу (T2). При цьому T1 закритий, на виході низький рівень. Якщо подати на вхід низький рівень, T1 відкритий, T2 закритий. На виході встановлюється високий рівень, який дорівнює напрузі джерела. **Струм через T1 та T2 проходить тільки в момент їх переключення.**

В статичному режимі через елемент струм не протікає. Така організація елементів забезпечує мінімальну потужність розсіювання. **Потужність, що споживається, визначається частотою перемикання елементів.**

Залежність струму від вихідної напруги при перемиканні елемента:

Схематехнічні різновиди КМДН. Елементи І-НЕ та АБО-НЕ на базі КМДН



Щоб на виході схеми АБО-НЕ отримати високий рівень, необхідно, щоб між стоком та витоком T1 та T2 утворився канал. Оскільки T1 та T2 – транзистори p-типу, то на затвор для утворення каналу необхідно подати напругу низького рівня. Оскільки сигнал X1 потрапляє на

затвор T1 та T3, а X2 – на затвори T2 та T4, то якщо подати низький рівень на X1, відкривається T1 та закривається T3 (n-типу). При цьому встановлюється зв'язок між E (джерелом живлення) та виходом, на виході високий рівень, який дорівнює E. Зв'язку між виходом та схемною землею немає, оскільки T3 закритий. Аналогічний режим забезпечується якщо подати на X2 низький рівень. Для забезпечення високого рівня на виході схеми I-HE необхідно забезпечити зв'язок між E та виходом.

Оскільки T1 та T2 – p-типу, то необхідно на їх затвори подати низький рівень. Якщо T1 та T2 відкриті, то на виході буде високий рівень, в цьому випадку паралельно включені транзистори T3 та T4 (n-типу) є закритими.

№12. Особливості реалізації інтегральних схем МДН.

Інтегральні схеми МДН управляються напругою і мають високий вхідний опір. Особливо чутливі до ємнісних навантажень.

Загальна назва транзисторів – метал-діелектрик-напівпровідник (МДН).

Переваги та недоліки схем на базі МДН транзисторів.

Переваги:

- 1) високий вхідний опір (10¹² – 10¹⁴ Ом);
- 2) малі розміри та висока технологічність;
- 3) **транзистори можна використовувати в якості резисторів**, що забезпечує однорідність при виготовленні;
- 4) використовується одне джерело живлення;
- 5) струм може проходити як від стоку до виток, так і навпаки.

Недоліки:

- 1) висока порогова напруга(напруга створення каналу);
- 2) невисока швидкодія, особливо для транзисторів p-типу;
- 3) потрібен захист від статичної напруги.

№13. Особливості реалізації ІС І2Л.

Дана технологія виникла після того, як з'ясувалось, що схеми транзисторної логіки з безпосередніми зв'язками (з загальним навантаженням) погано працюють, коли їх входи **підключаються до одного виходу**. В даному випадку спостерігається **явище перехоплення струму**.

Оскільки напруга переходів база-емітер нелінійна і відповідно визначається вольт-амперними характеристиками паралельно ввімкнених транзисторів, струми, які надходять на бази транзисторів, можуть відрізнятись в десятки разів.

Для уникнення цього явища був проведений перехід до елементів І2Л. **Перехоплення струму було усунене за рахунок використання багатоклекторного транзистора**. В перших елементах управління транзистором відбувалось через резистор R, що обмежував струм, який постував на базу. Потім резистор замінили на **транзистор типу p-n-p** T_i (так як він займає менше

місця на кристалі), який називається інжектором. Інжектор завжди відкритий. Дана схема є базовою для елементів І2Л.

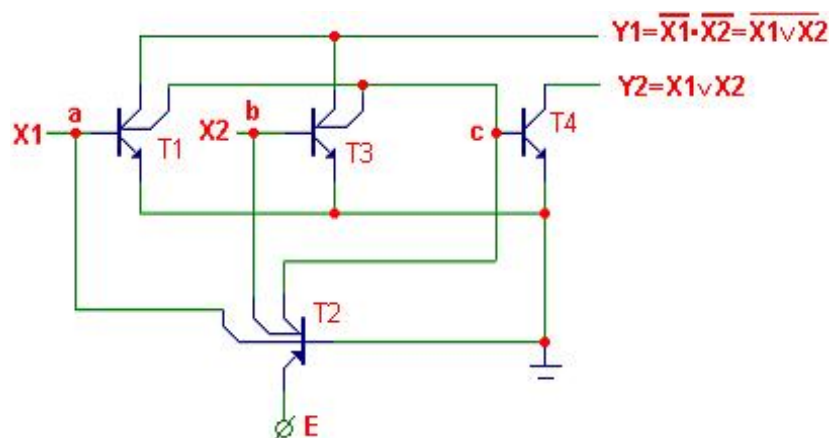
Особливістю даного елемента є те, що інжектор та навантажувальний транзистор мають спільні області. Таке включення елементів дозволяє знизити значення джерела живлення до 1,5 В. Вихідний рівень логічного «0» визначається напругою КЕ насиченого ключового транзистора Тк. Вихідний високий рівень визначається напругою БЕ ключового транзистора наступної схеми.

$$E = U_{KE\ T1} + U_{BE\ Tк}$$

Робота базового елементу:

Якщо на вході базового елемента високий рівень, то струм подається через інжектор на базу ключового транзистора, ключовий транзистор переходить в режим насичення.

Якщо на вході низький рівень, то струм, який постійно проходить через ЕК Ті, поступає на вхід Х і є струмом І0ВХ. Якщо на вході високий рівень (Тк попередньої схеми закритий), то струм поступає на базу Тк. Тк відкривається, і на вході встановлюється низький логічний рівень.



Базовий елемент на виході має відкриті колектори.

Рис. 14. Приклад схеми з багатоколекторними інжекторами

$$Y = \text{not}(X1 \vee X2); Y2 = (X1 \vee X2)$$

Робота схеми:

Якщо $X1 = H$, $X2 = L$, то через т. а, б, с проходить струм. Високий рівень на вході $X1$ забезпечує подачу струму на Т1, Т1 переходить в режим насичення.

Струм із т.В йде на вхід $X2$, т.як $X2 = L$. Т3 закритий.

Струм із т.С йде на колектор Т1 (т.як він в режимі насичення) і на вхід $X1$. Т4

Особливості технології І2Л

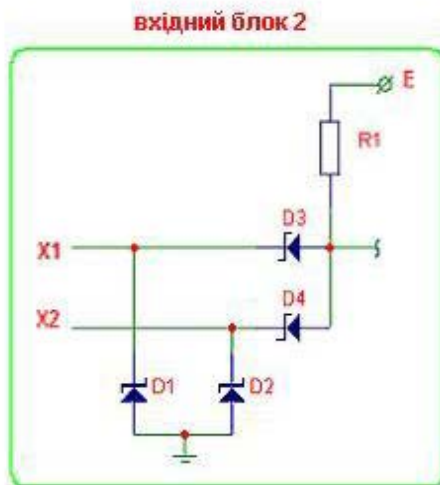
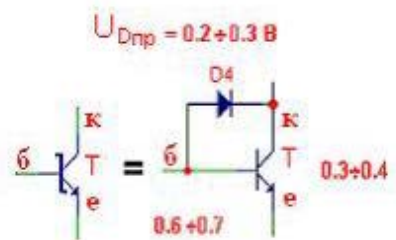
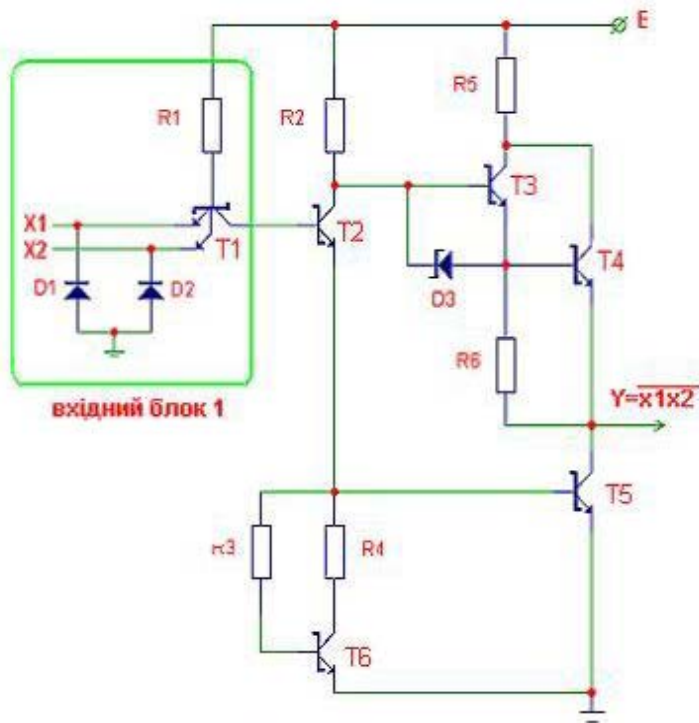
- 1) Схеми мають високу щільність упаковки. Це пов'язано з тим, що інжектор та Тк мають спільні області.
- 2) Напруга живленн = 1.5В
- 3) Вих. рівень «0» = 0.2В – напруга U_{ce} ключ. транзистора в режимі насичення
- 4) Вих. рівень «1» = 0.7В – напруга U_{be} ключового транзистора наступної схеми

Схеми І2Л можуть з'єднуватись зі схемами ТТЛ, але для цього необхідно підключати додаткові навантаження. Обов'язково необхідно пам'ятати, що в схемах відкритий колектор.

№14. Особливості реалізації ІС ТТЛШ.

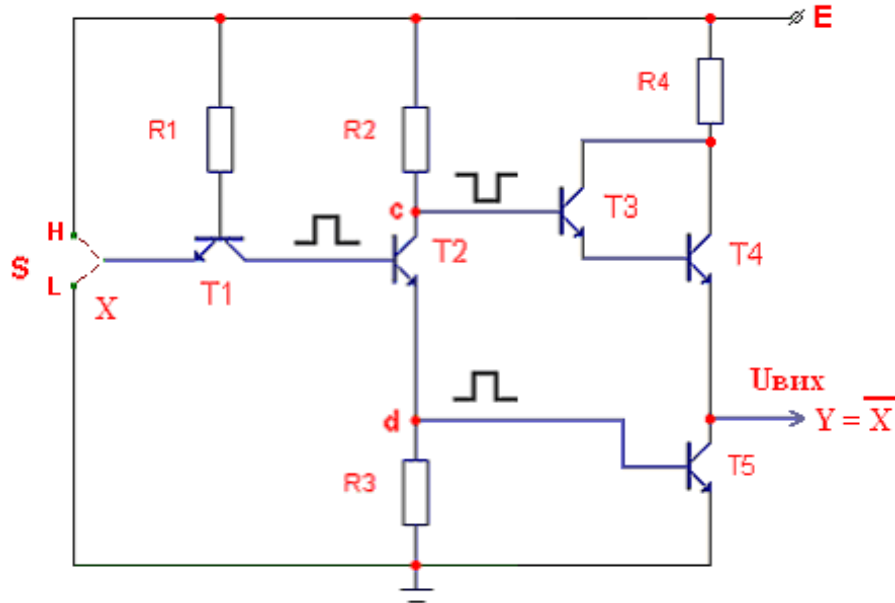
Схеми ТТЛШ (транзисторно-транзисторна логіка з діодами Шотки)В діодах Шотки пряма напруга має **рівень не 0,6 В та вище, як в звичайних діодах, а 0,2 –0,3 В.**

Призначення цих елементів в даній схемі аналогічне схемі **складного інвертора для схем ТТЛ**. Діоди **D1, D2** використовуються для **підвищення завадостійкості** на входах схеми. R3, R4, T6 утворюють джерело струму, яке зменшує час переключення вихідного транзистора T5 та забезпечують вихідний рівень логічного «0». Заміна вхідного транзисторного блока на діодну матрицю (в вхідному блоці 2) дозволяє **підвищити швидкість переключення схеми**, так як діоди не накопичують збиткові заряди.



↑
Схеми ТТЛШ

№ 15. 9 Пояснити принципи підвищення навантажувальної здатності цифрових ІС за умови використання парафазного підсилювача на виході



Парафазний підсилювач або вихідний двотактний **підсилювальний каскад** складається з R4, T3, T4, T5. Транзистори T3 і T4 утворюють складений транзистор – схему Дарлінгтона, яка не змінює логічний зміст сигналу інвертора, але забезпечує значне підсилення струму, який потрапляє на базу T3.

- Транзистор T4 не може працювати в режимі насичення, так як у базовому колі стоїть транзистор T3 і напруга переходу KE транзистора T4 не може бути меншою за напругу на BE.
- Транзистор T5 в режимі насичення задає низький вихідний рівень.
- Коефіцієнт підсилення струму складеного транзистора:

$$\beta = \beta_{T3} \cdot \beta_{T4}.$$

Схема Дарлінгтона:

Если соединить транзисторы T3 и T4, как показано на рис, то полученная схема будет работать как один транзистор, причем его коэффициент β будет равен произведению коэффициентов β составляющих транзисторов. Этот прием полезен для схем, работающих с большими токами (например, для стабилизаторов напряжения или выходных каскадов усилителей мощности) или для входных каскадов усилителей, если необходимо обеспечить большой входной импеданс.

№16. Особливості реалізації дворівневих ІС ЕЗЛ.

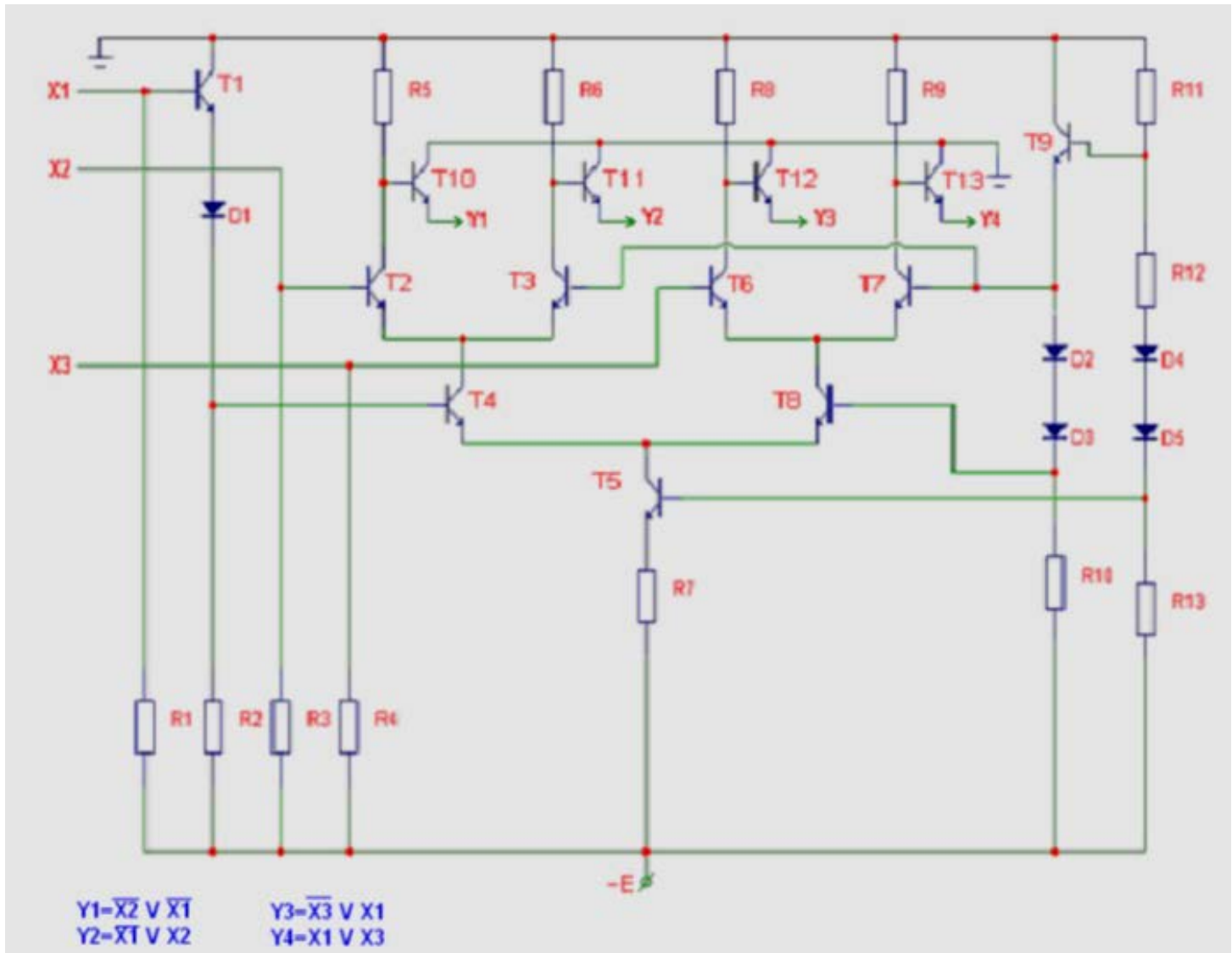


Рис.1 Дворівнева схема ЕЗЛ

Схема дворівнева (Рис. 1), скл. з 3 перемик. струму: 1) T2, T3, R5, R6; 2) T6, T7, R8, R9; 3) T4, T8.

Призначення елементів: Емітерні повторювачі: T10, T11, T12, T13.

Джерело опорної напруги: T9, D2, D3, D4, D5, R10, R11, R12, R13.

R1, R2, R3, R4 підсилюють надійні вхідні струми.

T1 і D1 формують сигнал для другого рівня перемикача струму, відповідно забезпечують зміщення сигналу X1. D2÷D5 – термокомпенсуючі діоди, а T9 забезпечує підсилення струму в джерелі опорної напруги. T5 забезпечує постійний струм через підсилення струму.

Транзистори T5, T9 завжди відкриті, відповідно відкриті й T10÷T13. Транзистори T3, T7 мають однакову опорну напругу. T1 – ключовий транзистор.

Робота схеми:

Якщо Y1 = H, то $U_B T_{10} = H \rightarrow U_B T_2 = L \rightarrow X_2 = L$.

№17 Особливості реалізації інтегральних схем ІЗЛ (Ізопланарна І2Л)

Схема з багатоколекторним інжектором

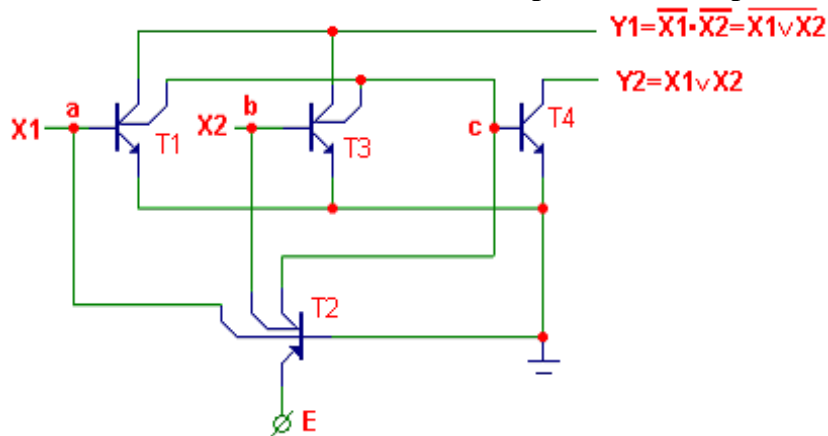


Рис. 14. Приклад схеми з багатоколекторними інжекторами

Схеми ІІЛ можуть з'єднуватись зі схемами ТТЛ, але для цього необхідно підключати додаткові навантаження. Обов'язково необхідно пам'ятати, що в схемах відкритий колектор.

В інтегральних схемах дуже часто використовується багатоколекторний інжектор. Принцип роботи даної схеми аналогічний принципу роботи попередньої схеми, що реалізує функцію 2АБО/2АБО-НЕ з окремими інжекторами.

Через інжектор Т2 постійно проходить струм (Рис. 47). В точках а, b та с його напрям визначається входними рівнями X1 та X2 (для точок а та b) та станом Т1 і Т3 для точки с. Якщо хоча б один з цих транзисторів відкритий, то в точці с низький рівень, що дорівнює $U_{KE}(T1 \vee T3)$. При цьому Т4 закритий, а на Y2 встановлюється високий рівень, який буде дорівнювати напрузі переходу БЕ наступного каскаду.

The diagram shows a 3-phase inverter circuit with 8 transistors (T1-T8) and 8 diodes (D1-D8) in a two-level topology. The input is a 3-phase supply (X1, X2, X3) and the output is a 3-phase supply (Y1, Y2, Y3). The circuit is configured as follows:

- Transistors (T1-T8):** T1, T2, T3, and T4 form the first leg, T5, T6, T7, and T8 form the second leg. T1 and T2 are in series, as are T5 and T6, T3 and T4, and T7 and T8.
- Diodes (D1-D8):** D1, D2, D3, and D4 are in series, as are D5 and D6, D7 and D8, and D9 and D10.
- Connections:** The input X1 is connected to the gate of T1. The input X2 is connected to the gate of T2. The input X3 is connected to the gate of T3. The output Y1 is connected to the gate of T4. The output Y2 is connected to the gate of T5. The output Y3 is connected to the gate of T6.

$$Y = X_1 \oplus X_2$$

T1, T3, T5, T7 – p-типу;

Т3, Т4 працюють як комутатор.

В першому базовому елементі відповідно транзистор Т1 закритий, Т2 відкритий. За рахунок індукованого каналу Т2 на виході першого елементу маємо низький рівень.

На транзисторі Т4 немає різниці потенціалів між стоком і виток, тому Т4 закритий.

Для третього елементу (Т7, Т8) керуюча напруга задається двома способами:

- За даних умов на затвори вихідного елементу подається через комутатор високий рівень. Транзистор Т7 закритий, Т8 відкритий, на виході низький рівень.

Найнижчу потужність споживання мають схеми на базі КМДН, оскільки через базові елементи протікає струм лише в момент їх перемикавання. В статичному режимі струм не проходить.

Це пояснюється тим, що схеми володіють однорідністю і тим, що транзистори МДН займають меншу площу на кристалі, ніж біполярні транзистори, резистори тощо.

№19.Одновібратори та особливості їх використання.

Одновібратори використ. для формув. сигналу заданої довжини (Рис. 1), + коли виникає необхідність тримати керуючий сигнал деякий час.

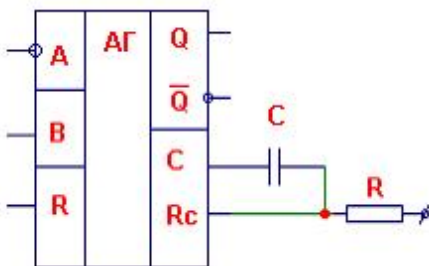
Також одновібратори мають внутрішній опір R , який можна використовувати для встановлення довжини сигналу, але для більш стабільної роботи доцільно використовувати зовнішній резистор. Зміна частоти роботи всього пристрою прямо не призведе до зміни довжини вихідних сигналів!!!.

Так як одновібратор є різновидом тригерних схем, то їх недоцільно використовувати на виході пристроїв, оскільки має бути буферизація.

При організації одновібраторів використовуються як лінійні, так і нелінійні елементи, що визначає зміну параметрів сигналу в межах $\pm 10\%$. Використання зовнішніх елементів, що задають час, обумовлене зміною довжини сигналу при зміні температурних режимів роботи, наявність декількох керуючих входів обумовлює необхідність встановлення постійних рівнів на керуючих входах, які не використовуються.

Недоліки: для створення одновібраторів використ. поєднання лінійних та цифрових методів. (Так як лінійні схеми чутливі до змін напруги, частоти, температури, одновібратор реагує на це зміною довжини сигналу.) Так як при встановленні великої шпаруватості використовуються конденсатори великої ємності, виникає проблема витoku струму. Для вирішення проблеми можливо перейти на цифрові методи формування затримки з використанням тактових імпульсів і тригерних каскадів. В імпульсних схемах довжина вихідного імпульсу при високій шпаруватості зменшується. При шпаруватості 60% довжина, як правило, постійна. При шпаруватості $\approx 100\%$ довжина змінюється більше ніж на 5 %.

A	B	R	Q	NQ
*	*	H	L	H
по передньому фронту	H	L	H	L
L	по задньому фронту	L	H	L



Призначення входів та виходів (Рис. 1):

A, B – керуючі входи; R – вхід скидання в нуль; Q, Q-bar – виходи, на яких встановлюється сигнал заданої довжини; C, Rc – входи підключення елементів, що задають тривалість сигналу. До входів C, RC під'єднуються конденсатор та резистор, номінали яких визначають тривалість сигналу на виході одновібратора.

Одновібратори бувають з перезавпуском та без перезавпуску. Якщо одновібратор з перезавпуском, то довжина вихідного сигналу може бути збільшена на τ (Рис. 2), якщо на керуючий вхід у момент, коли на виході встановлений сигнал, подається повторний керуючий сигнал.

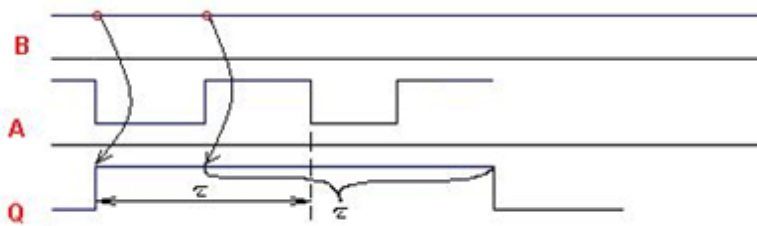


Рис. 2. Часова діаграма

№20. Лічильники і особливості їх використання.

Ліч. – це автомат, признач. для **мікрооперацій лічби**. Кількість дозволених станів ліч. - модуль. \exists **інкрементні, декрем. та інверсні**. Залежно від основи СЧ для лічби – **2-кові, 2-10-ві (декадні), 2-5 та ін..** \exists **синхронні та асинхр..** Також застосов. для ділення вх. частоти.

Двійково-десятковий лічильник

Перший ліч. ділить вх. част. на 2 (вх. С1, вих. Q1), другий – на 5 (вх. С2, вих. Q2, Q3, Q4). Якщо поєднати 1-й та 2-й ліч. другим способом (Рис. 4), то на вих. Q1 отримаємо діл. вх. част. на 10 зі скважністю 2 (віднош. періоду до довжини $Q = T / \tau$).

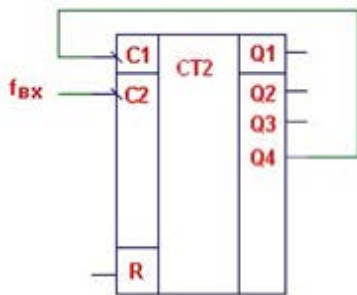
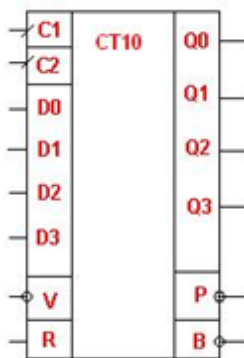


Рис. 4. Ділення вхідної частоти на 10 другим способом

При підрахуванні вх. імпульсів за допомогою 2-10 лічильника в першому випадку з'єднання 1 та 2 лічильника на виходах ми отримаємо послідовність від 0 до 9 ($0000 \div 1001$), в другому випадку (подавання Q4 на С1) послідовність лічби на виходах Q1, Q2, Q3, Q4 порушується, але при цьому забезпеч. скважність 2 вих. сигналу Q1. Ці особливості необхідно враховувати при послідовному з'єднанні. Якщо ділення вхідної частоти реалізується за першим варіантом, то при послідовному з'єднанні лічильників, як правило, вихід Q4 першого лічильника з'єднується з входом С1 наступного, при чому перший рахує одиниці, а другий – десятки.

Декадні реверсивні лічильники

Рис. 6. Декадний реверсивний лічильник



Призначення входів та виходів (Рис. 6):

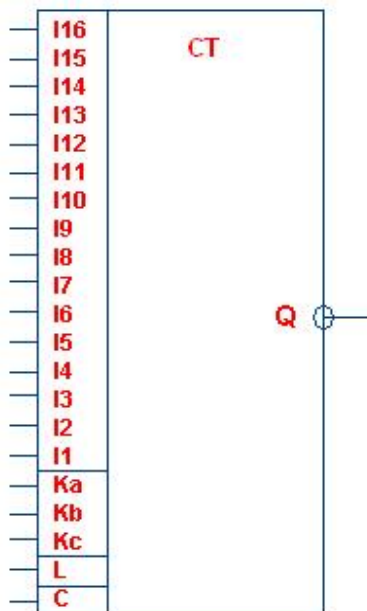
С1, С2 – керуючі синхровходи (С1 – для прямої лічби, С2 – для зворотної); **D0, D1, D2, D3** – інформаційні входи для запису числа, з якого починається лічба; **V** – дозвіл для запису інформації із входів D0 – D3; **R** – вхід для скидання; **Q0, Q1, Q2, Q3** – інформаційні виходи; **В** – вихід займу (позики). **P** – вихід переносу;

Двійково-десятковий реверсивний лічильник побудовано на базі **чотирьох JK-тригерів**. Особливістю лічильника є побудова за синхронним принципом, за яким всі тригери перемикаються одночасно від одного імпульсу.

Напрямок лічби задається станом керуючих входів. При прямій лічбі повинна бути напруга високого рівня на вході зворотної лічби. При зворотній лічбі – на вході прямої лічби.

Встановлення в „0” реалізується за допомогою входу R незалежно від стану інформаційних, керуючих та входів попереднього запису. Інформація із входів D0 – D3 знімається тільки після завершення сигналу дозволу запису, при цьому переводити виходи в нульовий стан не обов'язково. Змінювати сигнали на входах D0 – D3 необхідно з урахуванням довжини сигналу на вході V.

При такій побудові перший лічильник буде рахувати одиниці, а другий – десятки.



Програмований лічильник, що ділить частоту від 3 до 21327

Призначення входів (Рис. 81):

$$N = M (1000P1 + 100P2 + 10P3 + P4) + P5$$

N - коефіцієнт ділення вхідної частоти, M – модуль (2, 4, 5, 8,10) в залежності від реалізації, Pi – коефіцієнти ділення, P5 – остача.

L – вхід режиму роботи (1 - одноразовий , 0 - багаторазовий);

Ka, Kb, Kc – входи призначені для формування значень

модуля M; J1 - J16 – входи для встанов. коефіцієнтів P1 – P5.

M P1max P5max Nmin Nmax(P2÷P4, 0...9) Nmax(P2÷P4, 0...15)

2 7 1 3 15999 17331

4 3 3 3 15999 18663

5 1 4 3 9999 13329

8 1 7 3 15999 21327

10 0 9 3 9999 16659

L Ka Kb Kc M Режим роботи

0 1 1 1 2 Багаторазовий

0 0 1 1 4

0 1 0 1 5

0 0 0 1 8

0 0 1 0 10

Нехай M = 4 (при M = 4 P1max = 3, P5max = 3, Nmax(P2 – P4, 0..15) = 17923),

тоді:

17923 | 4

4480 + 3 Отже: P1 = 4, P2 = 4, P3 = 8, P4 = 0, P5 = 3. Але оскільки P1max = 3,

то виконуємо переноси зі старших розрядів: P1 = 3, P2 = 14, P3 = 8, P4 = 0, P5 = 3.

Перевірка: $4 \cdot (1000 \cdot 3 + 100 \cdot 14 + 10 \cdot 8 + 0) + 3 = 17923$

Структура управляючого слова буде мати наступний вигляд:

				P2=14				P3=8				P4=0				P1=3, P5=3				N
L	Ka	Kb	Kc	J16	J15	J14	J13	J12	J11	J10	J9	J8	J7	J6	J5	J4	J3	J2	J1	
0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	1	1	1	1	17923

№21. Типи одновібраторів та викор. одновібраторів з перезавпуском. (див 19)

Одновібратори \exists з **перезавпуском та без перезавпуску**. (одновібратор з перезавпуском)? тоді довжина вих. сигналу може бути ++ на τ (Рис. 2), якщо на керуючий вхід у момент, коли на вих. встановлений сигнал, подається повторний керуючий сигнал.

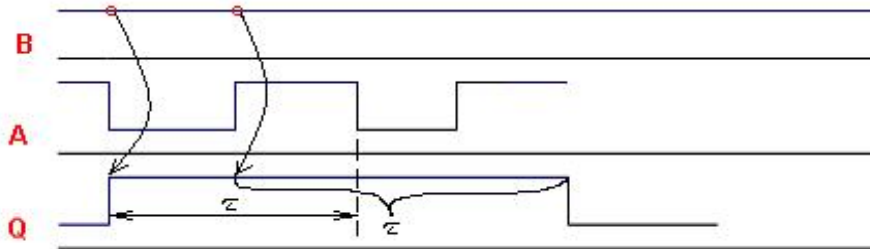


Рис. 2. Часова діаграма

Якщо необхідно використовувати одновібр. з перезавпуском у режимі без перезавпуску, то організують зв'язки між керуючими вх. та відповідними вих. з врахув. табл. істинності (Рис. 3).

В такому випадку довжина вих. сигналу не може бути збільшена якщо на керуючий вхід у момент, коли на виході встановлений сигнал, подається повторний керуючий сигнал.

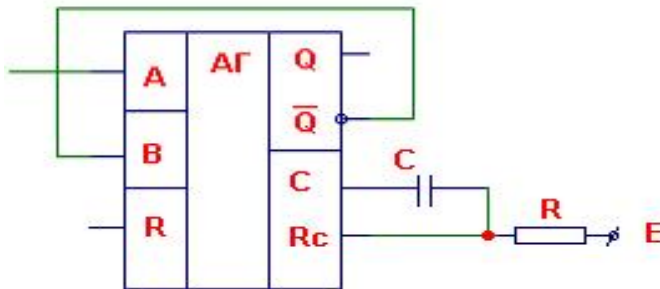


Рис. 3. Одновібратор із перезавпуском у режимі без перезавпуску

Так як **одновібратор є різновидом тригерних схем**. При організації одновібр. використовуються як **лінійні, так і нелінійні елементи**, що визначає зміну параметрів сигналу в межах $\pm 10\%$. Використання

зовнішніх елементів, що задають час, обумовлене зміною довжини сигналу при зміні температур. режимів роботи, наявність декількох керуючих входів обумовлює необхідність встановлення постійних рівнів на керуючих входах, які не використовуються.

Одновібратори мають внутрішній опір R , який можна використовувати для встановл. довжини сигналу, але для більш стабільної роботи доцільно використовувати зовнішній резистор. При використанні одновібраторів треба пам'ятати, що зміна частоти роботи всього пристрою прямо не призведе до зміни довжини вихідних сигналів.

№22. Заміна одновібр. тригерами при формув. послідовн. сигн..

У цифровому пристрої, що складається з тригерів, виходи повинні бути **буферизовані** до того, як вони перейдуть на зовнішній пристрій. Якщо пристрій типу одновібратор **підключити кабелем безпосередньо**, то його **робота може стати нестійкою** за рахунок впливу ємності та віддзеркалення сигналу.

Коли доцільно використ. тригери замість одновібр.? коли треба регулювати тактову частоту, реалізовувати затримку. Таке роблять так: (з використанням двох тригерів.)

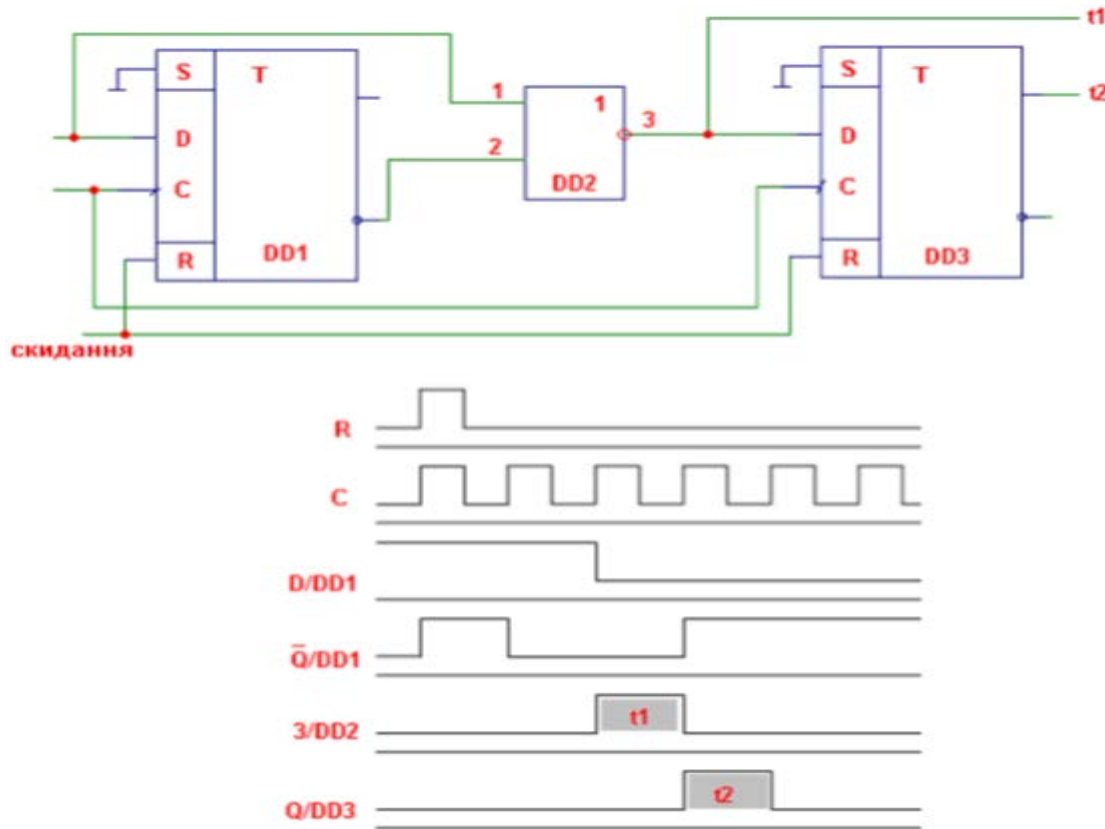


Рис. 1. Затримка з використанням двох тригерів

Дана схема (Рис. 1) забезпечує вирішення поставленої задачі, але довжини імпульсів τ_1 і τ_2 однакові і дорівнюють періоду синхросигналу. При зміні частоти синхросигналу τ_1 і τ_2 будуть змінені. По апаратним витратам в даній схемі доданий один елемент АБО-НЕ.

23. Заміна одновібр. тригерами та ліч. ... (см начало 22)

Інший варіант вирішення задачі – за допомогою тригера і лічильника (Рис. 2).

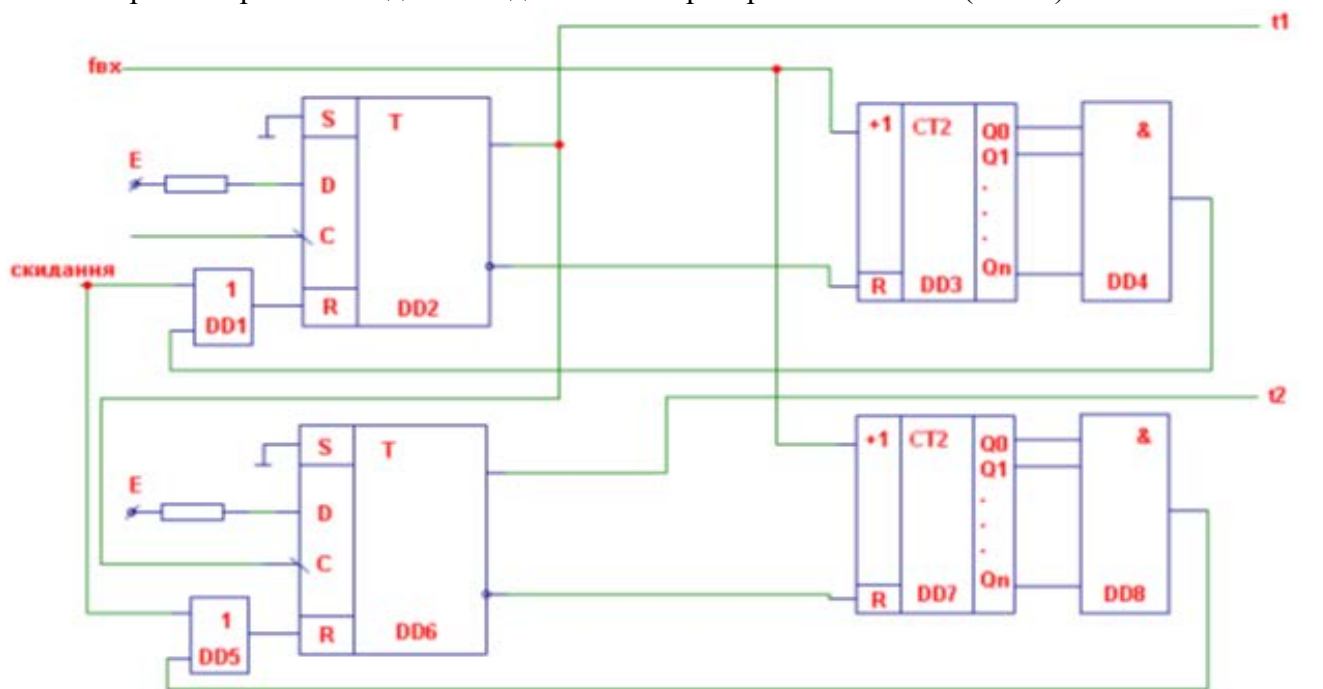


Рис. 2. Затримка з використанням тригера і лічильника

По сигн. «скидання» через DD1 і DD2 (Рис. 3) тригери встановл. у поч. стан. Виходи тригерів забезпеч. встановл. ліч. в «0», так як в поч. стані на них встановл. «1». Наявність «1» на вх. R ліч. блокує їх. Лічба по вх. частоті поч. тільки за умови, якщо на R буде «0». Після зняття скидання подається негативний перехід на вхід С DD2, що забезпечує встановлення «1» на вих. Q і «0» на виході схеми DD2. Такий стан DD2 забезпеч. режим лічби для схеми DD3. Довжина сигн. τ_1 визнач. дешифрув. вих. Q0, Q1, ... Qn за допомог. схеми DD4. Після дешифрув. скид. DD2. По цьому скиданню скидається і сигн. Q на вих. DD2.

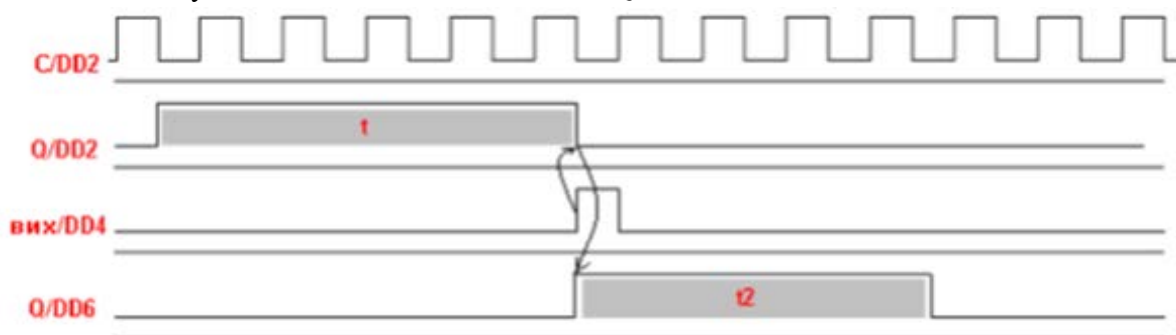


Рис. 3. Часова діаграма до схеми на рис. 2

При негативному переході на вих. Q DD2 виконується встановл. тригера DD6 в одиничний стан і поч. режим лічби на DD7. Довж. сигн. τ_2 визнач. дешифрув. сигн. на вих. DD7. При заданій комбінац. за допомого. DD8 викон. скидання тригера DD6 і встановл. DD7 у «0».

Переваги: τ_1 і τ_2 можуть бути різної довж., але вона \sim періоду вх. частоти. Зміна част. для всього пристрою призводить до зміни довж. сигн. τ_1 та τ_2 . **Недолік:** додаткові апаратні витрати.

24. Необхідність використання шинних формувачів. Шинні формув. викор.. для двонапямл. обміну, буфер. вх. і вих. сигн., а вих. DB та DO можуть перевод. у 3 стан.



Рис. 2. Шинний формувач

Призначення входів та виходів: DI – інф. вх.; DO – інф. вихо.; KB – керування вводом; BK – вибір кристалу; DB – входи/виходи залежно від режиму роботи.

Для організації передачі інформації із внутрішніх входів DI на виходи DB **необхідно забезпечити високий рівень на виходах розширення**. Для цього на керуючі входи KB і BK подаються «0». Інформація з DI передається на DB.

Якщо DB є входами, то передача здійснюється на шину DO. Це відбувається при установці «1» на вх. 5, 6, 7, 8. Для забезпечення «1» необхідно подати на KB «0», на BK – «1».

Для переходу **виводу в 3-й стан** на керуючий вхід KB необхідно подати високий рівень.

№25. Необхідність забезпеч. завадостійкості в обчислюв. засобах.(див.2)

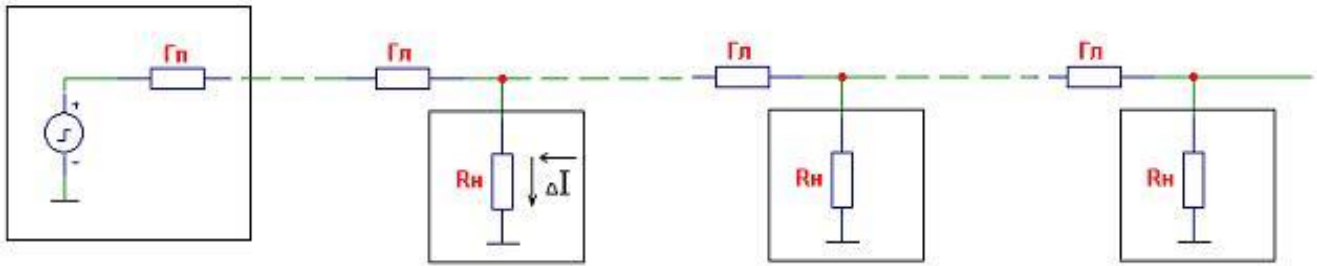
В усіх попередніх схемах ми розглядали тільки основні функції, без врахування зовн. впливів. В якості їх будемо розглядати завади та наведення – струм (напруга) в функціональних колах електронних схем, обумовлені зовнішніми, відносно схеми, електричними та/або електромагнітними джерелами енергії. Наведення включаються в поняття завад і зазвичай пов'язані з наявністю не функціонального електромагнітного впливу між елементами схеми та зовнішніми джерелами енергії. **Під завадою зазвичай розуміють будь-який зовнішній вплив, який має електричну природу та порушує нормальне функціонування електронного пристрою.**

Причини виникнення завад:

- 1) **Пасивні і активні елем. не є ідеальними, Вторинні джерела електроживлення теж;**
(*В елемент схеми завжди має паразитний опір, ємність чи індуктивність, які визначаються конструктивним виконанням елементів та схемою їх підключення*)
(*Неідеальність вторинних джерел електроживл. пов'язана з \exists внутр. опору і з неповністю подавленим фоном первинного джерела, (\forall джерело має пульсацію й не видає ідеальний рівень U .)*)
- 2) **\exists внутр. опору ліній живл., некоректне включ. зв'язку з лініями живлення;**
(*\exists внутр. опору обмежує R джерела. Якщо use ємність, то можна save вих. рівень джерела на необхідному рівн. +ємність (пульсацію напруги джерела)--. Величина ємності \sim потужн., яку спожив. схема)*)
- 3) **\exists індуктивних/ємнісних/паразитних зв'язків між інформац. лініями і лін. живлення;**
(*Між лініями живл. й інф. лін. через неідеальність \exists ємнісні, індуктивн. й резист. зв'язки. Це обумовл. технолог. вигот. плат й умовами їх use.. При use плат необхідно враховув. частотні характеристики сигналів, щоб так уникнути взаємовпливу на лініях, які йдуть паралельно.)*)
- 4) **неузгодженість опору при передачі сигналу на довгі лінії.**
(*Щоб пофіксити: use \min довж. ліній живлення. Щоб опір--, товщина ліній повинна бути максимально припустимою.!!!)*)

26. Особливості підключення блоків до блоку живлення.

Ненульовий внутрішній опір ліній живлення ілюструється рисунком:



Спожив. одним з навантаж. ΔI приводить до U -- на опорах джерела й опорах відрізків лін. живл.. Внутр. опір **ліній** живл. необхідно врахув. при підключ. пристроїв до блоку живл..

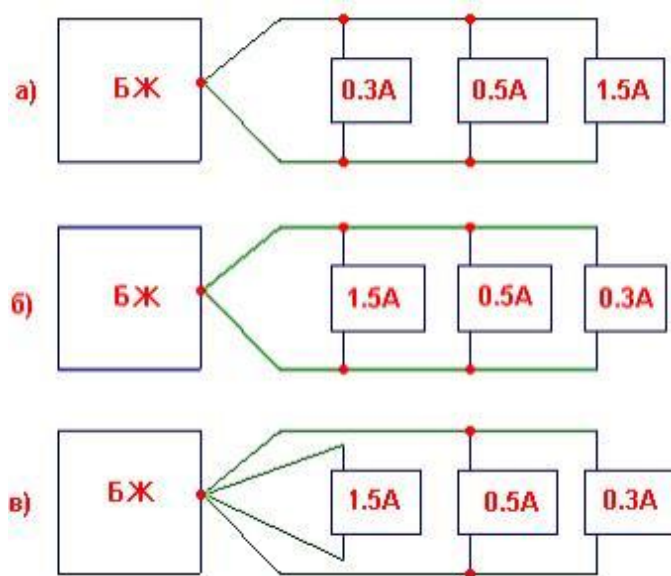


Рис. 103. як підкл. пристрої з *тах* спожив.

Виходячи з неідеальн. ліній живл., доцільно пристрої з тах споживанням підключати до блоку живлення якомога ближче!!!

а). велике зло!. тому треба змін. порядок підкл.:

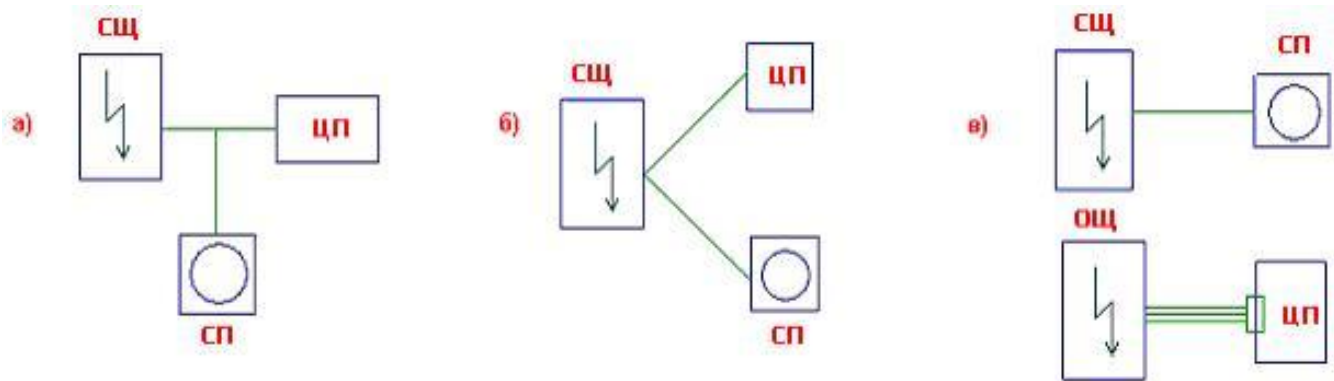
б). зменш. «параз.» падіння U на лін. живл..

в). стараються щоб блоки з високим спожив. підключати через окремий контур з *мін* довжиною ліній живл.

Щоб зменшити опір, товщина ліній повинна бути максимально допустимою.

27. Підключення обчислювальних пристроїв до первинних джерел живл..

Рис. 104 Підключення до первинних джерел живлення



Щ – щит; С – силовий; О – освітлення; Ц – цифровий; П – пристрій;

а). При підключенні до первинних джерел живлення також треба враховувати дію СП, які теж можуть бути підключені сюди. При цьому підкл. ЦП отримає живл., U якого може змін. при вкл., або роботі СП, що унеможливить правильну роботу ЦП.

б). Підключення ЦП за допомогою окремого контуру допоможе зменшити завади.

в). Найбільший захист від завад дає дана схема з відокремленням від СП живленням для цифрового пристрою, яке виконується екранованим кабелем та фільтром в ЦП.

Для забезпечення надійної роботи пристрою необхідно також враховувати особл. завад у колах вторинного живлення. Моменти перемикання більшості ІС супроводж. різким короткочасним зростанням струму, що споживається від вторинного джерела. Енергія, що відбирається від джерела живлення в ці моменти часу, витрачається на заряд паразитних ємностей і на протікання «наскрізного» струму через вихідні каскади. Розряд паразитних вихідних ємностей супроводжується короткочасними імпульсами струмів по земляних шинах. Через кінцеву індуктивність шин живлення й землі імпульсні струми викликають появу імпульсних U. (Якщо шини живлення виконані тонкими провідниками, а високочастотні розв'язуючі ємності або зовсім відсутні, або їх недостатньо, то амплітуда імпульсних завад по живленню може становити 2 В і більше.) Тому необхідно, щоб шини живлення мали мінімальну індуктивність. Підключення зовнішніх шин живлення й землі до пристрою повинне здійснюватися через кілька контактів роз'єму. Подавлення завад повинне здійснюватися поблизу місць їхнього виникнення.

№28. Захист від завад на шині «Земля».

Правила заземлення, що забезпеч. захист від завад по землі

Пристр. реаліз. у вигл. конструктивн. блоків з міні 2 типами землі. Корпусна шина відповідно до вимог безпеки обов'язково підкл. до шини заземл., проклад. в приміщ.(Рис. 106).

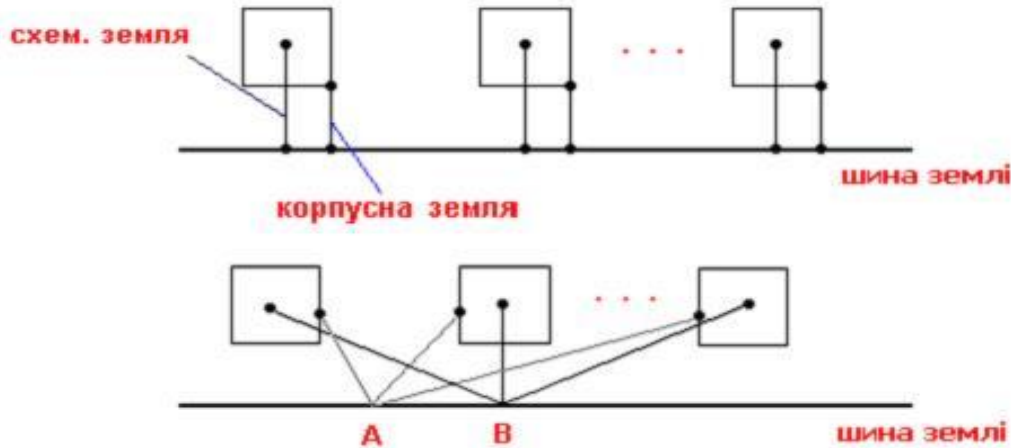


Рис. 106. Правила заземлення

Схемна земля (від якої відраховують рівні напруги сигналів) не повинна бути з'єднана з навантаженням всередині блоку. Для неї повинен бути виведений окремий затискач, ізольов. від корпусу. Схемні шини землі повинні об'єднув. індивідуально в точці В. Точка В може не підкл. до шини землі. Корпусна земля обов'язково підкл. до шини землі.

При неправ. заземл. імпульсні U , породжувані врівноваж. струмами по шині землі, будуть приклад. до вих. прийомних магістр. елем., що може викликати їхнє помилкове спрацювув..

Вибір кращої точки для з'єднання схемної й корпусної землі проводиться експериментально. Але заг. з'єднання точок А і В при цьому залишається в силі.

№29. Правила роботи з узгодженими лініями. Лінії зв'язку з відкритим колектором.

Правила роботи з узгодженими лініями

При передачі сигн. на відстань на стороні приймача встановл. погоджуючий резистор (Рис. 107).

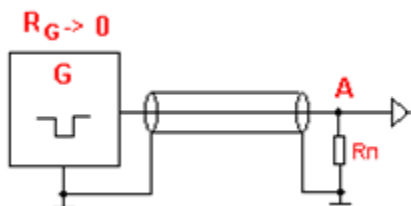


Рис. 107. Встановлення погоджуючого резистора на стороні приймача

Сигнал передається без спотвор., якщо величина R_n погоджуючого резистора \equiv хвильовому опору кабеля R_x . При цій умові до приймача доходить max енергії сигналу і не відбув. віддзеркал. сигн..

Також, якщо внутрішній опір R_g генератора низький, то послідовно з його виходом вмикають погоджуючий резистор R_n , так що $R_g + R_n = R_x$.

Хвильовий опір витих пар і плоских кабелів $\equiv 110 \div 130$ Ом, хвильовий опір смужкових ліній друкованих плат $50 - 80$ Ом. Точне знач. погоджуючого резистора вибрати експерим. шляхом.

Є 3 види ліній зв'язку: 1) з відкр. кол.; 2) з відкр. еміт.. 3) з високим вих. імпедансом (3 станом).

Лінія зв'язку з відкритим колектором:

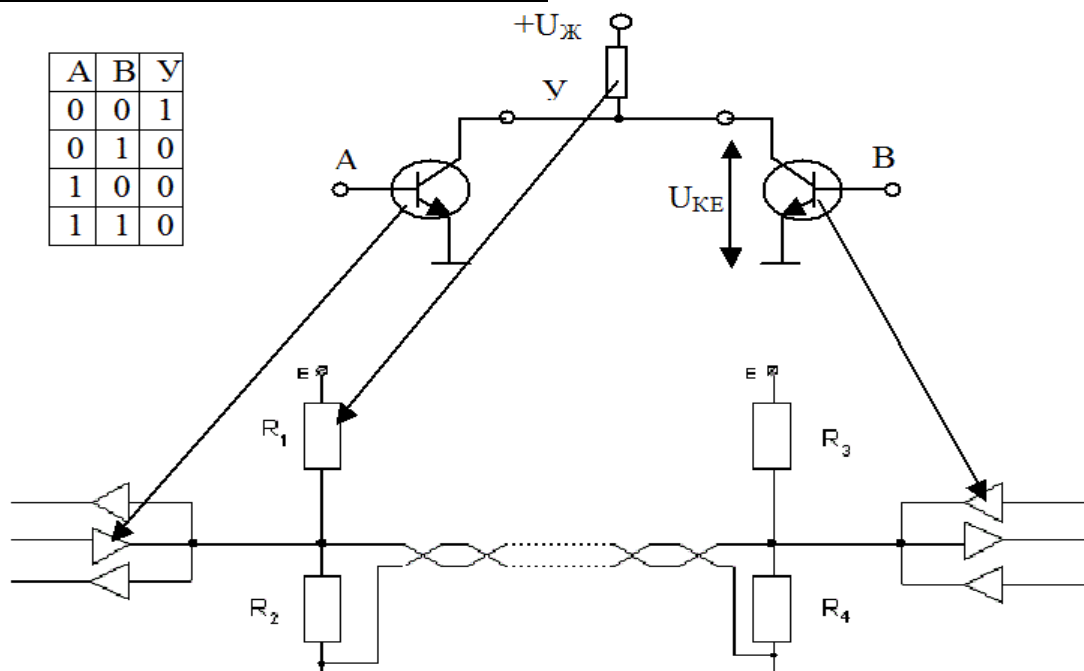


Рис. 108. Лінія зв'язку з відкритим колектором

Лінія реалізує функц. «монт. АБО»

При спрацьовуванні будь-якого передавача напруга на лінії знижується до напруги U_{KE} вихідного транзистора джерела сигналів. Погоджуючий опір R_n утворюється як результат паралельно з'єднаних R_4 й R_2 , тобто R_2 . Високий рівень на лінії визначається ділником $R_1 R_2$. Повинні використовуватися приймачі з великим входним опором і малою входною ємністю.

Вих. і вх. опір для схем ТТЛ мінімальний, тому що вхідний опір визнач. відкр. переходом U_{be} або U_{ek} . Відповідно, вих. опір визнач. відкр. переходом U_{ke} нижнього каскаду.

№30. Правила роботи з узгодж. лініями. Лінії зв'язку з відкр. емітером.(див 29.)

Правила роботи з узгодженими лініями

При передачі сигн. на відстань на стороні приймача встановл. погоджуючий резистор (Рис. 107).

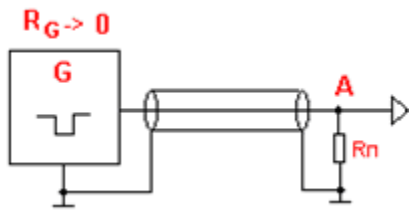


Рис. 107. Встановлення погоджуючого резистора на стороні приймача

Сигнал передається без спотвор., якщо величина R_n погоджуючого резистора == хвильовому опору кабеля R_x . При цій умові до приймача доходить max енергії сигналу і не відбув. віддзеркал. сигн..

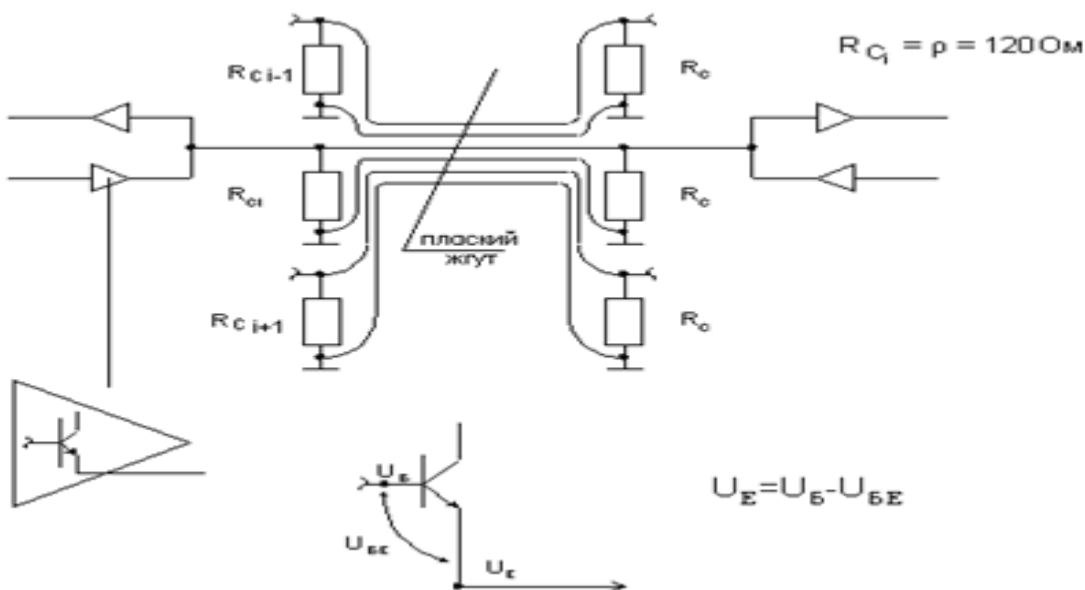
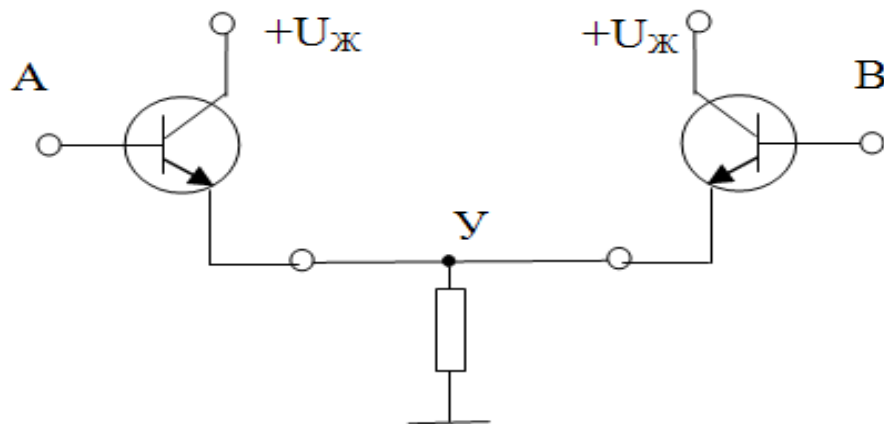
Також, якщо внутрішній опір R_g генератора низький, то послідовно з його виходом вмикають погоджуючий резистор R_n , так що $R_g + R_n = R_x$.

Хвильовий опір витих пар і плоских кабелів == 110÷130 Ом, хвильовий опір смужкових ліній друкованих плат 50 — 80 Ом. Точне знач. погоджуючого резистора вибрати експерим. шляхом.

Є 3 види ліній зв'язку: 1) з відкр. кол.; 2) з відкр. еміт.. 3) з високим вих. імпедансом (3 станом).

Лінія зв'язку з відкритим емітером

А	В	У
0	0	0
0	1	1
1	0	1
1	1	1



Схеми з відкритим емітером добре **працюють на передачу сигналу по довгій лінії**. Сигнальні проводи в плоскому джгуті чергуються із проводами землі. Кожний сигнальний провід є суміжним із «своєю» й «чужою» землею.

Лінія типу «відкритий емітер» реалізує монтажну функцію “або” стосовно сигналів, представлених високим рівнем напруги.

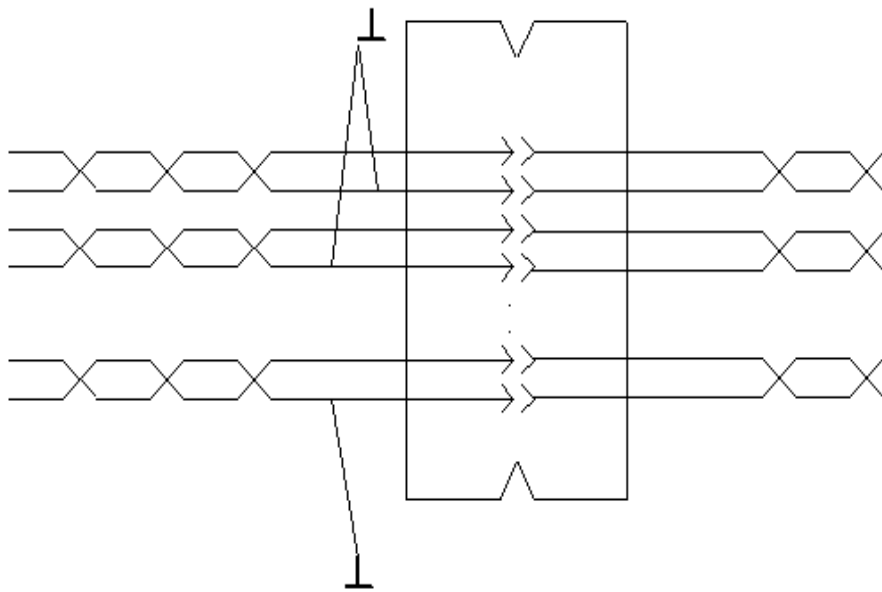
Вихідний рівень логічної одиниці при цьому змінюється незначно стосовно високого рівня на базі вихідного каскаду: $U_e = U_b - U_{be}$

При цьому потужність сигналу підсилюється за рахунок підсилювальних властивостей транзистора: $I_E = (\beta + 1) I_B$

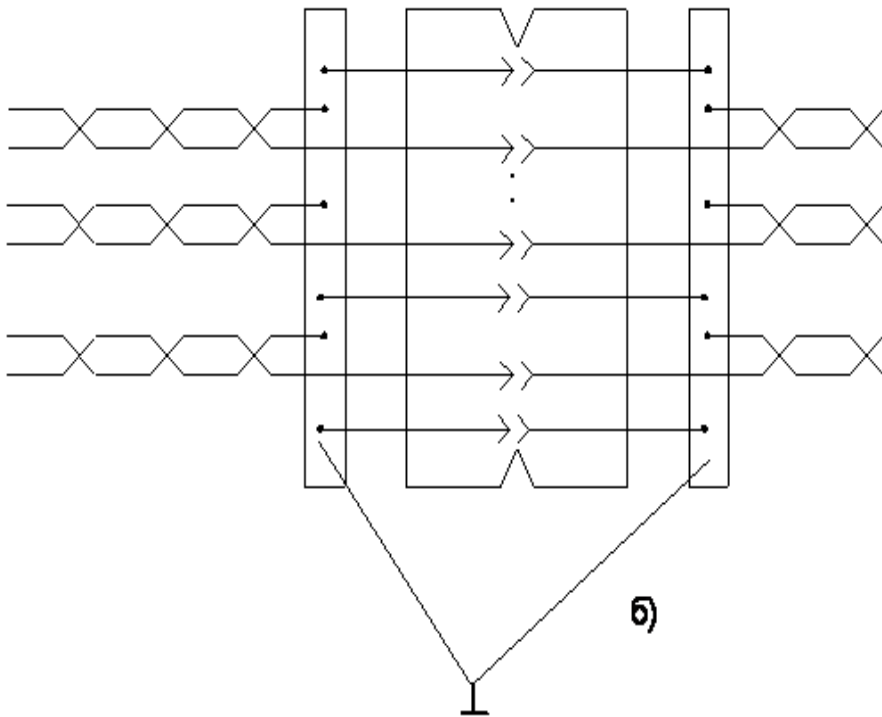
Повинні використовуватися приймачі з великим входним опором і малою входною ємністю.

Вихідний і входний опір для схем ТТЛ мінімальний, тому що входний опір визначається відкритим переходом U_{be} або U_{ek} . Відповідно, вихідний опір визначається відкритим переходом U_{ke} верхнього каскаду.

31. Передача сигналів через роз'єм.



а)



б)

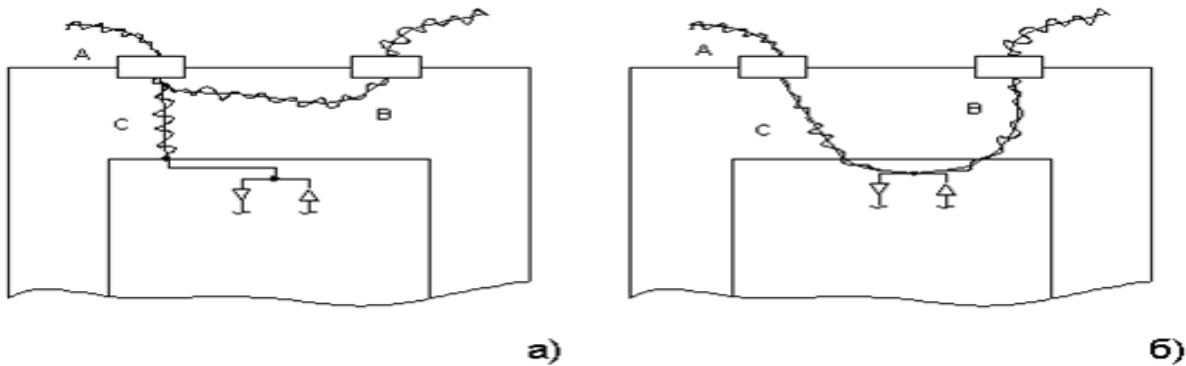
Рис. 111. Розпаюв. витой пари

а) Найкращий варіант розпаюв. витой пари . Фронт біжучого по магістралі імпульсу майже «не відчуває» роз'єму, тому що неоднорідн., що вноситься у лінію передачі, незначна, але при цьому **потрібно зайняти 50% контактів під землю.**

Інакше прийняти б), більш економічн. по числу контактів «земля», але при цьому підв. неоднорідн. сигн. і -- завадостійкість. При цьому землі витих пар збираються на металеві планки, розпайка землі ведеться рівномірно по довжині планки, у міру розпайки відповідних інф. сигналів на контакти. Обидві планки поєднуються через контакти роз'єму use перемички міні довжини й max площі поперечного перерізу. Перемички розташовуються рівномірно по роз'єму. Кожна перемичка відповідає $4 \div 5$ інформаційним сигналам, але загальне число перемичок ≥ 3 . Крайні виходи та центр. мають бути заземл. для кращої передачі.

№32. Особливості організації відгалуження від магістралі. (див 33)

Виконання відгалужень від магістралі **рис112**



Передачу через роз'єми однією й тією ж сигнальною лінією від одного пристрою до іншого необхідно здійснювати таким чином, щоб не відбувалося розщеплення на дві частини енергії хвилі. На рис. 112.а після заряду лінії С повноцінна хвиля починає поширюватися по лінії В, намагаючись наздогнати хвилю половинної енергії, яка минула раніше.

Фронт сигналу при цьому буде мати східчасту форму. Правильним буде послідовне включення ліній А, С, В (Рис. 112.б). У такому випадку повноцінна хвиля буде поширюватися послідовно, причому приймачі й передавачі всередині пристрою необхідно розташовувати якнайближче до вхідного з'єднання пристрою для зменшення неоднорідності.

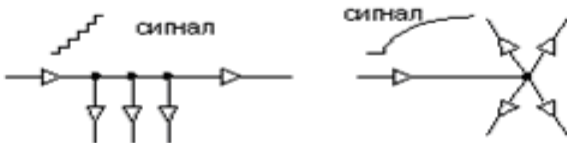


Рис. 24 З'єднання приймачів послідовно та пучком

При підключенні пристроїв доцільно рознести їх по лінії, тому що спотворення фронту відбувається поступово, у міру включення приймача. Якщо

підключити приймачі пучком, то в момент включення фронт буде різко зтягнутий (Рис. 113).

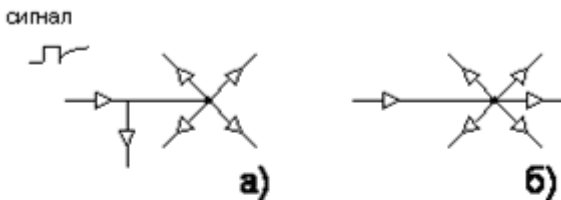
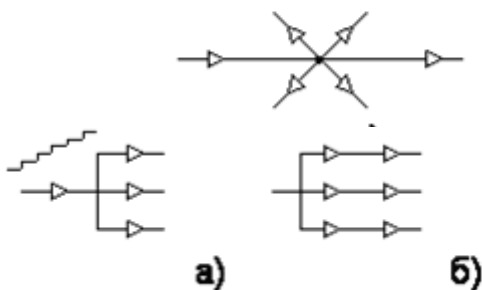


Рис. 25 Підключення приймачів на лінії

При підключенні приймачів на лінії (Рис. 114) найбільш небезпечна ситуація у випадку **а** для першого підкл. приймача, тому що в момент вкл. пучка приймачів може спостерігатися різкий стрибок, що призведе до помилок. спрацьовув. першого приймача. Варіанти **б** і **в** виключають цю ситуацію, але призводять до зтягування фронту для всіх приймачів.

Рис. 26 Передача сигналу від одного джерела до кількох (див 33).



№33. Передача сигналу від одного джерела до кількох.

При підключенні приймачів на лінії (Рис. 114) найбільш небезпечна ситуація у випадку **а** для першого підключеного приймача, тому що в момент включення пучка приймачів може спостерігатися різкий стрибок, що призведе до помилкового спрацьовування першого приймача.

Варіанти **б** і **в** виключають цю ситуацію, але призводять до затягування фронту для всіх приймачів.

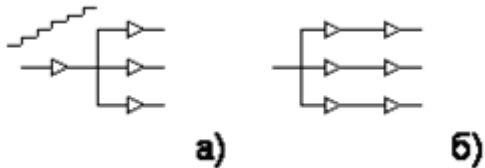


Рис. 26 Передача сигналу від одного джерела до кількох

Якщо необхідно передати сигнал від 1 джерела до декількох, то є сенс розділ. їх й передати \forall приймачу окремо. б). У цьому випадку практично немає перекр.. У випадку **а**) спостеріг. східчасте перекручування.

34. Передача інформації на довгі відстані за допомогою оптронних пар

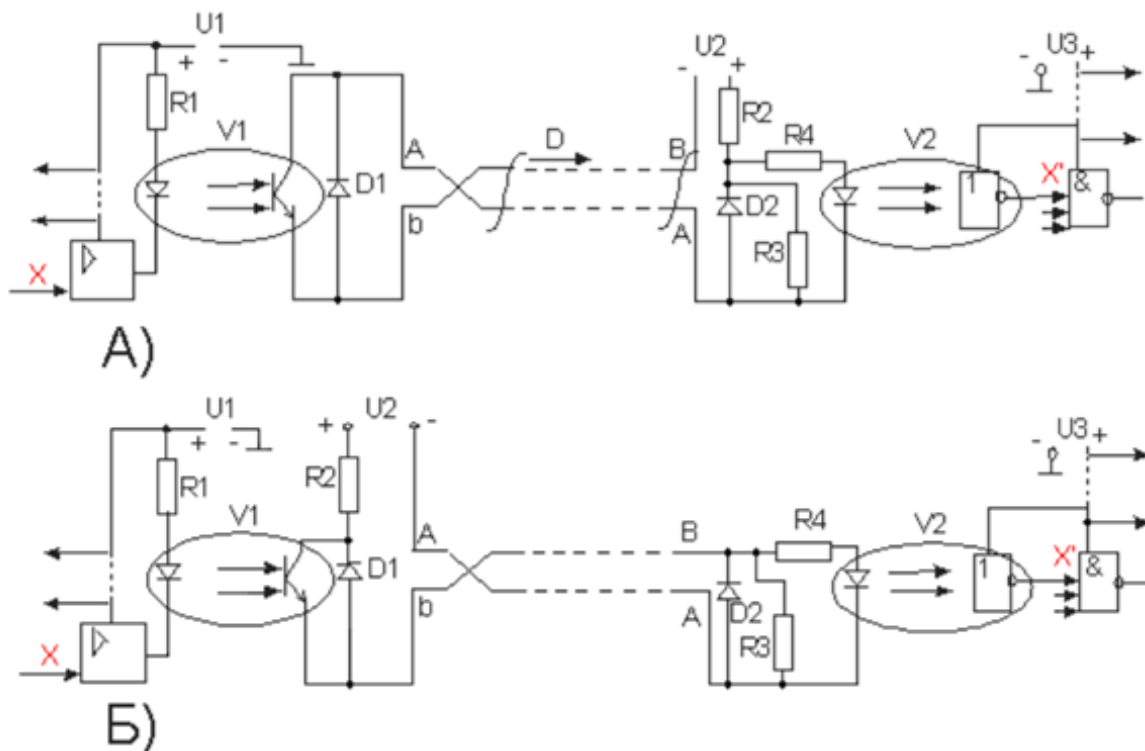


Рис. 27 Оптронна пара

Оптронна пара пристрою включає світлоелемент (джерело) і фотоелемент (приймач). У якості світлоелем. викор. світлодіод. Приймач – фотодіод. Призначення елементів: R1, R2, R4 – призначені для обмеження струмів через відповідне коло, наприклад, R1 – через світлодіод оптрону V1. D1, D2 виконують захисні функції в колах при виникненні негативних завад. Джерело U1 використовується для живлення схеми джерела сигналу, U2 - для кола передавача, U3 - джерело живлення приймача. Схема а і схема б відрізняються розміщенням джерела живлення U2. Схема а – схема з активним приймачем,

схема б – схема з активним джерелом. Джерело U2 розміщується виходячи з доцільності й, у цілому, на роботу впливає.

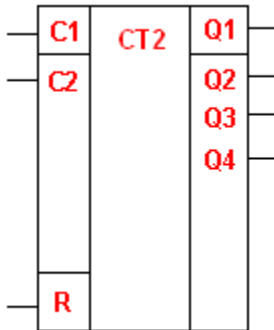
Робота схеми:

Якщо на вході X низький рівень, то через світлодіод оптрону V1 проходить струм. Світлодіод випромінює світло на базу фототранзистора, що приводить до різкого зменшення опору між колектором й емітером. Коло передавача із джерелом U2 опиняється під струмом. Від джерела U2 струм проходить через світлодіод оптрону V2 і забезпечує на виході інвертора оптрона V2 низький рівень, що надходить на вхід приймача сигналу (схема I-HE).

Схема б працює аналогічно.

А тепер **нафига оно надо**: в общем, можно назвать две главные причины. Первая, это то, что при передаче может использоваться напряжение и токи существенно больших значений (таким образом можно достичь лучшего предельного расстояния передачи). Вторая – использ. оптопары создает гальваническую развязку между устр. и линией передачи, таким образом если алкаш-электрик даст на витую пару 220 вольт, перепутав в пьяном угаре провода, то устройства, скорее всего, не погорят (только блок передачи/приема), и пожара в квартире не случится. На физическом уровне между оптопарой и транзистором принципиальных отличий нет. Излучение фотодиода за счет внешнего фотоэффекта открывает транзисторный переход, чем излучение сильнее, тем фототранзистор открытее. Разница только в том (в отличие от обычного Т.), что диод и транзистор не соединены физически.

№35. двійкові чотирьохрозрядні лічильники і їх організація.



Даний лічильник фізично складається з двох лічильників.

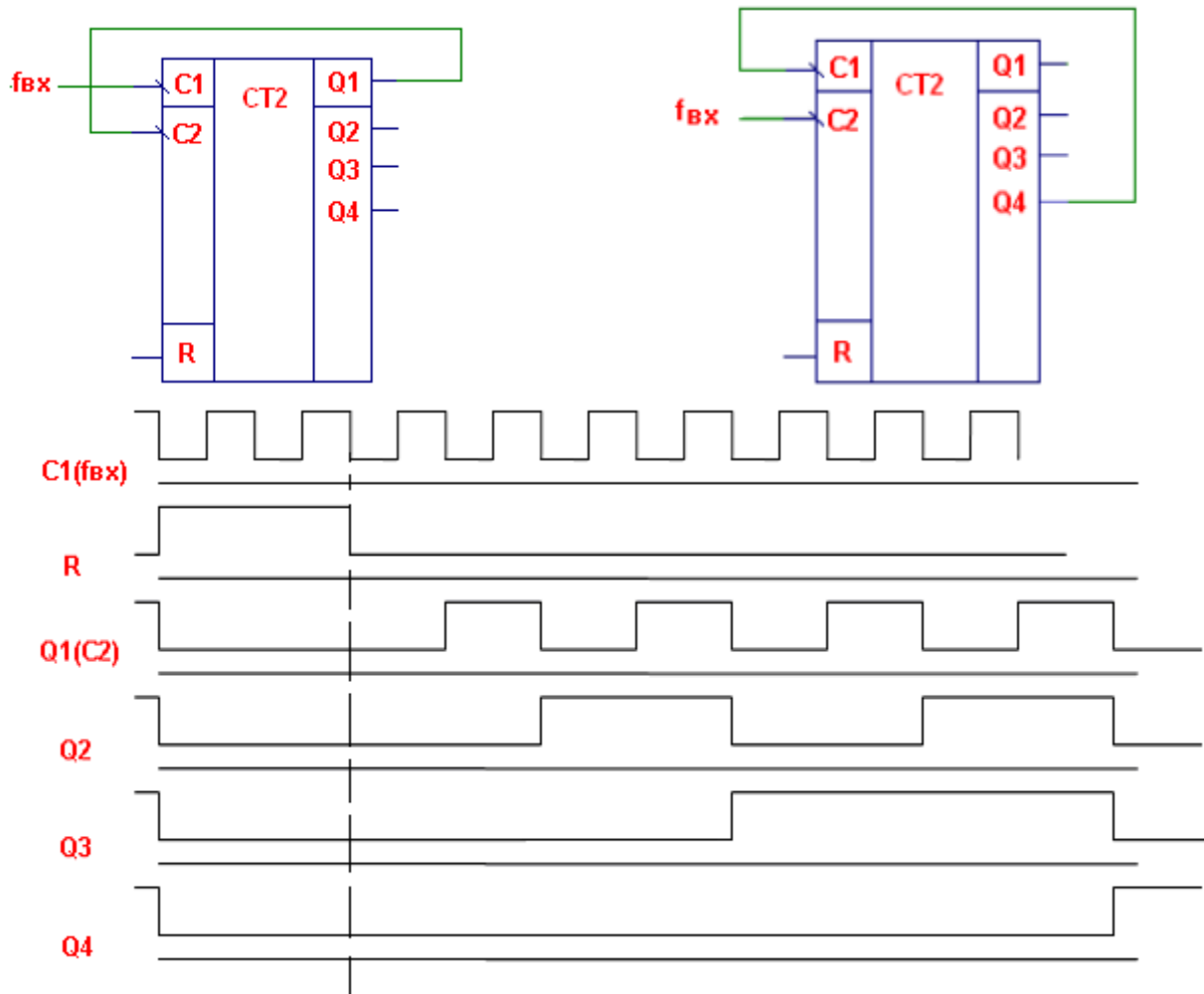
Перший із входом C1 та виходом Q1, забезпечує ділення вхідної частоти на 2. Другий (вхід C2, виходи Q2, Q3, Q4) забезпечує ділення вхідної частоти на 2 (вихід Q2), 4 (вихід Q3) та 8 (вихід Q4). Поєднання цих лічильників забезпечує ділення вхідної частоти на 16. R забезп. встанов. ліч. в поч. стан. Для того, щоб поділити вхідну частоту на 16, можна з'єднати входи та виходи лічильника двома способами:

1) на вхід C1 подати вхідний сигнал, а до входу C2 приєднати вихід Q1

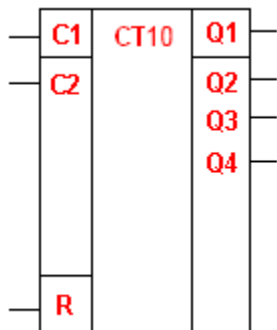
2) на вхід C2 подати вхідний сигнал, а до входу C1 приєднати вихід Q4

Ділення вхідної частоти на 16 першим способом:

другим способом:



№36. Декадні чотирьохрозрядні лічильники и їх організація.



Даний лічильник фізично складається з двох лічильників.

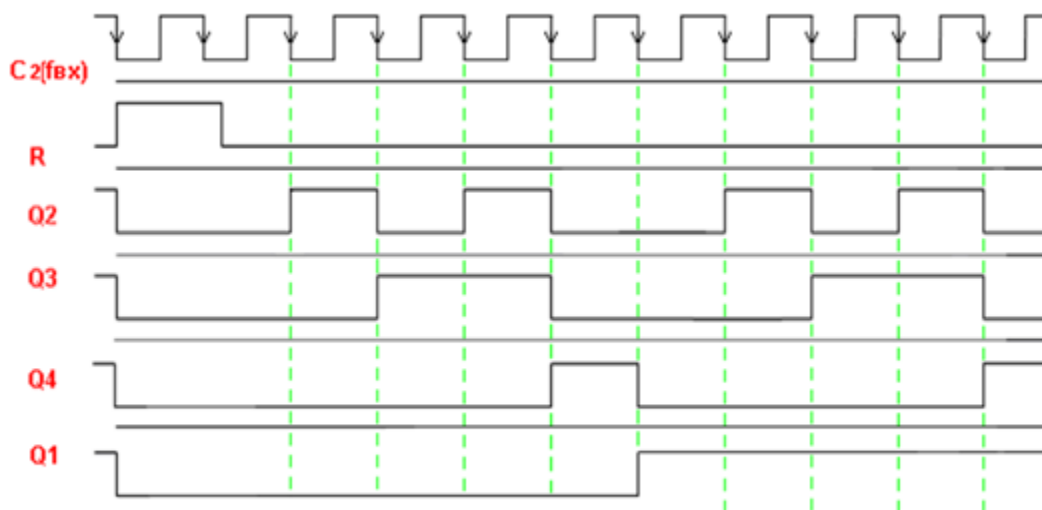
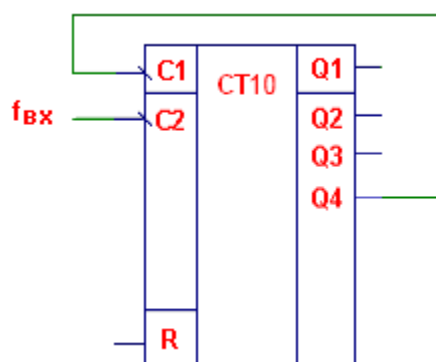
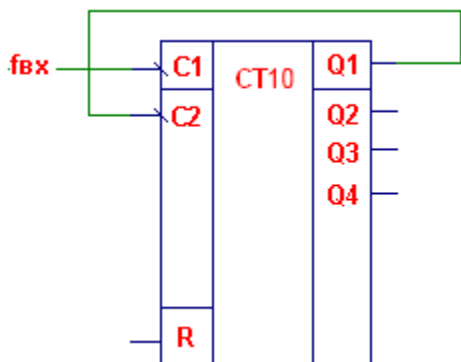
Перший із входом C1 та виходом Q1, забезпечує ділення входної частоти на 2. Другий (вхід C2, виходи Q2, Q3, Q4) забезпечує ділення входної частоти на 5 (Q4). Поєднання цих лічильників забезпечує ділення входної частоти на 10. Вхід R забезпечує встановлення лічильника в початковий стан.

Для того, щоб поділити входну частоту на 10, можна з'єднати входи та виходи лічильника двома способами:

- 1) на вхід C1 подати входний сигнал, а до входу C2 приєднати вихід Q1
- 2) на вхід C2 подати входний сигнал, а до входу C1 приєднати вихід Q4

Ділення входної частоти на 10 першим способом:

другим способом:

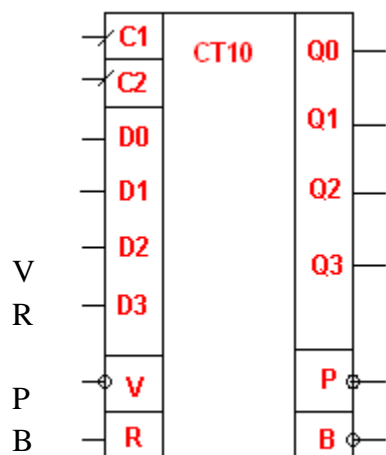


Часова діаграма ділення входної частоти на 10 другим способом

№37. Реверсивні двійкові чотирьохрозрядні лічильники і їх організація.

Ответ можно передрать 41, только по сути вместо 10 будет 16. Соответственно, переход будет по 15, а не 9.

№38. Реверсивні декадні чотирьохрозрядні лічильники і їх організація.



Опис входів\виходів:

C1, C2 – керуючі синхровходи (C1 – пряма лічба, C2 – зворотна)

D0 – D3 – інформаційні входи для запису числа, з якого починається лічба

– дозвіл на запис інформації з входів D0 – D3 в лічильник

– вхід для скидання

Q0 – Q3 – інформаційні виходи

– вихід переносу

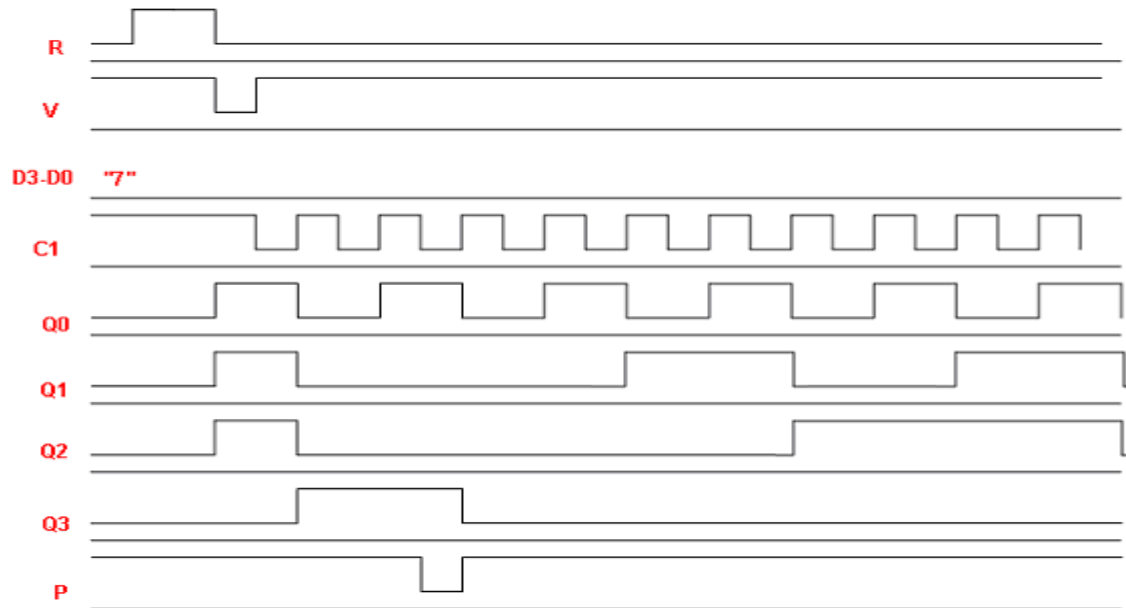
– вихід займу (позики)

Таблиця переходів декадного реверсивного лічильника:

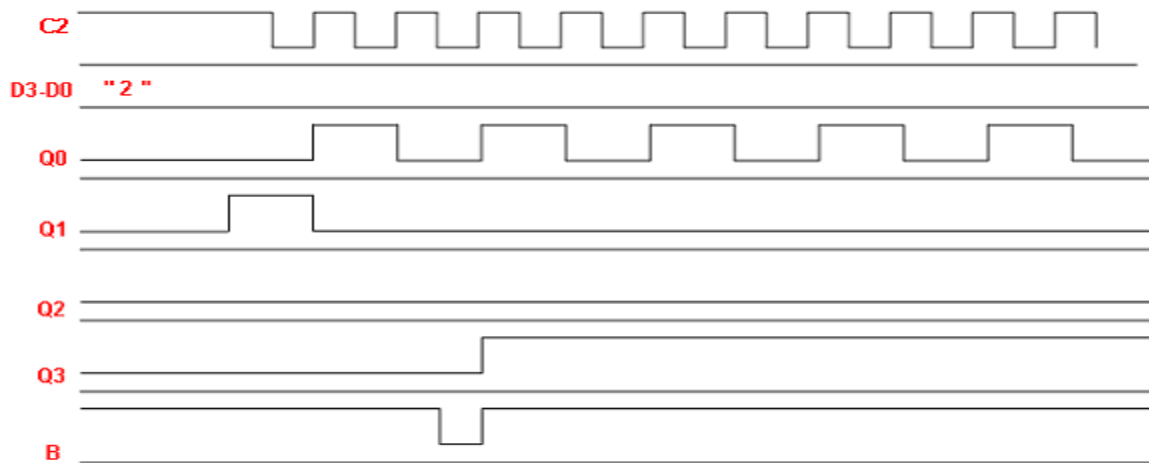
ВХОДИ					ВИХОДИ			
R	V	C1	C2	D3-D0	Qi3-Qi0	Qi+13-Qi+10	P	B
L	H	H	H	*	q3 q2 q1 q0	q3 q2 q1 q0	H	H
H	*	*	*	*	*	L L L L	H	H
L	L	H	H	d3 d2 d1 d0	*	d3 d2 d1 d0	H	H
L	H	L	H	*	q'3 q'2 q'1 q'0	q'3 q'2 q'1 q'0	H	H
L	H	\overline{H}	H	*	q'3 q'2 q'1 q'0	q'3 q'2 q'1 (q'0+1)	H	H
L	H	L	H	*	H L L H	H L L H	L	H
L	H	\overline{H}	H	*	H L L H	L L L L	\overline{H}	H
L	H	H	L	*	q''3 q''2 q''1 q''0	q''3 q''2 q''1 q''0	H	H
L	H	H	\overline{H}	*	q''3 q''2 q''1 q''0	q''3 q''2 q''1 (q''0-1)	H	H
L	H	H	L	*	L L L L	L L L L	H	L
L	H	H	\overline{H}	*	L L L L	H L L H	H	\overline{H}

Двійково-десятковий реверсивний лічильник побудовано на базі чотирьох JK-тригерів. Особливістю лічильника є побудова за синхронним принципом, за яким всі тригери перемикаються одночасно від одного імпульсу. Напрямок лічби задається станом керуючих входів. При прямій лічбі повинна бути напруга високого рівня на вході зворотної лічби. При зворотній лічбі – на вході прямої лічби. Встановлення в „0” реалізується за допомогою входу R незалежно від стану інформаційних, керуючих та входів попереднього запису. Для побудови лічильників з більшою розрядністю використовують виходи прямого та зворотного переносів. З виходу прямого подають сигнал на вхід прямого керуючого входу наступного каскаду. Сигнал займу подається на вхід зворотної лічби наступного каскаду. Інформація із входів D0 – D3 знімається тільки після завершення сигналу дозволу запису, при цьому переводити виходи в нульовий стан не обов’язково. Змінювати сигнали на входах D0 –D3 необхідно з урахуванням довжини сигналу на вході V.

Часова діаграма роботи декадного реверсивного лічильника на додавання:

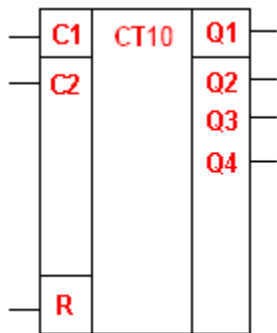


Часова діаграма роботи декадного реверсивного на віднімання:



№39. Каскадне з'єднання двійкових чотирьохрозрядних лічильників.

№40. Каскадне з'єднання декадних чотирьохрозрядних лічильників.



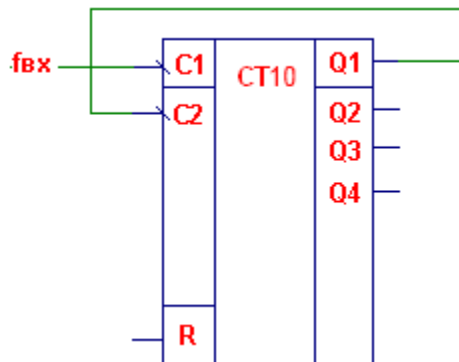
Даний лічильник фізично складається з двох лічильників.

Перший із входом C1 та виходом Q1, забезпечує ділення входної частоти на 2. Другий (вхід C2, виходи Q2, Q3, Q4) забезпечує ділення входної частоти на 5 (Q4). Поєднання цих лічильників забезпечує ділення входної частоти на 10. Вхід R забезпечує встановлення лічильника в початковий стан.

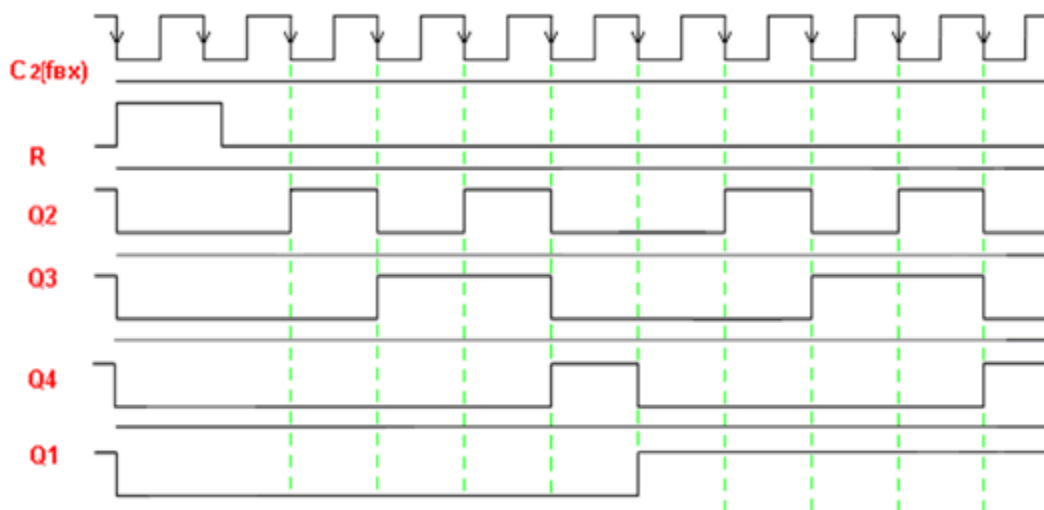
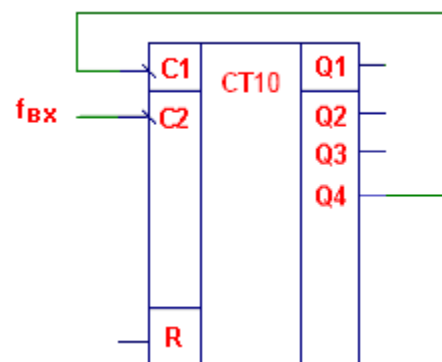
Для того, щоб за допомогою лічильника поділити входну частоту на 10, можна з'єднати входи та виходи лічильника двома способами:

- 1) на вхід C1 подати входний сигнал, а до входу C2 приєднати вихід Q1
- 2) на вхід C2 подати входний сигнал, а до входу C1 приєднати вихід Q4

Ділення входної частоти на 10 першим способом:



другим способом:



Часова діаграма ділення входної частоти на 10 другим способом

При підрахуванні вхідних імпульсів за допомогою двійково-десятькового лічильника в першому випадку (подання Q1 на C2) на виходах ми отримаємо послідовність від 0 до 9 (0000-1001), в другому випадку (подання Q4 на C1) послідовність лічби на виходах Q1 – Q4 порушується, але при цьому забезпечується скважність 2 вихідного сигналу Q1.

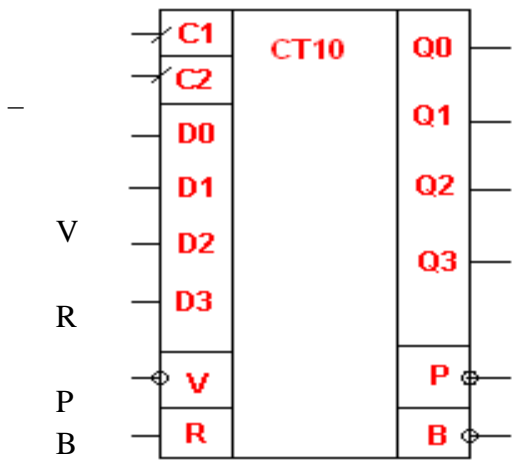
Ці особливості необхідно враховувати при послідовному з'єднанні лічильника та дешифрації вихідних сигналів для подання керуючого сигналу через визначену кількість вхідних синхросигналів.

Якщо ділення вхідної частоти реалізується за першим варіантом, то **при послідовному з'єднанні лічильників, як правило, вихід Q4 першого лічильника з'єднується з входом C1 наступного**, при чому перший рахує одиниці, а другий – десятки.

При соединении таких счетчиков последовательно мы будем просто получать то же, что и при использовании одного, но частота будет каждый раз делиться на то количество, которое будет определять соединение входов-выходов каждого отдельного счетчика в последовательности.

№41. Каскадне з'єднання реверсивних двійкових чотирьохрозрядних лічильників.

№42. Каскадне з'єднання реверсивних декадних чотирьохрозрядних лічильників.



Опис входів\виходів:

C1, C2 – керуючі синхровходи (C1 – пряма лічба, C2 зворотна)

D0 – D3 – інформаційні входи для запису числа, з якого починається лічба

– дозвіл на запис інформації з входів D0 – D3 в лічильник

– вхід для скидання

Q0 – Q3 – інформаційні виходи

– вихід переносу

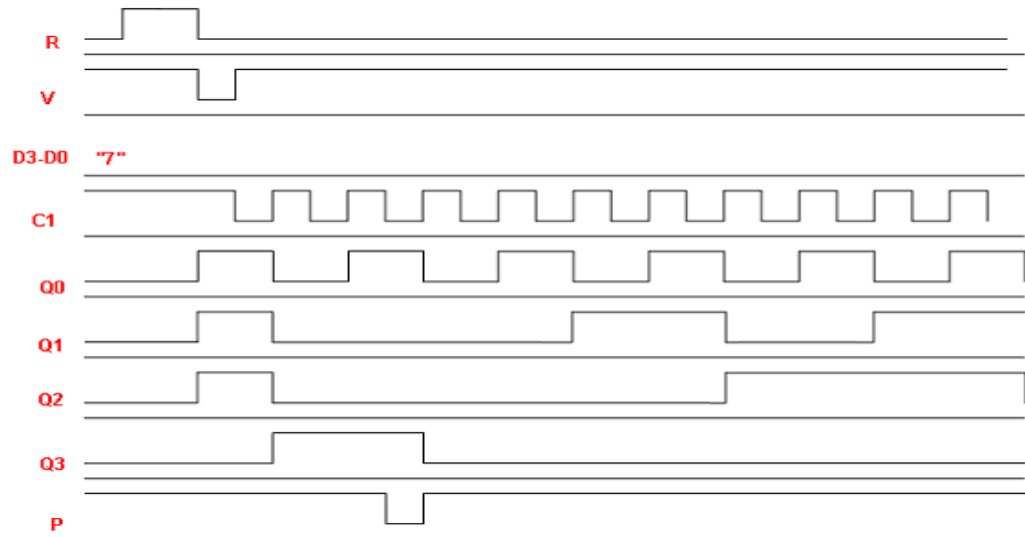
– вихід займу (позики)

Таблиця переходів декадного реверсивного лічильника:

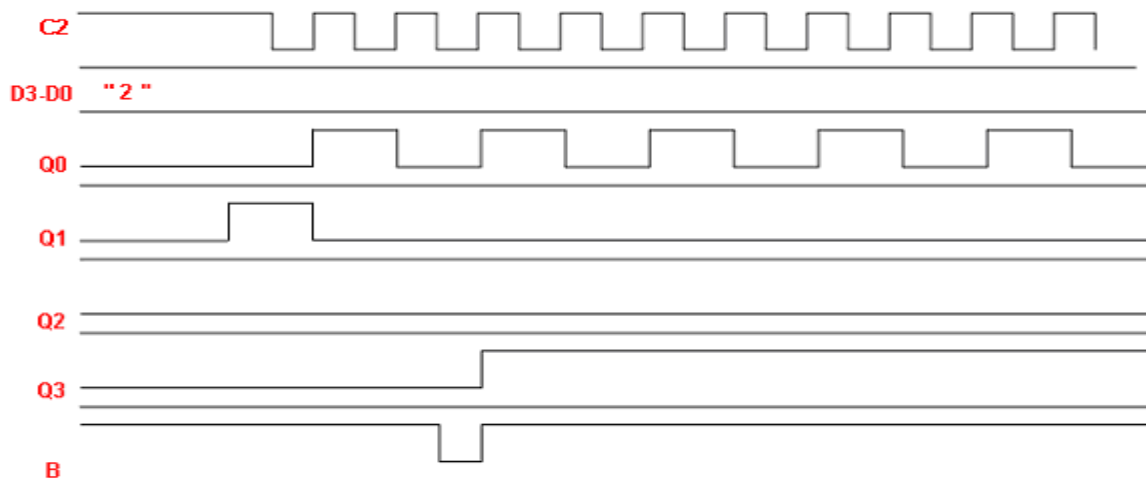
Входи					виходи			
R	V	C1	C2	D3-D0	Qi3-Qi0	Qi+13-Qi+10	P	B
L	H	H	H	*	q3 q2 q1 q0	q3 q2 q1 q0	H	H
H	*	*	*	*	*	L L L L	H	H
L	L	H	H	d3 d2 d1 d0	*	d3 d2 d1 d0	H	H
L	H	L	H	*	q'3 q'2 q'1 q'0	q'3 q'2 q'1 q'0	H	H
L	H	┐	H	*	q'3 q'2 q'1 q'0	q'3 q'2 q'1 (q'0+1)	H	H
L	H	L	H	*	H L L H	H L L H	L	H
L	H	┐	H	*	H L L H	L L L L	┐	H
L	H	H	L	*	q''3 q''2 q''1 q''0	q''3 q''2 q''1 q''0	H	H
L	H	H	┐	*	q''3 q''2 q''1 q''0	q''3 q''2 q''1 (q''0-1)	H	H
L	H	H	L	*	L L L L	L L L L	H	L
L	H	H	┐	*	L L L L	H L L H	H	┐

Двійково-десятковий реверсивний лічильник побудовано на базі чотирьох JK-тригерів. Особливістю лічильника є побудова за синхронним принципом, за яким всі тригери перемикаються одночасно від одного імпульсу. Напрямок лічби задається станом керуючих входів. При прямій лічбі повинна бути напруга високого рівня на вході зворотної лічби. При зворотній лічбі – на вході прямої лічби. Встановлення в „0” реалізується за допомогою входу R незалежно від стану інформаційних, керуючих та входів попереднього запису. Для побудови лічильників з більшою розрядністю використовують виходи прямого та зворотного переносів. З виходу прямого подають сигнал на вхід прямого керуючого входу наступного каскаду. Сигнал займу подається на вхід зворотної лічби наступного каскаду. Інформація із входів D0 – D3 знімається тільки після завершення сигналу дозволу запису, при цьому переводити виходи в нульовий стан не обов’язково. Змінювати сигнали на входах D0 –D3 необхідно з урахуванням довжини сигналу на вході V.

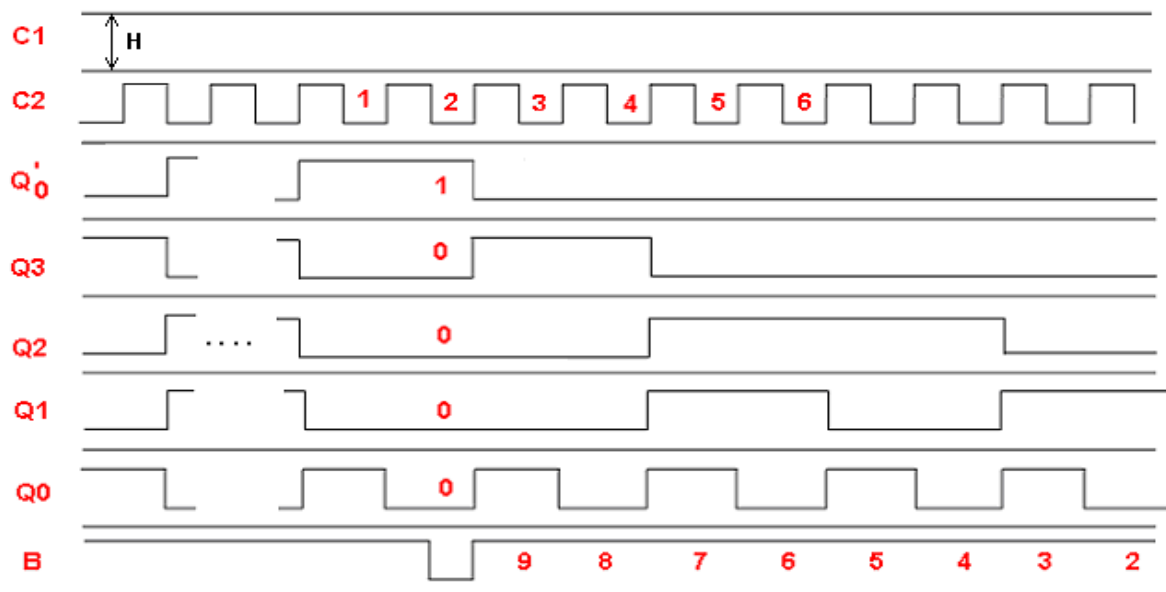
Часова діаграма роботи декадного реверсивного лічильника на додавання:



Часова діаграма роботи декадного реверсивного на віднімання:



The diagram illustrates a 4-bit ripple-carry adder implemented using two CT10 counters. The first counter (left) has its clock input (C1) connected to a constant high signal '1' and its reset input (R) connected to a constant low signal '0'. Its data inputs (D0-D3) are connected to the 4-bit input A (A3-A0). The second counter (right) has its clock input (C1) connected to a constant high signal '1' and its reset input (R) connected to the carry-out (B) of the first counter. Its data inputs (D0-D3) are connected to the 4-bit input B (B3-B0). The outputs of the second counter (Q0-Q3) represent the 4-bit sum S (S3-S0). The carry-out (B) of the second counter is the final carry-out of the adder.



№ 43. Організація таймерів на основі лічильників.

На самом деле можно смело брать пример из конспекта практики, была задача на соединение двух счетчиков на отнимание, вопрос стоял таким образом - за 12ым синхросигналом выдать сигнал на выходе В. В принципе можно даже от себя написать что-то о программном счетчике, это тоже можно назвать таймером. Жаль не могу выложить схему и графики (была у доски), если кто законспектировал - в студию, родина вас не забудет :)

Хардкор версия, для мазохистов

Под таймерами подразумеваются устройства, отмеряющие заданный интервал времени с момента запуска (вручную или электрическим импульсом) с секундомером обратного отсчёта. Очевидно, для того, чтоб собрать такое устройство, необходимо иметь надежный источник периодического сигнала. В качестве его используют кварцевые генераторы. Но суть в том, что кварц - своенравная тварь, и генерировать частоту будет только особую, собственную резонирующую. То есть, чтоб получить необходимый период нужно воспользоваться делителем входной частоты. Следующий, и, в общем-то, последний шаг - это соединить каскадно делитель с счетчиком, чтоб отмерить нужное количество раз нужный период. В целом, это все можно решить и на одном делителе, но тогда мы жестко закрепим периодичность.

№44. Порівняти технології виготовлення інтегральних схем ЕЗЛ і МДН.

Щільність пакування елементів (кількість вентилів на одиницю площі) найбільша в схемах, які виготовляються на базі уніполярних однотипних транзисторів (МДН). Це пояснюється тим, що схеми володіють однорідністю і тим, що транзистори МДН займають меншу площу на кристалі, ніж біполярні транзистори, резистори тощо. Найнижча щільність в схемах ЕЗЛ у зв'язку з наявністю джерела опорної напруги. Інтегральні схеми МДН управляються напругою і мають високий вхідний опір. Особливо чутливі до ємнісних навантажень. Потрібен захист від статички. Інтегральні схеми ЕЗЛ комутують у лініях зв'язку більші струми за малий час. Важлива проблема, що лінії зв'язку перехресні. У пристроях з ЕЗЛ-схемами часто виникають проблеми із хвильовими процесами в довгих лініях, що вимагає обов'язкового узгодження ліній зв'язку з навантаженнями. Забезпечення завадостійкості цих схем ускладнене малою величиною припустимої статичної завади й лінійним режимом роботи транзистора.

Порівняти технології виготовлення інтегральних схем ЕЗЛ і КМДН.

Інтегральні схеми ЕЗЛ комутують у лініях зв'язку більші струми за малий час. Важлива проблема, що лінії зв'язку перехресні. У пристроях з ЕЗЛ-схемами часто виникають проблеми із хвильовими процесами в довгих лініях, що вимагає обов'язкового узгодження ліній зв'язку з навантаженнями. Забезпечення завадостійкості цих схем ускладнене малою величиною припустимої статичної завади й лінійним режимом роботи транзистора. Найнижчу потужність споживання мають схеми на базі КМДН, оскільки через базові елементи протікає струм лише в момент їх перемикавання. В статичному режимі струм не проходить. Найвищу швидкодію мають елементи, виготовлений за технологією ЕЗЛ, оскільки в даних схемах мінімальна різниця між напругами логічних рівнів нуля й одиниці. Час перемикавання вентиля мінімальний у схемах ЕЗЛ у зв'язку з наявністю перемикачів струмів, де транзистори не заходять в режим насичення, а також у зв'язку з наявністю емітерних повторювачів, які зсувають вихідний рівень та забезпечують необхідну амплітуду керуючих струмів. Максимальний час перемикавання у схем на базі р-МОН транзисторів, тому що потрібен час на організацію каналу.

Порівняти технології виготовлення інтегральних схем ЕЗЛ і І2Л.

Інтегральні схеми ЕЗЛ комутують у лініях зв'язку більші струми за малий час. Важлива проблема, що лінії зв'язку перехресні. У пристроях з ЕЗЛ-схемами часто виникають проблеми із хвильовими процесами в довгих лініях, що вимагає обов'язкового узгодження ліній зв'язку з навантаженнями. Забезпечення завадостійкості цих схем ускладнене малою величиною припустимої статичної завади й лінійним режимом роботи транзистора. За допомогою схем типу І2Л долаються недоліки біполярних ІС: малу щільність компонування і високу розсіювану потужність на вентилю. За ступенем інтеграції схеми І2Л перевершують МОН-схеми, а за рівнями розсіюваної потужності співставні з КМОН-схемами. Також, І2Л має невелику потужність розсіювання, що пояснюється відсутністю резисторів, а велику швидкодію при малих потужностях споживання - незначними паразитними ємностями, відсутністю накопичення заряду і невеликою різницею логічних рівнів. Переваги схем на базі І2Л: -Високий ступінь інтеграції - Мале споживання енергії на одне перемикавання. -Низька напруга живлення. Недоліки: -Низькі максимальні робочі частоти. Отже, можна назвати наступні переваги схем на базі І2Л: висока економічність, висока швидкодія, висока щільність транзисторів на кристалі (іноді вище, ніж МОН), іноді менша вартість, ніж у пристроїв, побудованих за принципами інших логік. Також, схеми І2Л мають високу стійкість до шуму, оскільки керуються струмом, а не напругою.