

Міністерство освіти і науки України

Національний університет «Львівська політехніка»

Кафедра ЕОМ



Звіт

до лабораторної роботи № 1

з дисципліни: «Моделювання комп'ютерних систем»

«Інсталяція та ознайомлення з середовищем розробки Ознайомлення зі
стендом. Elbert V2 – Spartan 3A FPGA»

Варіант 13

Виконав:

ст. гр. КІ-201

Костюк І. В.

Прийняв:

Козак Н. Б.

Львів 2023

Завдання

Створення облікового запису на [Xilinx - Adaptable. Intelligent | together we advance](https://www.xilinx.com)

Інсталяція та отримання ліцензії

Побудова дешифратора 3 -> 7 за допомогою ISE WebPack Schematic Capture та моделювання його роботи за допомогою симулятора ISim

Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA

Виконання:

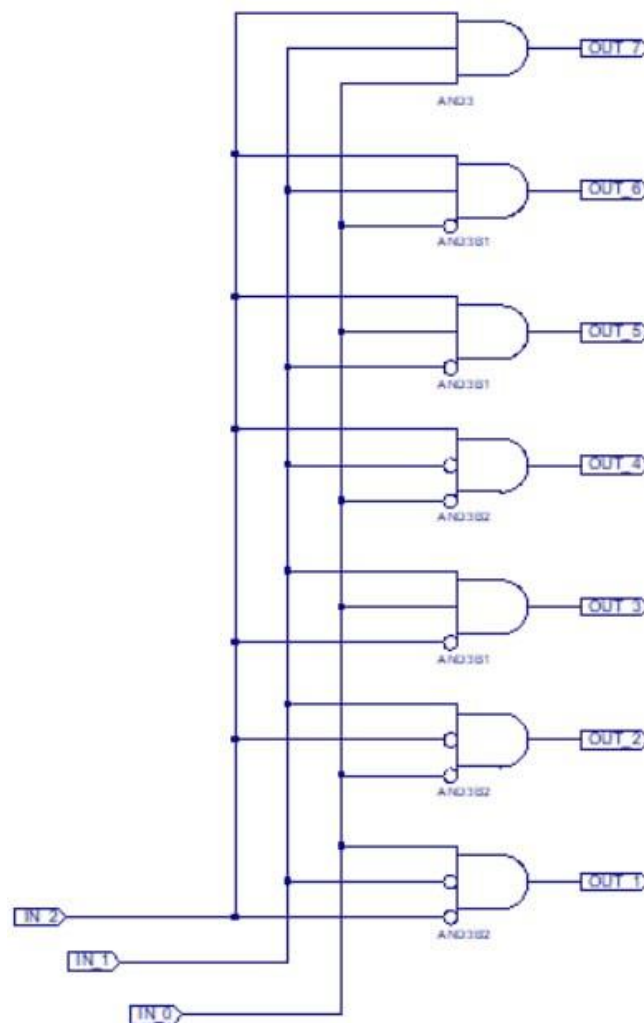


Рис. 1. Схема дешифратора 3 -> 7

Лістинг програми

```
#+++++  
+++++  
  
# This file is a .ucf for ElbertV2 Development Board #  
  
# To use it in your project : #  
  
# * Remove or comment the lines corresponding to unused pins in the project #  
  
# * Rename the used signals according to the your project #
```

```

#+++++
+++++

#####

#
                                UCF for ElbertV2 Development Board                                #
#####

CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz

#NET "Clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
####

#
                                LED

#####
####

NET "OUT_1"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_5"          LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_6"          LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_7"          LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
####

#
                                DP Switches

#####

NET "IN_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2"           LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```



Рис. 2. Скріншот діаграми симуляції

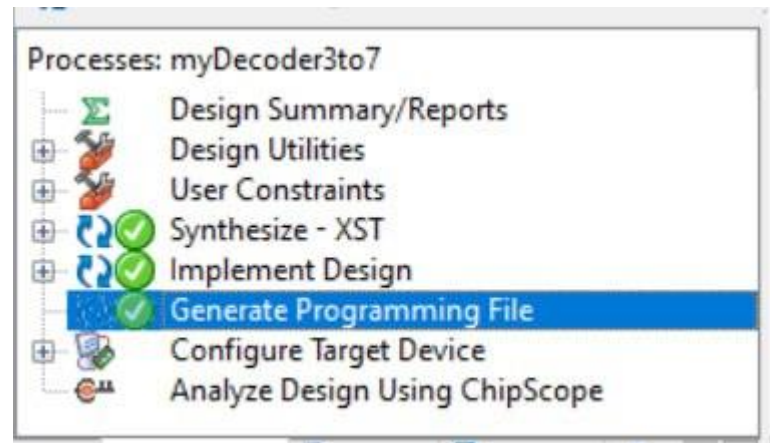


Рис. 3. Успішно виконані процеси

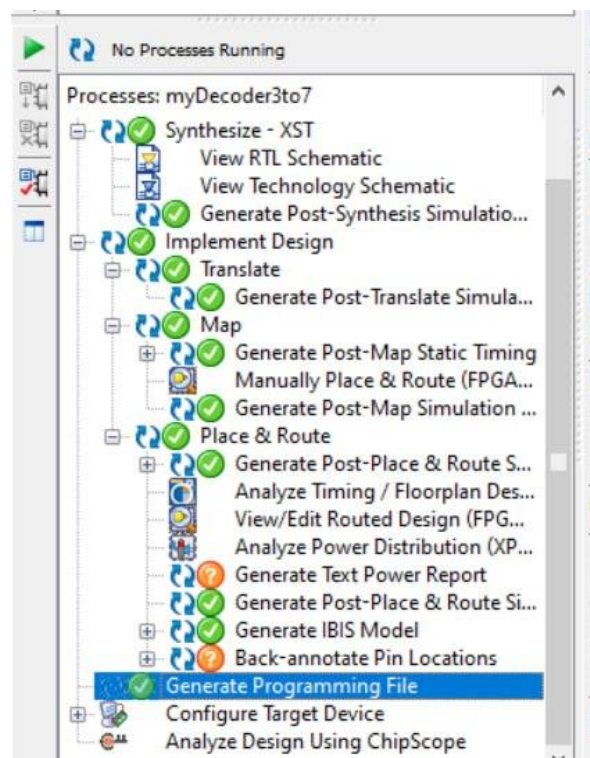


Рис. 4. Успішно виконані процеси для решти видів симуляції

Висновок: інсталиював та ознайомився із середовищем для моделювання комп'ютерних систем Xilinx. Зробив та дослідив схему дешифратора 3 -> 7.