***Курсова робота***

***з курсу «Комп’ютерна електроніка»***

***студента групи КВ-42***

***Сахніка Івана***

# **Завдання №1**

Дослідити базову схему ТТЛ 3І-НЕ.

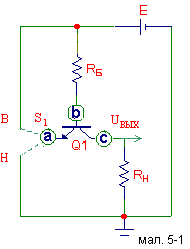
Вхідні дані для дослідження:   
Uвх0 = 0.121 В

Uвх1= 4.327 В,

Iвх0 max = 1.78 мА

**Розв’язок**

Транзисторно-транзисторна логіка (ТТЛ) - різновид цифрових логічних мікросхем, побудованих на основі біполярних транзисторів і резисторів. Оскільки, як правило, в схемах ТТЛ використовується багатоемітерний транзистор, дослідимо його роботу. На мал.1 наведено схему керуючого транзистора з одним входом (аналог багатоемітерного):



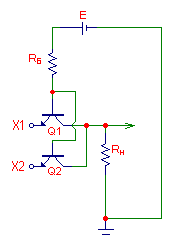
мал.1

.1

Для зручності дослідження перемикання логічного елементу до входу підключено керуючий перемикач S1, який може займати два положення В і Н, до виходу підключено резистор навантаження RН. У положенні В на вхід надходить напруга високого рівня (напруга джерела живлення Е), а в положенні Н – напруга низького рівня (схемна земля). Якщо на вхід подається низька напруга (перемикач S1 у положенні Н), то вхідний струм I0ВХ протікає від джерела живлення Е через резистор RБ та перехід база-емітер керуючого транзистора Q1. Перехід база-колектор транзистора Q1 зміщений у зворотньому напрямку. Таким чином, перехід база-емітер транзистора Q1 відкритий, а перехід база-колектор Q1 закрито, тобто транзистор працює в прямому включенні, напруга на виході дорівнює низькому рівню.

При подачі на вхід високого рівня (перемикач S1 у положенні В) перехід база-емітер транзистора Q1 буде закритий, тому що він зміщений у зворотньому напрямку. Обидва електроди (база і емітер) підключені до джерела живлення. На базу від джерела живлення Е через резистор бази RБ надходить струм IRб, перехід база-колектор - відкрито. На колекторі Q1  встановлюється напруга високого рівня. На вхід надходить тільки струм I1ВХ. Таким чином, перехід база-емітер транзистора Q1 закритий, а перехід база-колектор Q1 відкрито, тобто транзистор Q1 працює в інверсному включенні, на виході встановлюється високий рівень.

Якщо кількість входів керуючого транзистора Q1 більше одного, то елемент буде реалізовувати логічну функцію І (мал.2):



мал.2

**Y**

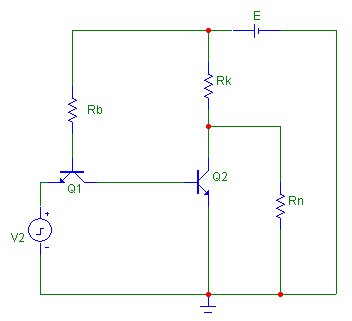
Y=X1X2, де X1, X2– вхідні сигнали, Y- функція на виході схеми.

Тобто, якщо хоча б на одному вході схеми низький рівень (X1X2=L), то транзистор Q1 буде працювати в прямому включенні і на виході схеми встановиться низький рівень(Y=L). При цьому зміна логічних рівнів на інших входах не буде впливати на вихідну напругу UВИХ.

Лише у випадку подачі високих рівнів на усі входи (X1X2=H) багатоемітерний транзистор Q1 перейде в інверсне включення, і напруга на виході встановиться у високий рівень(Y=H).

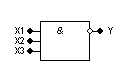
Логічний елемент, приведений на мал. 1 не змінює фазу вхідного сигналу. При додаванні інвертора, виконаного на транзисторі Q2 (мал.3), отримаємо схему транзисторного ключа з керуючим транзистором на вході.

мал.3



Логічний елемент, приведений на мал.3 реалізує функцію І-НЕ. Схема І-НЕ складається з елементу І та інвертору. Ця схема здійснює заперечення результату схеми І.

Якщо кількість входів в елементі дорівнює 3, то такий елемент має назву 3І-НЕ. Умовне позначення на структурних схемах схеми 3І-НЕ представлено на мал.4:

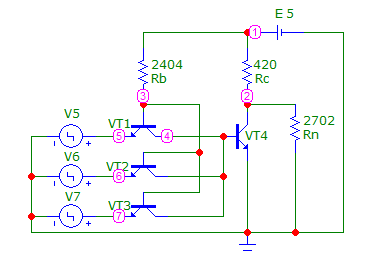


мал.4



Зазначимо, що будь-яка булева функція може бути реалізована за допомогою схем І-НЕ. Функції, що мають таку властивість називаються функціонально повними.

Дослідимо схему 3І-НЕ.



мал.5

Схема 3І-НЕ реалізована на трьох вхідних транзисторах КТ315А VT1, VT2, VT3 та ключовому транзисторі VT4, що забезпечує інверсію вхідного сигналу. Якщо на вхід подати низький рівень, то транзистор працюватиме у прямому режимі. Струм буде йти від джерела через резистор бази Rб, ділитись у точці В та йти на землю через перехід база-емітер відповідного транзистора. Транзистор VT4 працюватиме у режимі відсічки, на виході матимемо високий рівень. Якщо на усі входи одночасно подати високий рівень, то вхідні транзистори будуть працювати у інверсному режимі, струм на базу ключового транзистора буде надходити через перехід емітер-колектор вхідних транзисторів та з джерела струму E через резистор бази і переходи база-колектор вхідних транзисторів. Ключовий транзистор буде знаходитись у стані насичення, на виході низький рівень.

**Вхідні дані для дослідження схеми:**

* Джерело живлення E=5B;
* Вхідна напруга високого рівня Uвх1 = 4.327 В;
* Вхідна напруга низького рівня Uвх0 = 0.121 В;
* для транзисторів VT1, VT2, VT3 в інверсному включенні βінв = 1;
* для транзисторів VT1, VT2, VT3, VT4 у прямому включенні напруга переходу база-емітер у режимі насичення: Ube = 0,6 B;
* для транзисторів VT1, VT2, VT3 в інверсному включенні напруга переходу база-колектор: Ubc = 0,55 В;
* Iвх0 max = 0,00178 А;
* Iвих1 = IRb, де IRb - струм через резистор Rb при Uвх = Uвх1, Iвих1 - вихідний струм при Uвих = Uвих1.

Розглянемо випадок, коли на одному з трьох входів схеми встановлено низький рівень напруги — Uвх0. В такому випадку один з вхідних транзисторів VT1, VT2, VT3 працюватиме в прямому режимі. Розрахуємо напругу у точці 4:

U3 = Uвх0 + Ube(Q1) = Uвх0 + Ube = 0,121 + 0,6 = 0.721 (В)

Через резистор проходить струм IRb, що дорівнює Iвх0 max. З цього:

Опір Rb округляємо в більшу сторону, оскільки IRb не повинен перевищувати Iвх0 max, тому = 2404 (Ом).

Через те, що транзистори VT1, VT2, VT3 працюють в прямому режимі, струм у вузлі 3 практично дорівнює нулю. Саме тому ключовий транзистор VT4 працюватиме в режимі відсічки.

Тепер розглянемо випадок, коли на всіх входах високі рівні — Uвх1. В такому випадку вхідні транзистори VT1, VT2, VT3 ­працюють в інверсному режимі. Знайдемо напругу у вузлі 4:

U3 = Ube (Q4) + Ubc (Q1) = Ube­к + Ubc­в = 0.6 + 0.55 = 1.15 (В)

Підрахуємо струм через резистор Rb:

Звідси, струм у вузлі 3 буде дорівнювати:

I4 = Ib (Q4) = IRb + Iec (Q1) = 2 \* IRb = 2\* 0.0016015 = 0.0032030 (A)

Якщо , то , тоді:

Значення округляємо в меншу сторону, оскільки треба забезпечити виконання умови , тому .

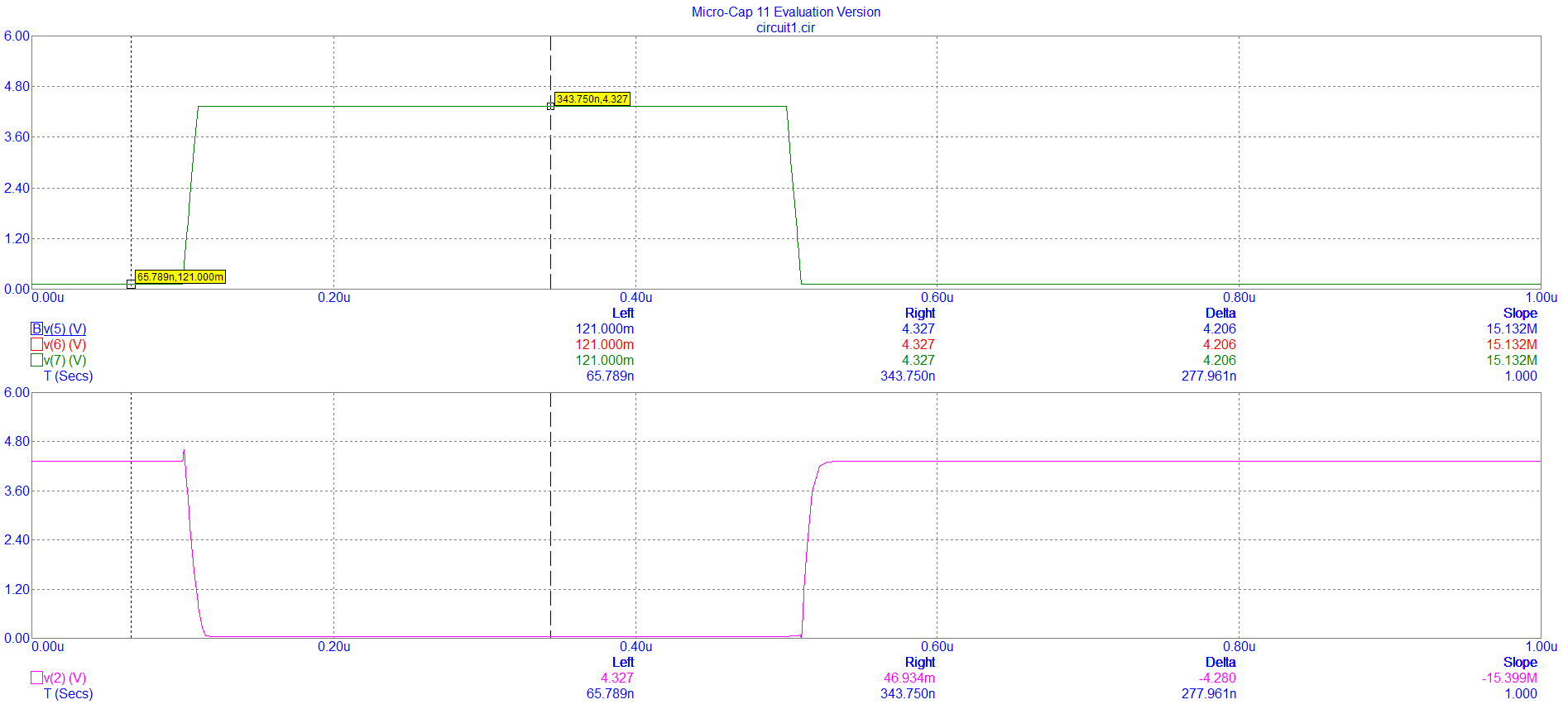
Значення округляємо в більшу сторону, оскільки при розрахунку ми обирали мінімальне значення , і тому номінал опору треба вибирати, округлюючи в більшу сторону, .

З урахуванням вже відомих нам параметрів, перерахуємо :

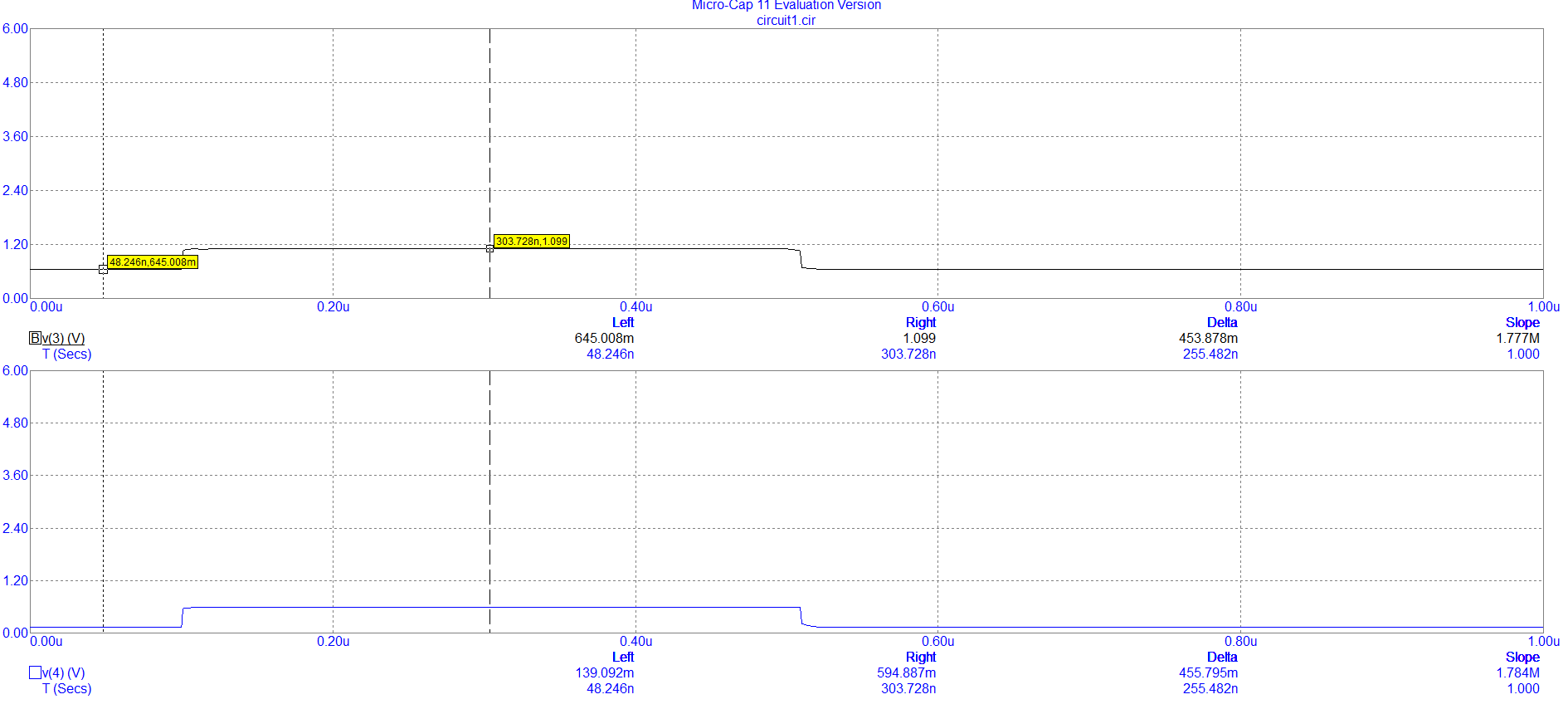
Знаючи номінал ,ми можемо знайти значення при :

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Параметри** | | **UВХ, В** | **UВИХ, В** | **Ub(3), В** | **Uc(4), В** | **IRb,мА** | **IRc,мА** | **IRn,мА** |
| **розрах. значення** | **UВХ=U0ВХ** | 0,121 | 4,32735 | 0,721 | ˃0,121 | 1,78 | 1,6 | 1,6 |
| **UВХ=U1ВХ** | 4,327 | ≤0,1 | 1,15 | 0,6 | 1,6 | 11,7 | ≈0 |
| **реальні значення** | **UВХ=U0ВХ** | 0,121 | 4,327 | 0,645 | 0,139 | 1,812 | 1,602 | 1,602 |
| **UВХ=U1ВХ** | 4,327 | 0,0469 | 1,099 | 0,595 | 1,623 | 11,793 | 0,017 |

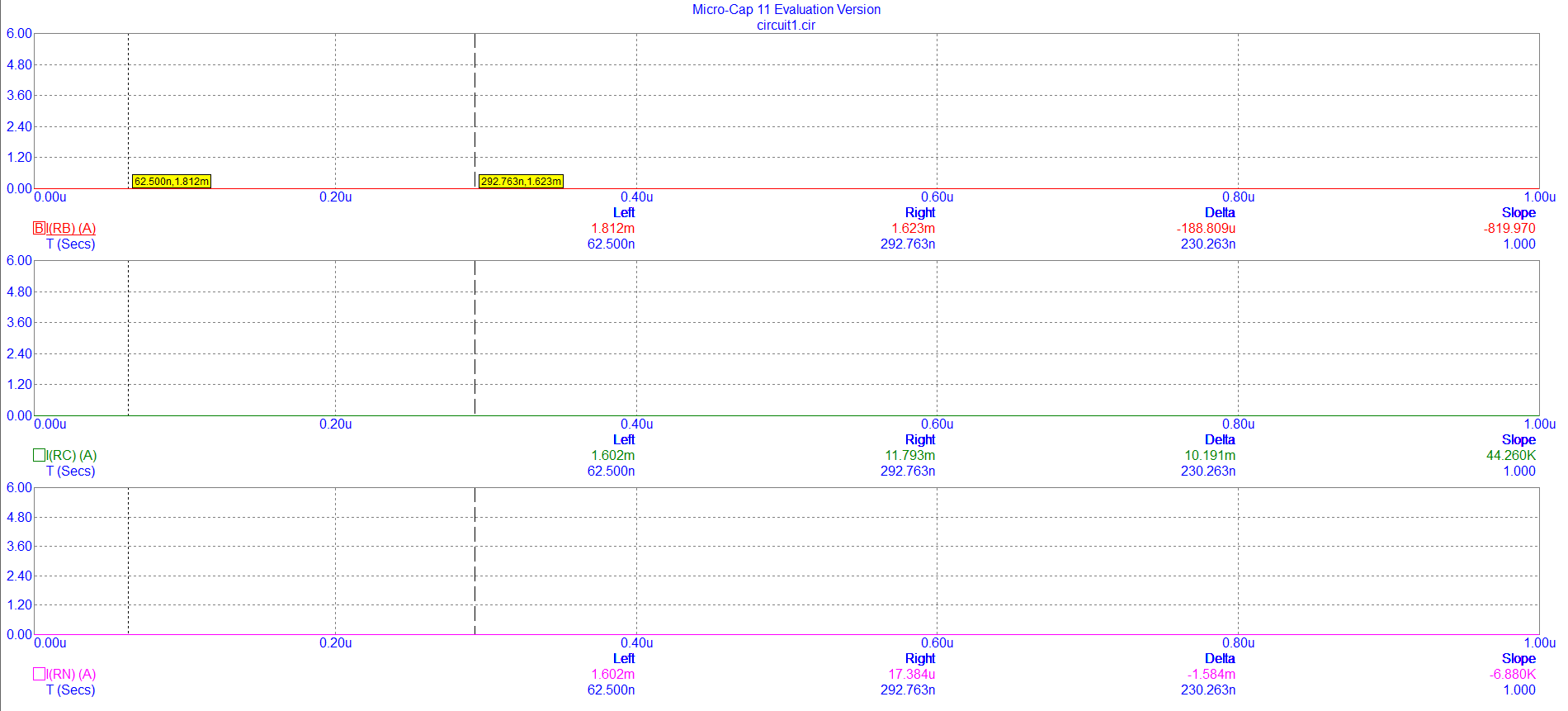
**UВХ, UВИХ**



**Ub(3), Uc(4).**



**IRb, IRc, IRn**



***Таблиця реальних значень БЕТ***

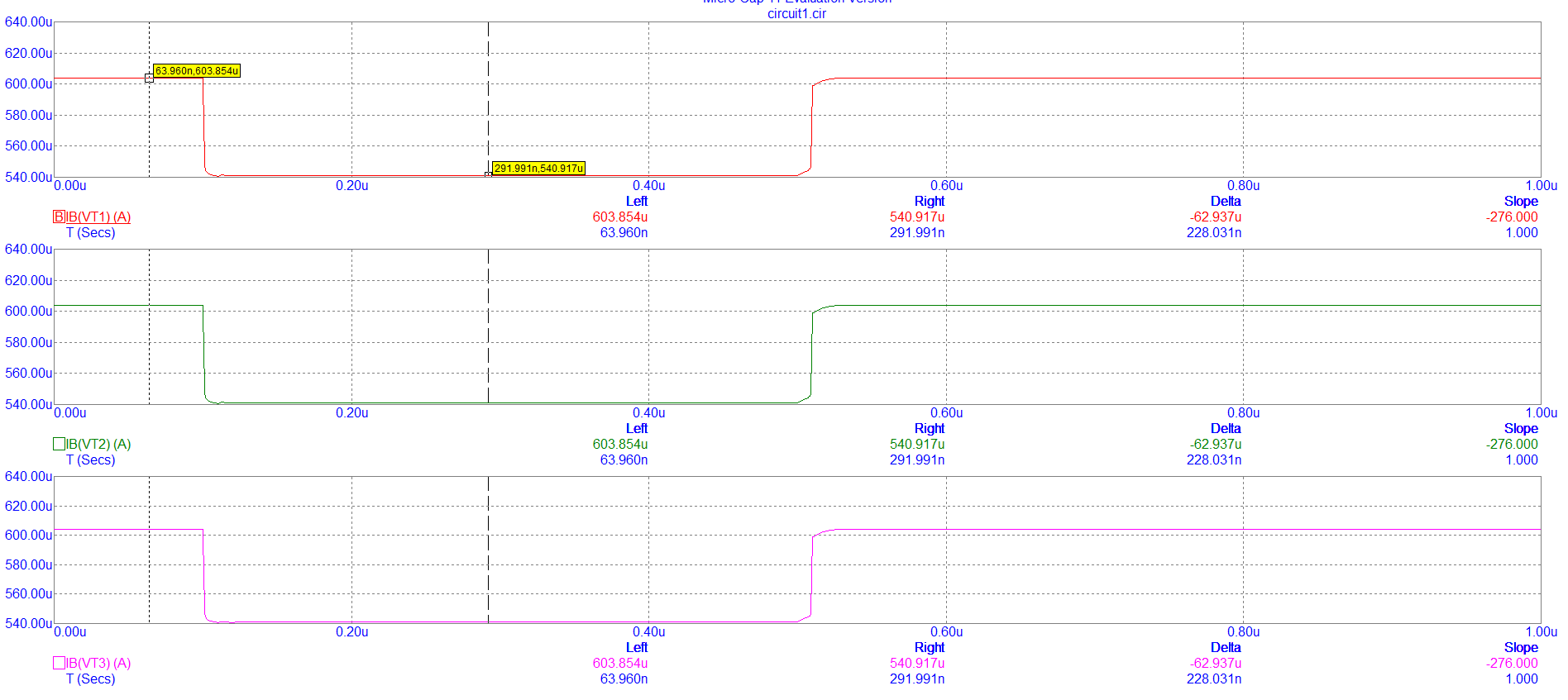
|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Параметри** | **Ib(VT1),**  **мкА** | **Ib(VT2),**  **мкА** | **Ib(VT3),**  **мкА** | **Ic(VT1),**  **мкА** | **Ic(VT2),**  **мкА** | **Ic(VT3),**  **мкА** | **Ie(VT1),**  **мкА** | **Ie(VT2),**  **мкА** | **Ie(VT3)**,  **мкА** | **Ib,**  **мкА** | **Ic,**  **мкА** |
| **U5=U6=U7=U0ВХ** | 603,85 | 603,85 | 603,85 | -418,95  [фА] | -418,95 [фА] | -418,95 [фА] | -603,85 | -603,85 | -603,85 | 1812 | -1,26  [пА] |
| **U5 = U1ВХ**  **U6 = U0ВХ**  **U7 = U0ВХ** | 580,96 | 613,1 | 613,1 | -1180 | 589,8 | 589,8 | 598,67 | -1203 | -1203 | 1807 | -5,02  [пА] |
| **U5 = U1ВХ**  **U6 = U1ВХ**  **U7 = U0ВХ** | 578,36 | 578,36 | 642,92 | -1174 | -1174 | 2349 | 595,9 | 595,9 | -2991 | 1800 | -16,33 [пА] |
| **U5=U6=U7=U1ВХ** | 540,9 | 540,9 | 540,9 | -1096 | -1096 | -1096 | 555,19 | 555,19 | 555,19 | 1623 | -3288 |

**Дослідження БЕТ**

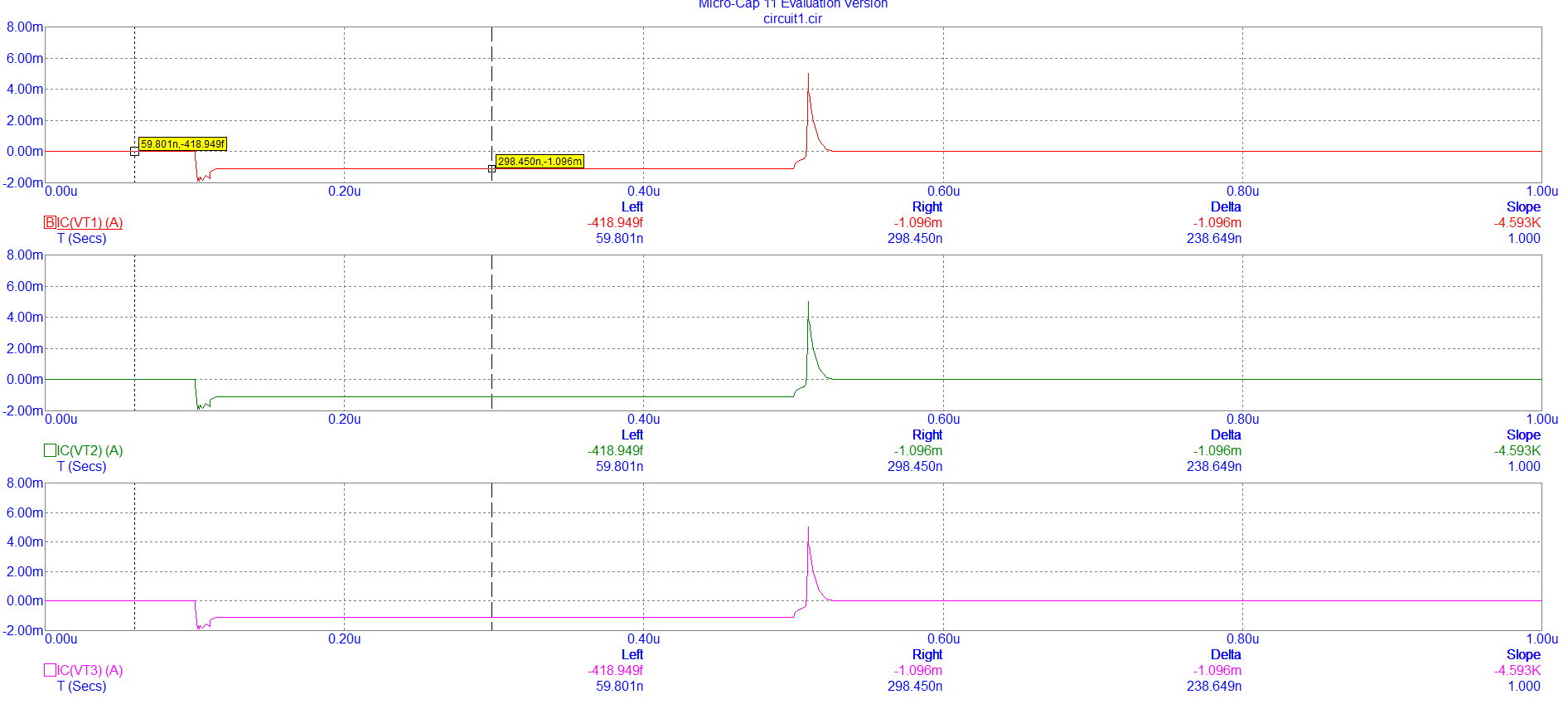
1. **Left -- U5=U6=U7=U0ВХ**

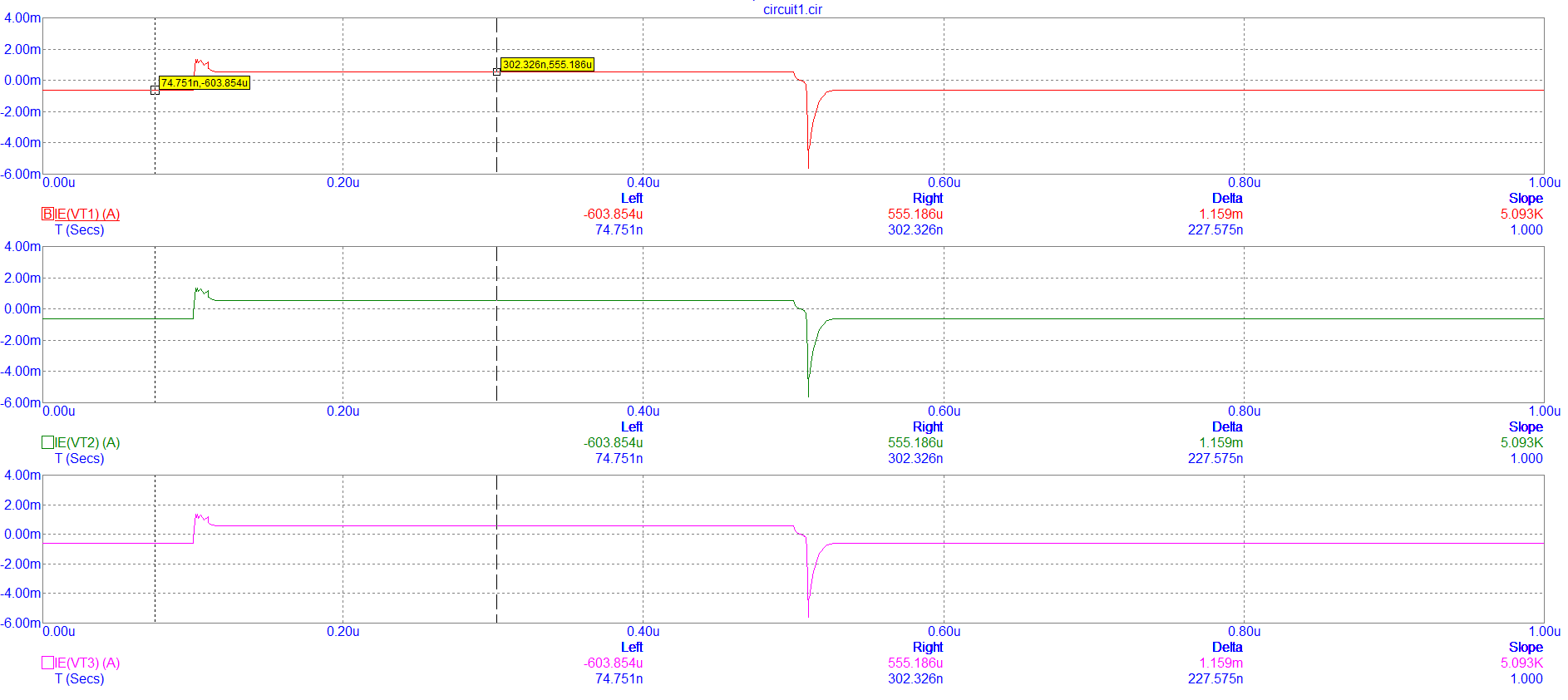
**Right -- U5=U6=U7=U1ВХ**

**Ib(VT1), Ib(VT2), Ib(VT3)**

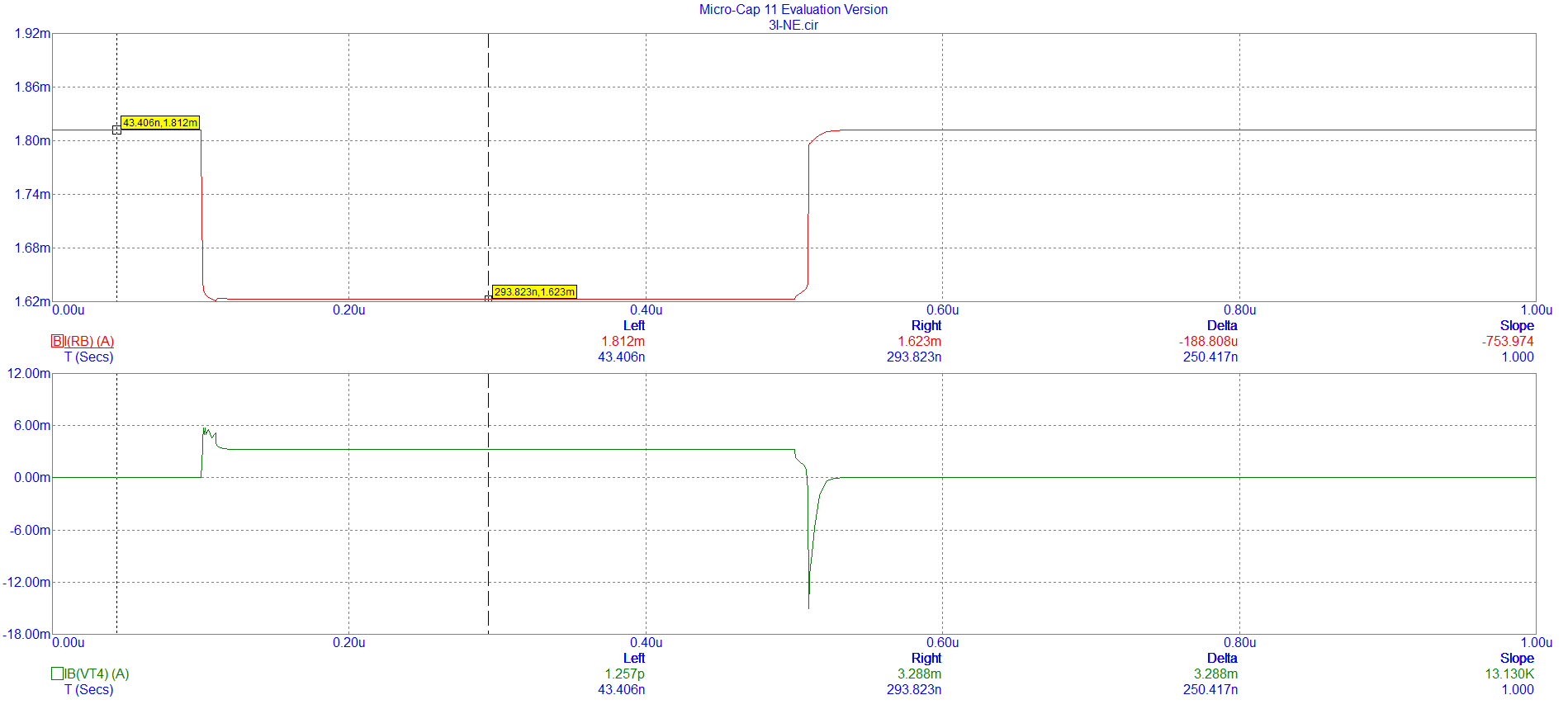


**Ic(VT1), Ic(VT2), Ic(VT3)**

**Ie(VT1), Ie(VT2), Ie(VT3)**



**Ib, Ic**

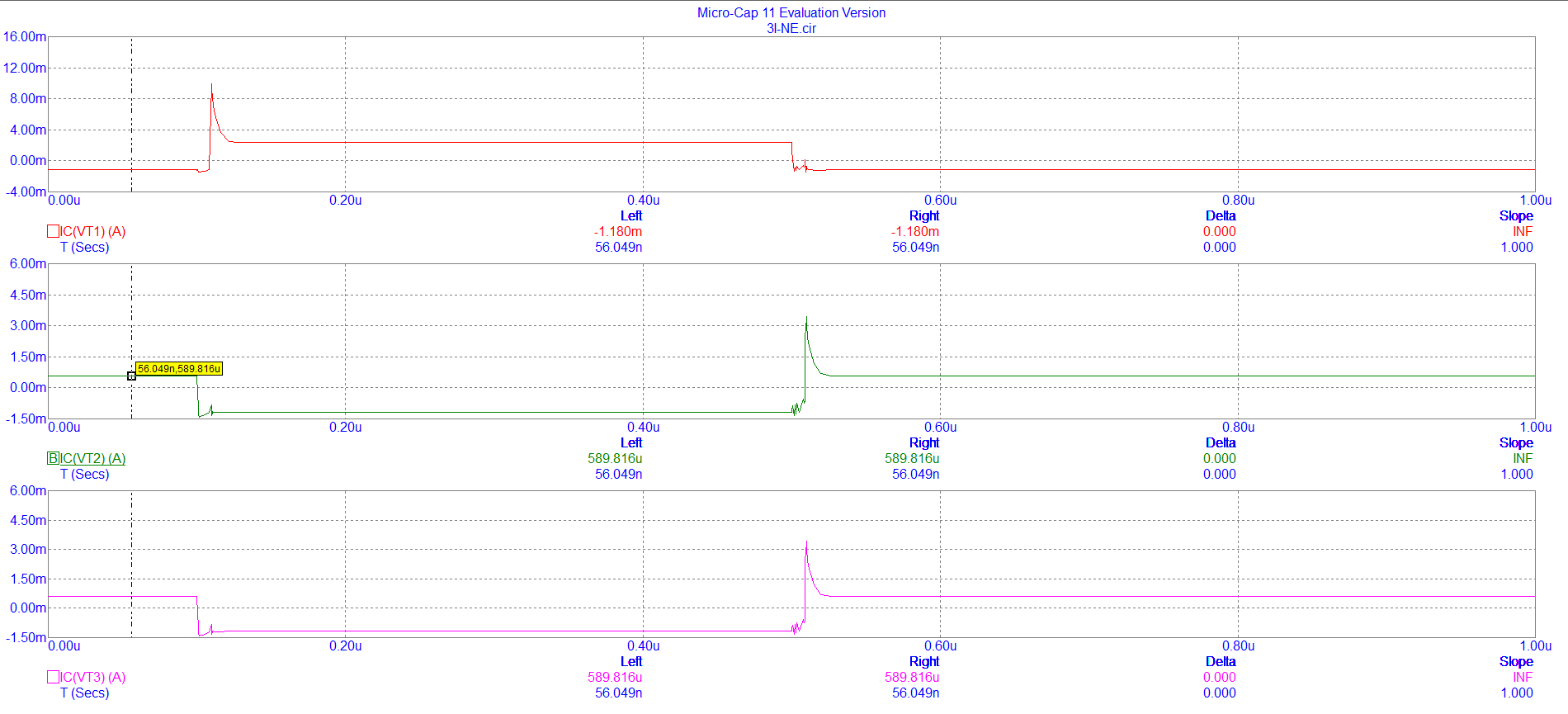


**2. U5 = U1ВХ**

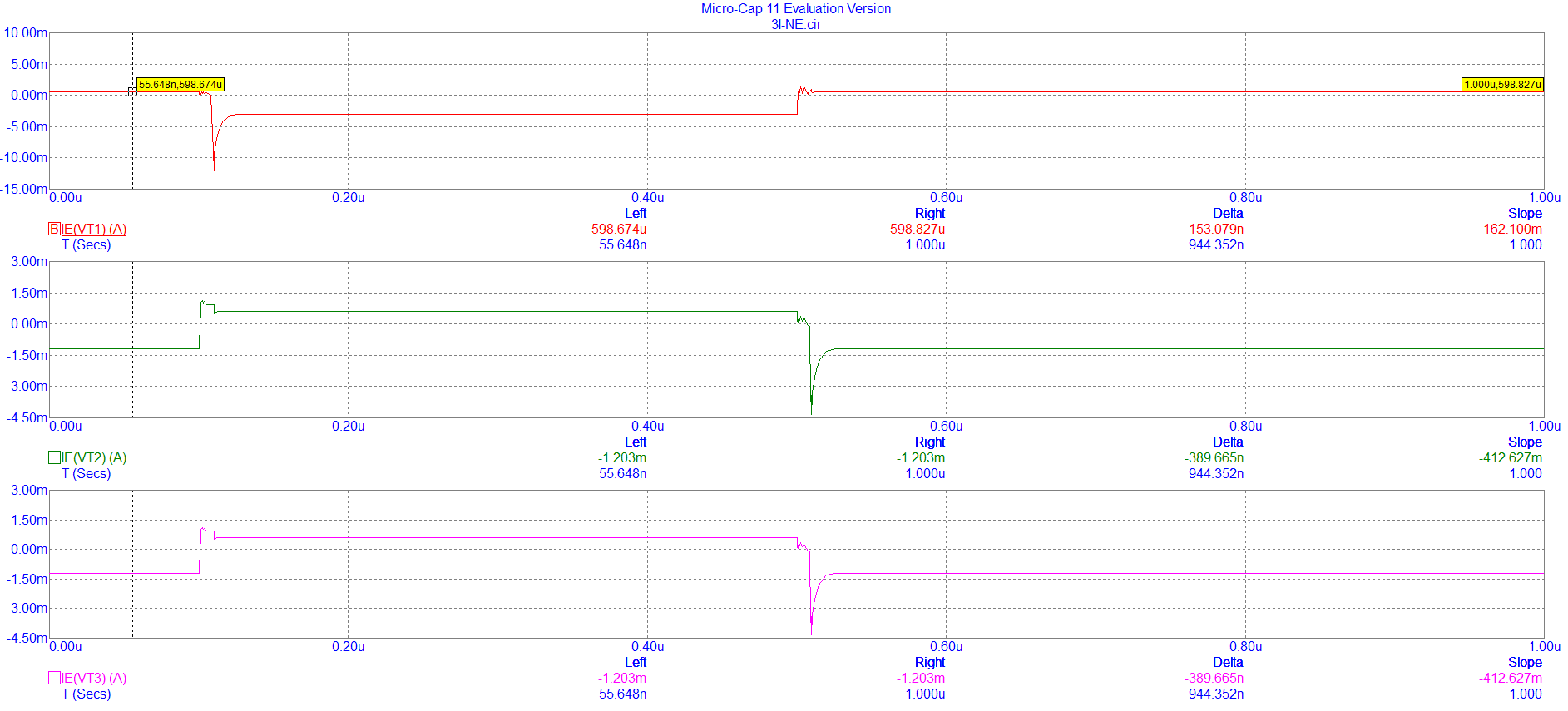
**U6 = U0ВХ**

**U7 = U0ВХ**

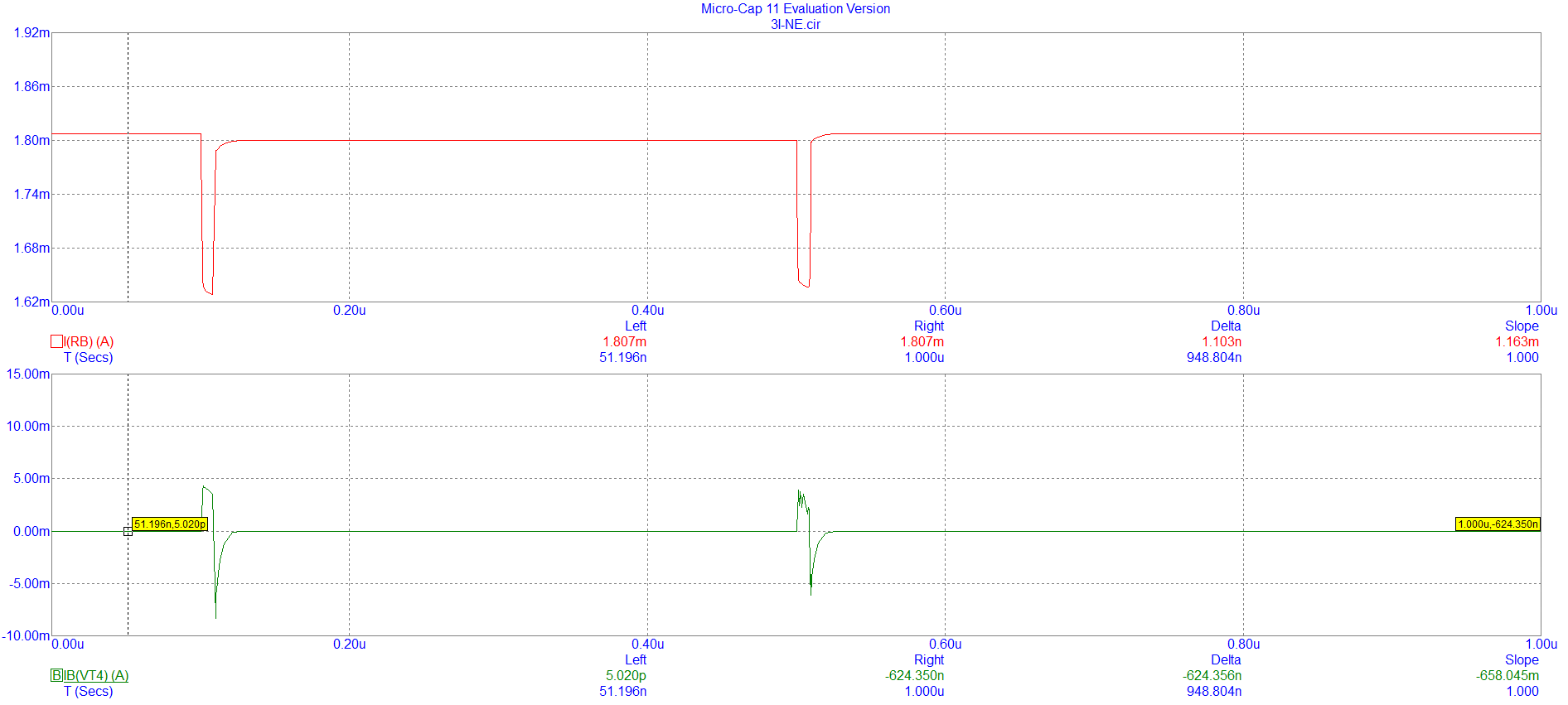
**Ib(VT1), Ib(VT2), Ib(VT3)**

**Ic(VT1), Ic(VT2), Ic(VT3)**

**Ie(VT1), Ie(VT2), Ie(VT3)**



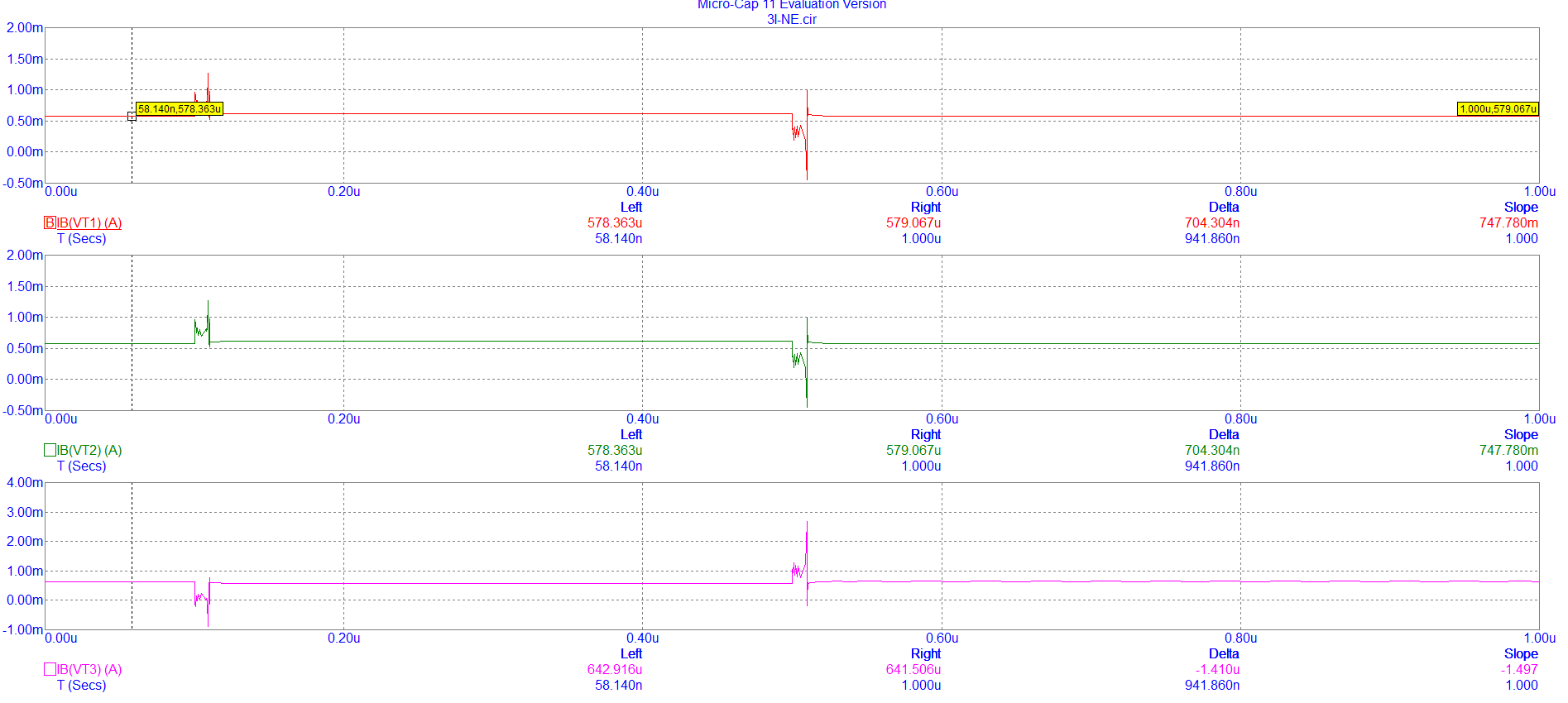
**Ib, Ic**



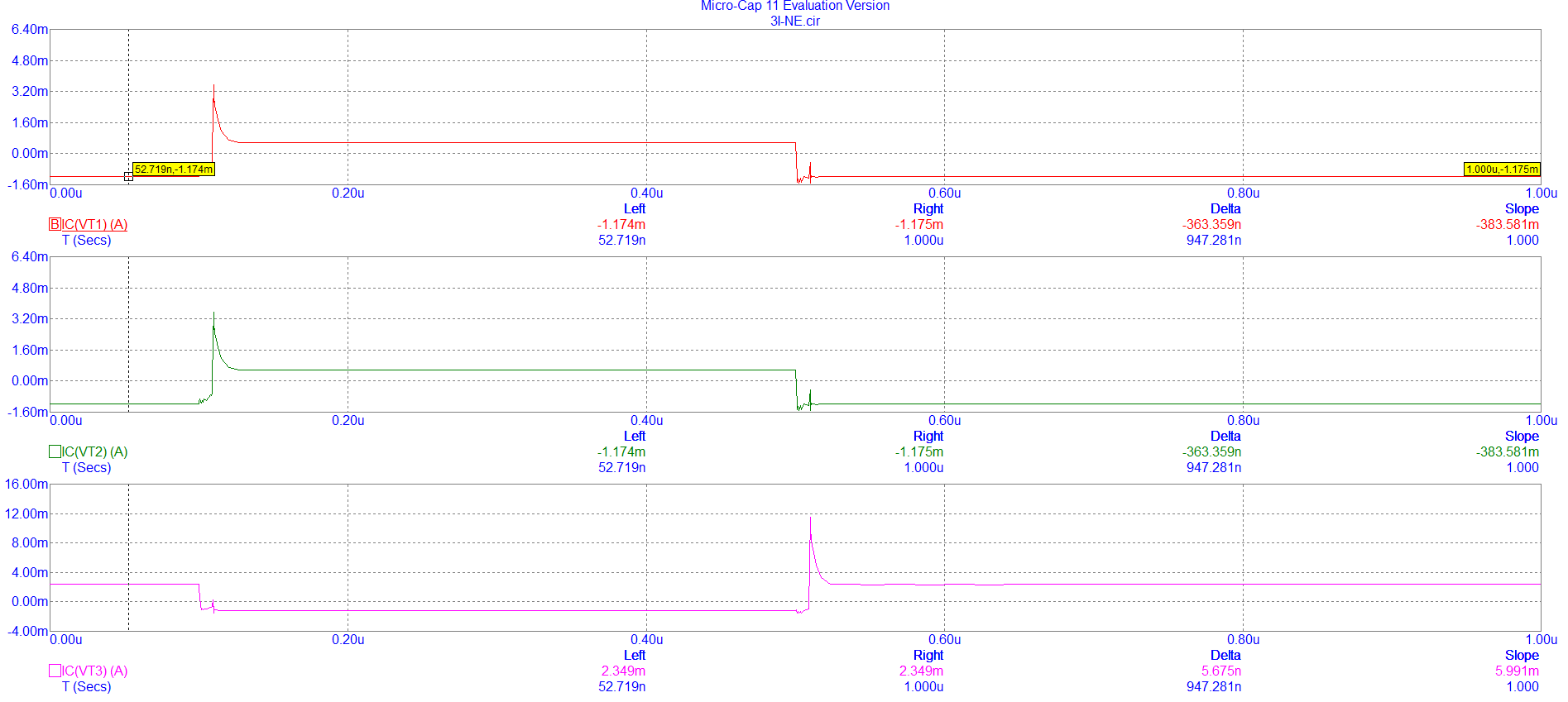
**3. U5 = U1ВХ**

**U6 = U1ВХ**

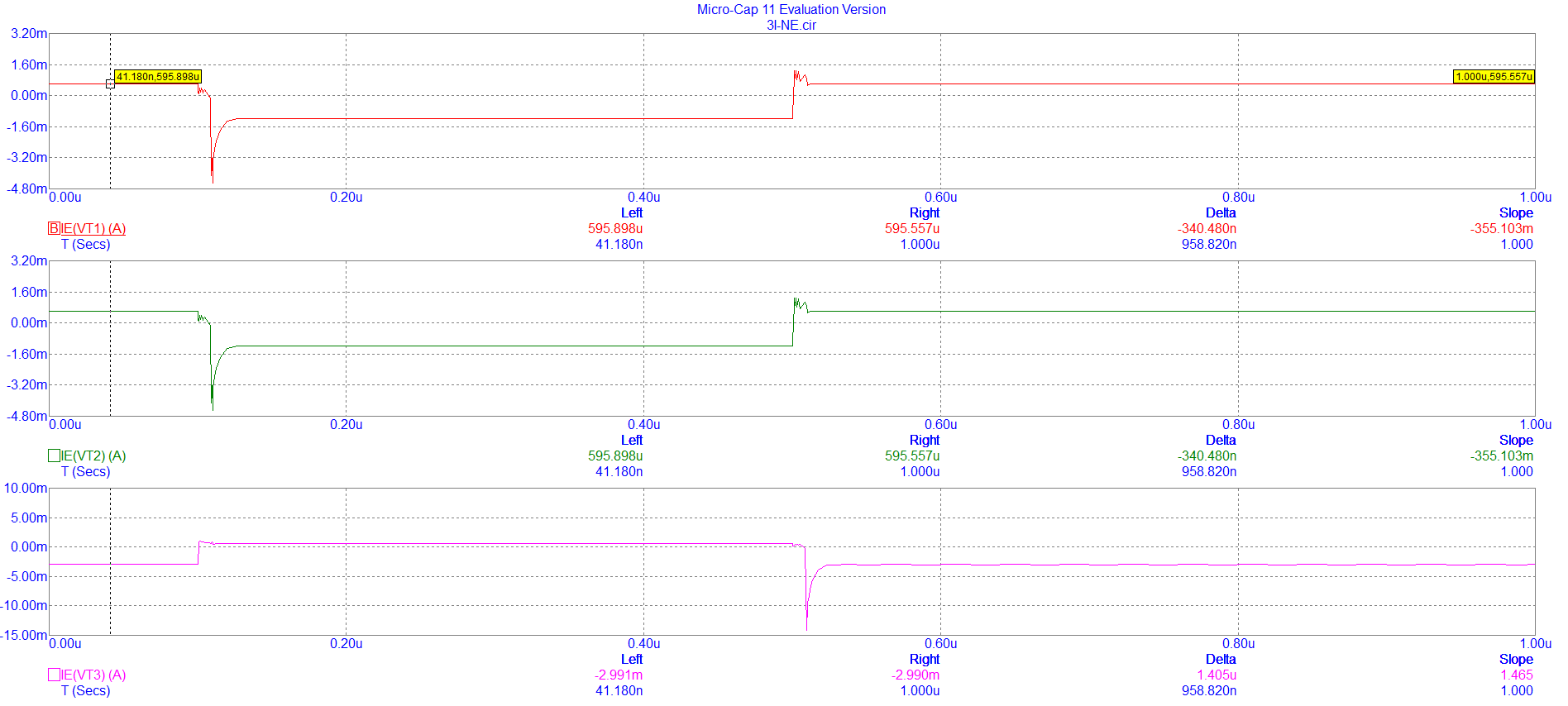
**U7 = U0ВХ**

**Ib(VT1), Ib(VT2), Ib(VT3)**

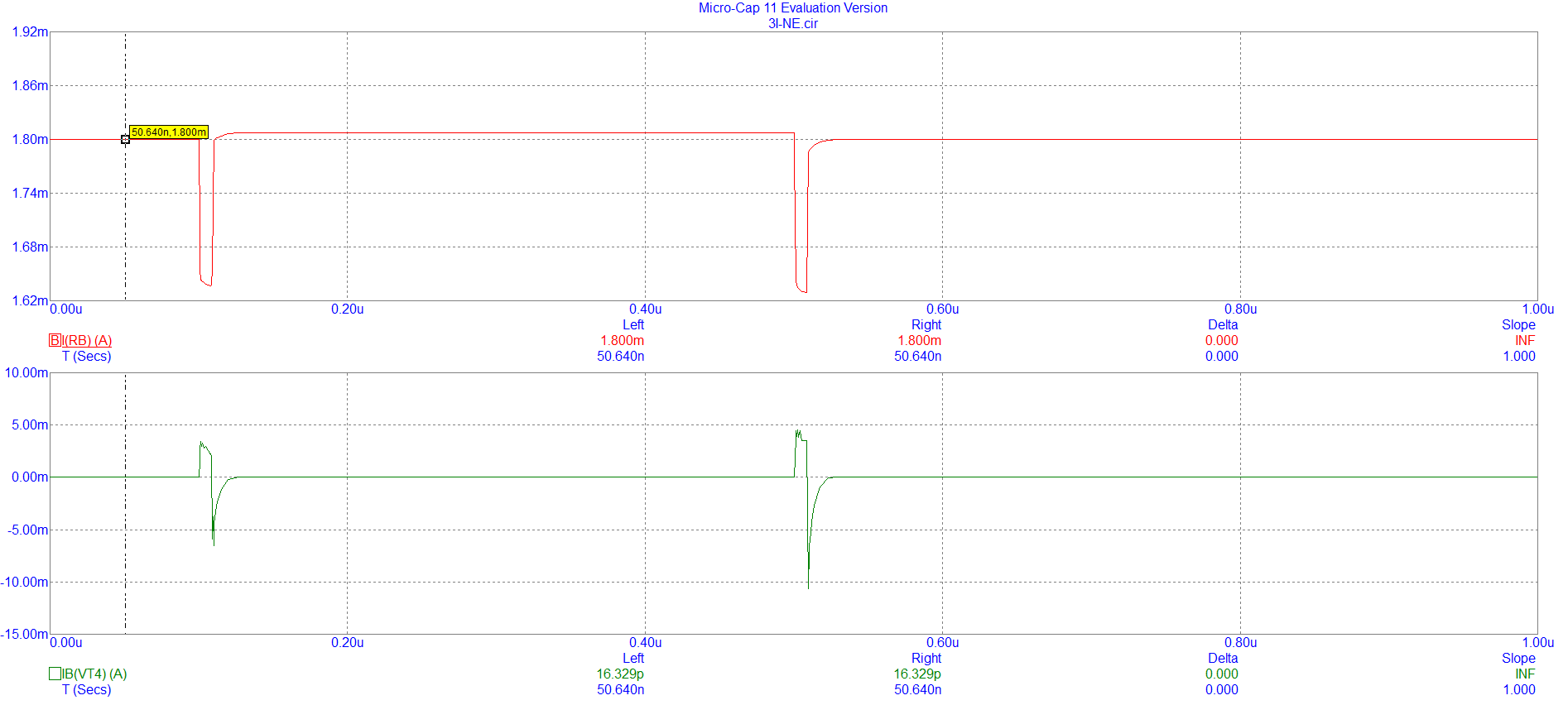
**Ic(VT1), Ic(VT2), Ic(VT3)**



**Ie(VT1), Ie(VT2), Ie(VT3)**



**Ib, Ic**

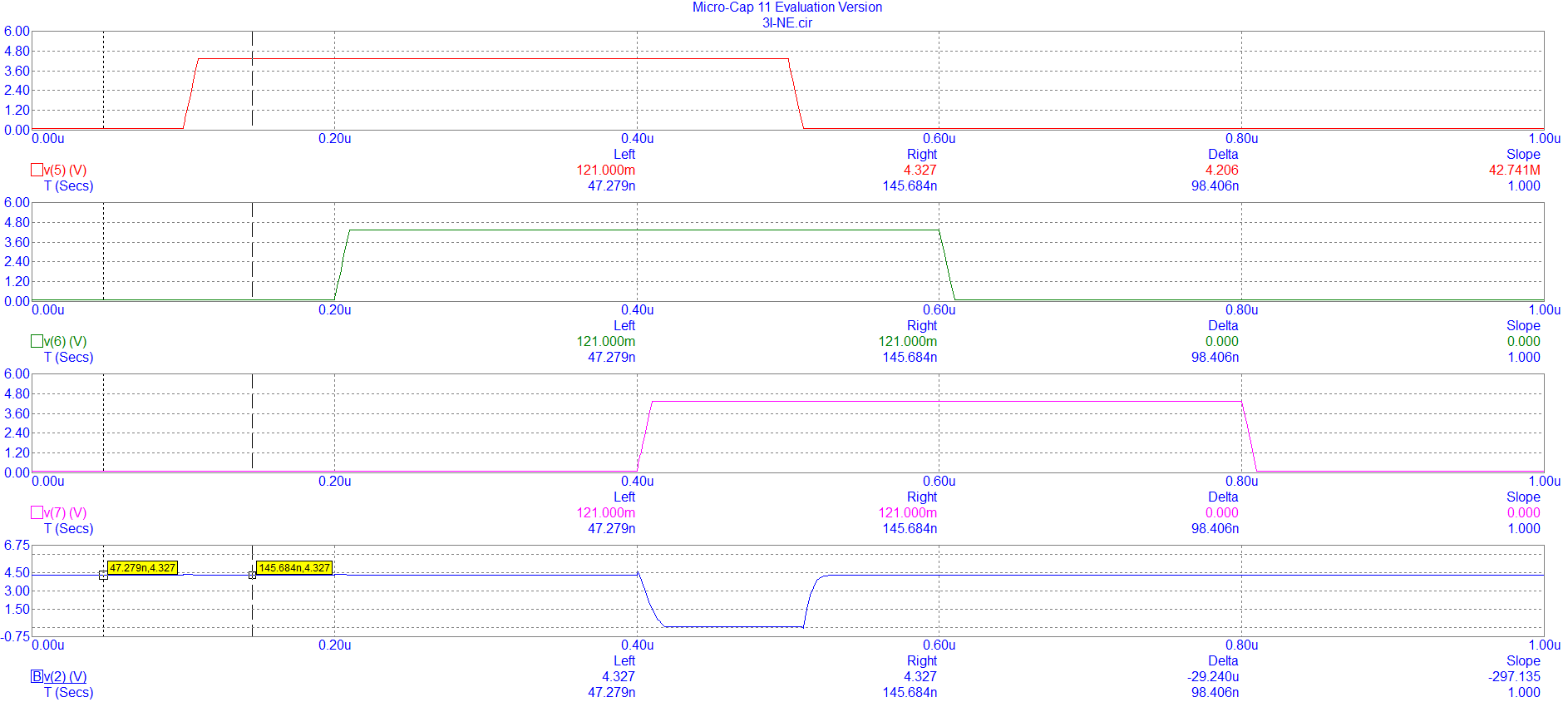


**Таблиця всіх можливих комбінацій вхідних рівнів (реальні значення):**

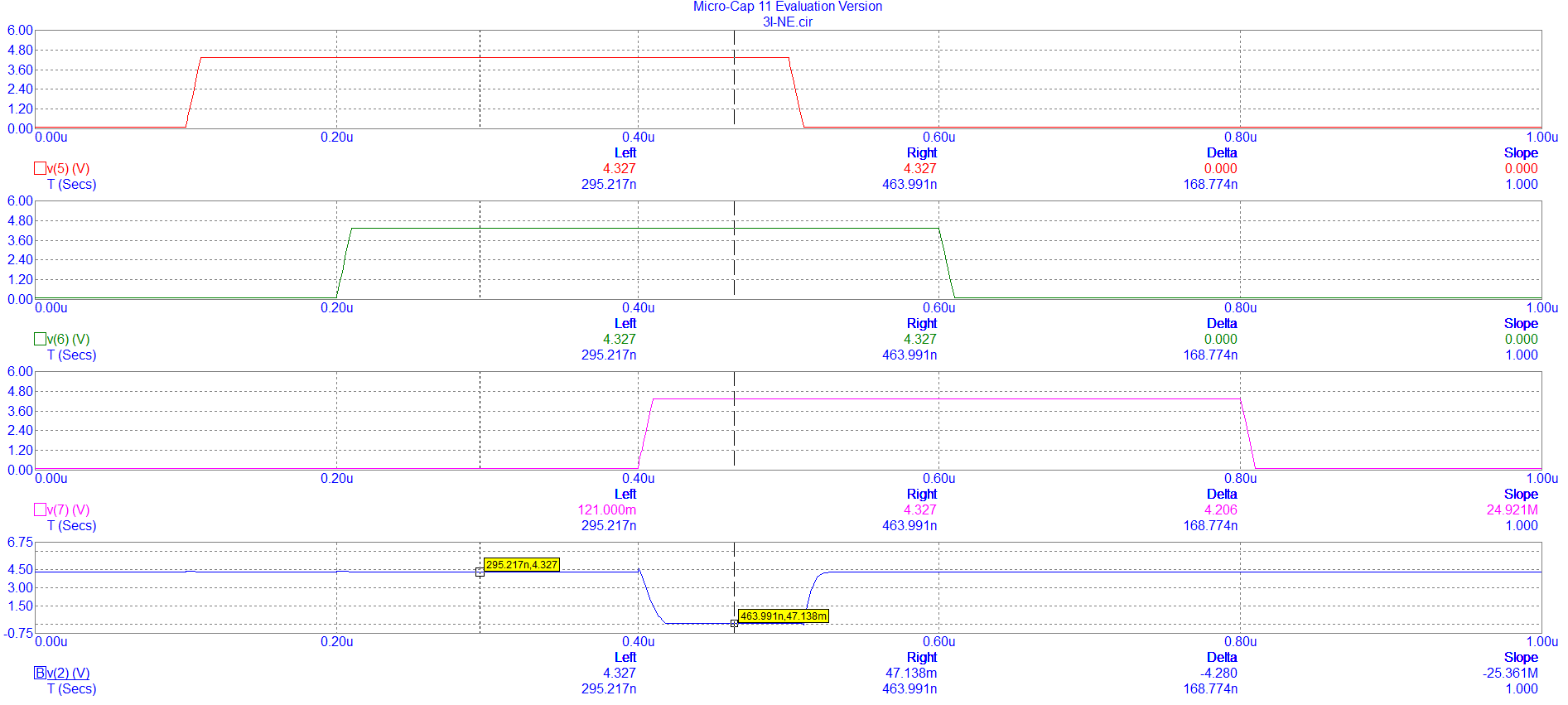
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **X1** | **X2** | **X3** | **Y** | **X1, В** | **X2, В** | **X3, В** | **Y, В** |
| L | L | L | H | 0,121 | 0,121 | 0,121 | 4,327 |
| L | L | H | H | 0,121 | 0,121 | 4,327 | 4,327 |
| L | H | L | H | 0,121 | 4,327 | 0,121 | 4,327 |
| L | H | H | H | 0,121 | 4,327 | 4,327 | 4,327 |
| H | L | L | H | 4,327 | 0,121 | 0,121 | 4,327 |
| H | L | H | H | 4,327 | 0,121 | 4,327 | 4,327 |
| H | H | L | H | 4,327 | 4,327 | 0,121 | 4,327 |
| H | H | H | L | 4,327 | 4,327 | 4,327 | 0,047 |

**Перевірка роботи функції**

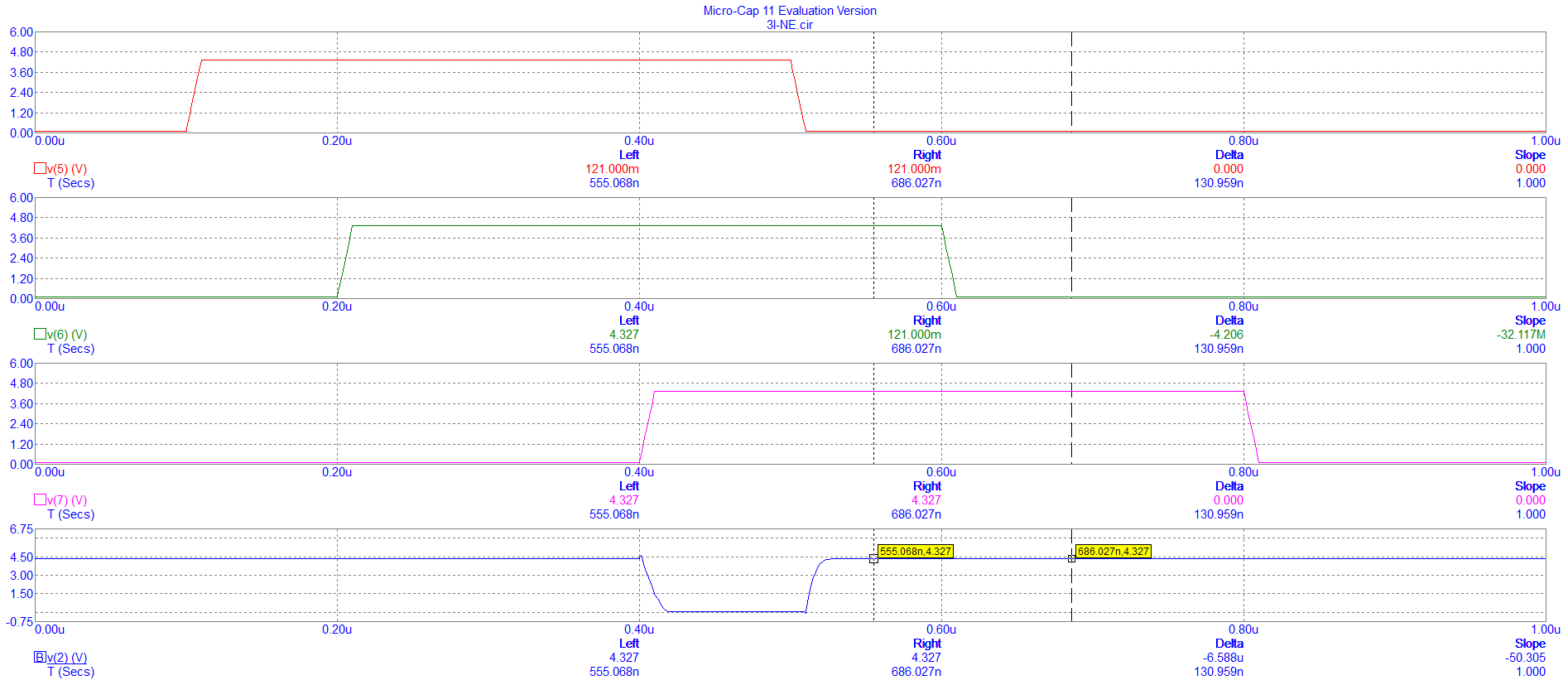
**Стани входів:** Left – L L L Right – H L L



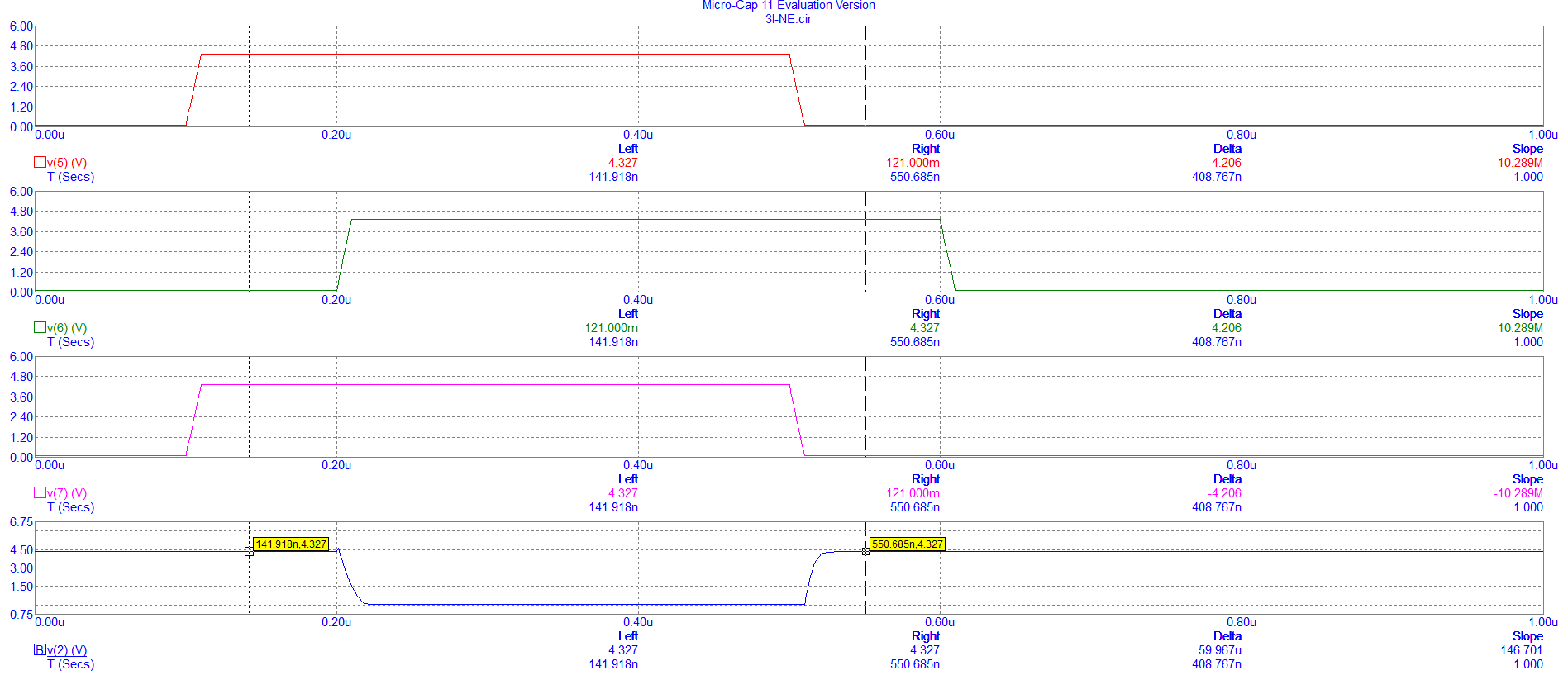
**Стани входів:** Left – H H L Right – H H H



**Стани входів:** Left – L H H Right – L L H



**Стани входів:** Left – H L H Right – L H L



**Висновок:**

Роботу побудованої схеми ТТЛ 3І-НЕ регулюють 4 транзистори: вхідні VT1, VT2, VT3, та ключовий VT4. Вхідні транзистори завжди відкриті (з джерела завжди подається струм) працюють в режимі насичення. Якщо на один з входів подати низький рівень Uвх0, то відповідний вхідний транзистор буде працювати в прямому режимі, якщо подати високий рівень Uвх1 – працюватиме в інверсному режимі. Якщо на вхід схеми подати хоча б один низький рівень, то струм на базу VT4 не проходитиме, на виході встановиться високий рівень. Лише у випадку, коли на всі входи подається високий рівень, на виході встановлюється логічний «0».

При перевірці роботи схеми встановлено, що вона коректно реалізує задану функцію. Реальні та розрахункові значення відрізняються на незначні величини. Це пояснюється тим, що вольт-амперна характеристика обраного транзистора не постійна. Крім того, при розрахунках значення резисторів були округлені та опущений невеликий струм розсмоктування. Для кращого контролю цього струму повинен бути використаний додатковий резистор зміщення, який ми не додавали до схеми, оскільки весь струм розсмоктування виходить через входи схеми. Відсутність резистору зміщення не впливає на перемикання схеми та рівень напруги на виході.

**Завдання №2**

На базі дослідженої базової схеми 3І-НЕ побудувати і дослідити модель синхронного тригера JK (синхронізація за переходом з низького рівня в високий) з інверсним асинхронним входом R та прямим асинхронним входом S. Використовуючи тригер даного типу, побудувати схему, яка забезпечує ділення вхідної частоти на шістнадцять.

**Розв’язок**

Тригер – пристрій, побудований на логічних елементах, що має два стійких стани. Тригер складається з бістабільної схеми та схеми керування. Розрізняють два види бістабільних схем – на елементах І-НЕ та на елементах АБО-НЕ.

Тригери найчастіше класифікують за функціональним призначенням та за способом запису інформації.

Функціональне призначення тригера характеризує таблиця переходів тригера, яка реалізує функцію , де – функція переходів тригера, *Q(t)* – значення вихідного сигналу в момент часу t, *Q(t+1)* –значення вихідного сигналу в момент часу (t +1), *X(t)* – значення вхідних інформаційних сигналів в момент часу t.

За способом запису інформації тригери поділяють на синхронні та асинхронні. Асинхронні тригери не мають тактового входу, тому запис інформації в такі тригери здійснюється безпосередньо надходженням інформаційних сигналів. Синхронні тригери мають тактові входи. Розрізняють синхронні тригери, керовані рівнем тактового сигналу та перепадом (фронтом) тактового сигналу. Тригери, керовані перепадом тактового сигналу, називають тригерами з внутрішньою затримкою.

Синхронні тригери, керовані рівнем тактового сигналу, перемикаються відповідно до таблиці переходів тригера, якщо на синхровході має місце активний рівень тактового сигналу. До складу таких тригерів входить лише одна бістабільна схема. Недоліком тригерів, керованих рівнем тактового сигналу, є те, що протягом дії активного рівня тактового сигналу тригер може перемикатися стільки разів, скільки разів при цьому змінюються сигнали на інформаційних входах тригера.

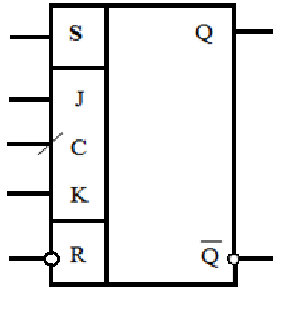
Тригери, керовані перепадом тактового сигналу (із внутрішньою затримкою) містять у своєму складі дві або три бістабільні схеми. Вони позбавлені недоліку, притаманному тригерам, керованим рівнем тактового сигналу, оскільки переходять у новий стан лише у момент перепаду (переходу з 0 в 1 або з 1 в 0) тактового сигналу. Якщо тригер змінює свій стан при переході тактового сигналу з 0 в 1, то вважають, що тригер спрацьовує за переднім фронтом тактового сигналу, а якщо при переході тактового сигналу з 1 в 0 – за заднім фронтом.

У схемах тригерів, керованих перепадом (фронтом) синхросигналу зміна інформаційних сигналів при встановленому рівні тактового сигналу не може спричинити перехід тригера у новий стан. При цьому, звичайно, можуть викликатися перемикання деяких логічних елементів схеми, однак на стан тригера це не впливає.

За завданням потрібно побудувати модель синхронного тригера JK (синхронізація за переходом з низького рівня в високий) з інверсним асинхронним входом R та прямим асинхронним входом S.

***JK-тригер*** - (J – jump (англ. – «стрибнути»; K – kill (англ. – «вбити») має три входи: два інформаційні – J, K і один синхронізуючий – C. Особливістю JK-тригера є відсутність забороненого стану, при поданні двох активних рівнів на інформаційні входи на інформаційному виході Q отримуємо інверсію попереднього сигналу. Входи R, S відповідають за встановлення тригера в початковий стан. R встановлює тригер в «0», S – в «1». Для встановлення тригера в «0» потрібно подати короткий активний рівень на вхід R, для встановлення в «1» на вхід S. Оскільки вхід S – прямий, то активний рівень для нього буде логічна одиниця. Вхід R – інверсний, для нього активним рівнем буде логічний нуль.

Цей тригер побудуємо за MS – схемою (на основі двох бістабільних схем) з інвертором у колі синхросигналу. Для реалізації перемикання тригера з «0» в «1» приєднаємо на вхід синхросигналу С інвертор, що дозволить виконати перемикання за переднім фронтом.

***Умовно-графічне зображення тригера:***

Розглянемо побудову синхронного тригера JK з асинхронними входами RS на елементах І-НЕ:

Таблиця переходів JK –тригера та таблиця функцій збудження бістабільної схеми на елементах І-НЕ:

|  |  |  |
| --- | --- | --- |
| **J(t)** | **K(t)** | **Q(t+1)** |
| 0 | 0 | **Q(t)** |
| 0 | 1 | **0** |
| 1 | 0 | **1** |
| 1 | 1 |  |

|  |  |  |  |
| --- | --- | --- | --- |
| **Q(t)** | **Q(t+1)** | **F1** | **F2** |
| 0 | 0 | 1 | \* |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | \* | 1 |

При С = 0 тригер не змінює свого стану, Q(t+1)=Q(t). При С = 1 тригер повинен функціонувати відповідно з таблицею переходів JK-тригера. Тому, аналізуючи значення J(t) і K(t) в кожному рядку повної таблиці переходів, заповнюємо стовпчик Q(t+1) , при цьому користуємося таблицею переходів. Після цього користуючись таблицею для елементів І-НЕ заповнюємо стовпчики F1 та F2. Крім того в таблиці враховуємо роботу асинхронних входів RS.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Повна таблиця переходів JK-тригера** | | | | | | | | | |
|  | **S** | **C** | **J(t)** | **K(t)** | **Q(t)** | **Q(t+1)** | **F1** | **F2** | **Дія** |
| 0 | 1 | \* | \* | \* | \* | \* | \* | \* | Заборонений стан |
| 0 | 0 | \* | \* | \* | \* | 0 | \* | \* | Встановлення в «0» |
| 1 | 1 | \* | \* | \* | \* | 1 | \* | \* | Встановлення в «1» |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | \* | Збереження інформації |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | \* | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | \* |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | \* | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | \* |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | \* | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | \* |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | \* | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | \* | Робота тригера |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | \* | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | \* |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | \* | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |

Побудуємо діаграми Вейча для функцій F1 та F2:

Діаграма для F1: Діаграма для F2:

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | 1 | \* |
| 1 | 0 | 0 | \* |
| \* | 1 | 1 | \* |
| \* | 1 | 1 | \* |

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | \* | \* | 1 |
| 0 | 1 | 1 | 1 |
| 1 | \* | \* | 1 |
| 1 | \* | \* | 1 |



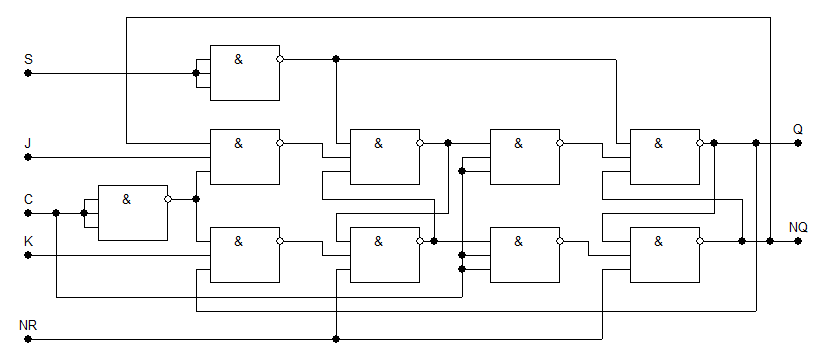
Запишемо і перетворимо функції F1 та F2:



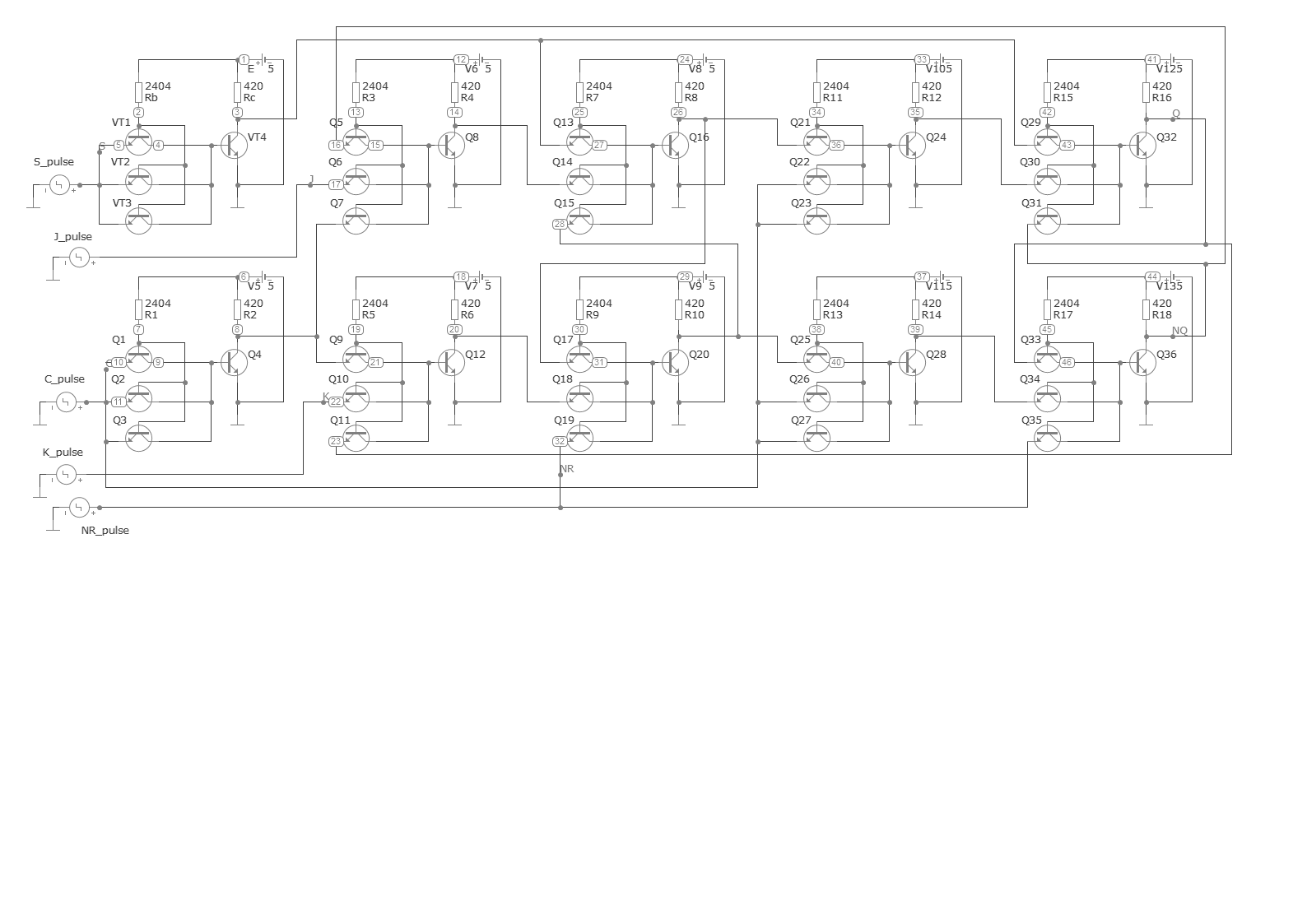


Знаючи функції збудження F1 і F2 ми можемо побудувати схему керування, а отже і сам тригер.

***Принципова схема*** ***JK-тригера, побудованого на основі MS-схеми із забороненими зв’язками на елементах І-НЕ:***



Побудуємо електронну схему JK-тригера. Для цього будемо використовувати **Micro-Cap 10.**

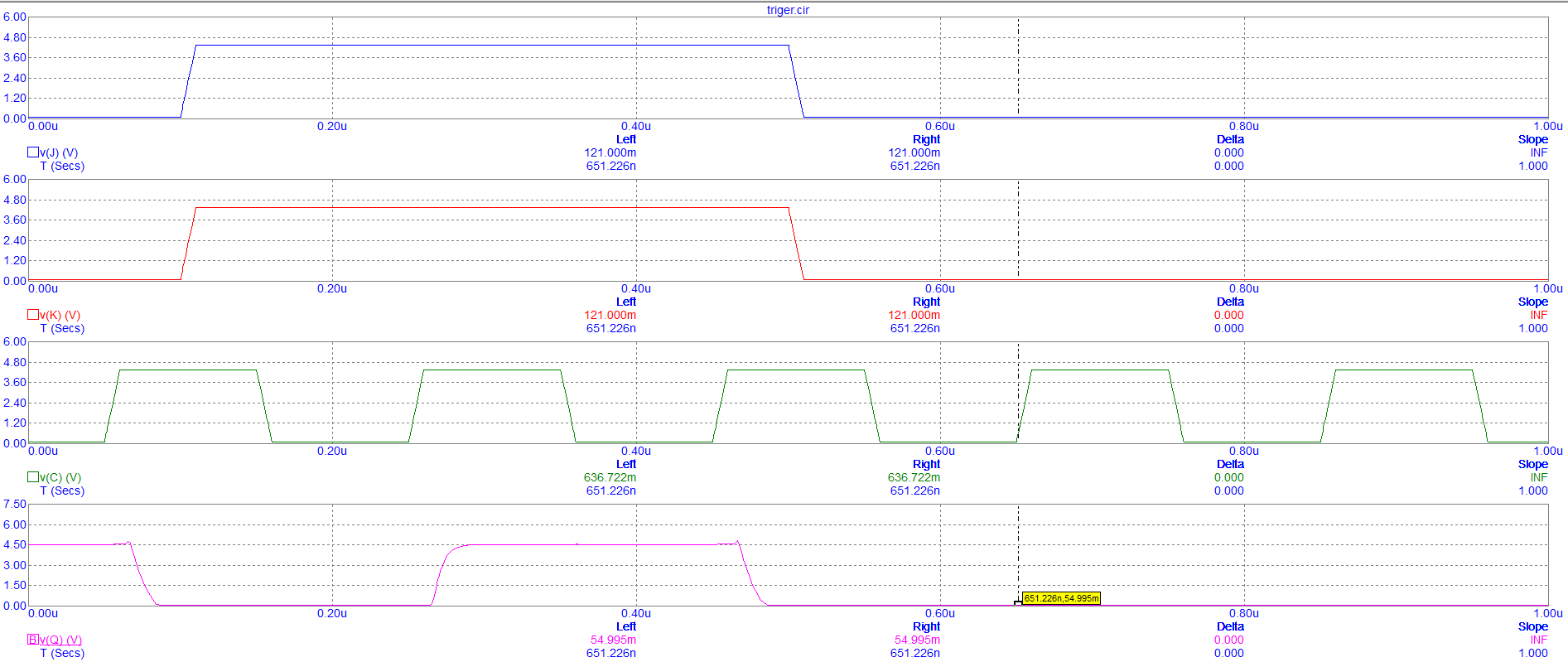
***Електронна схема синхронного JK-тригера ***

**Таблиця переходів JK –тригера:**

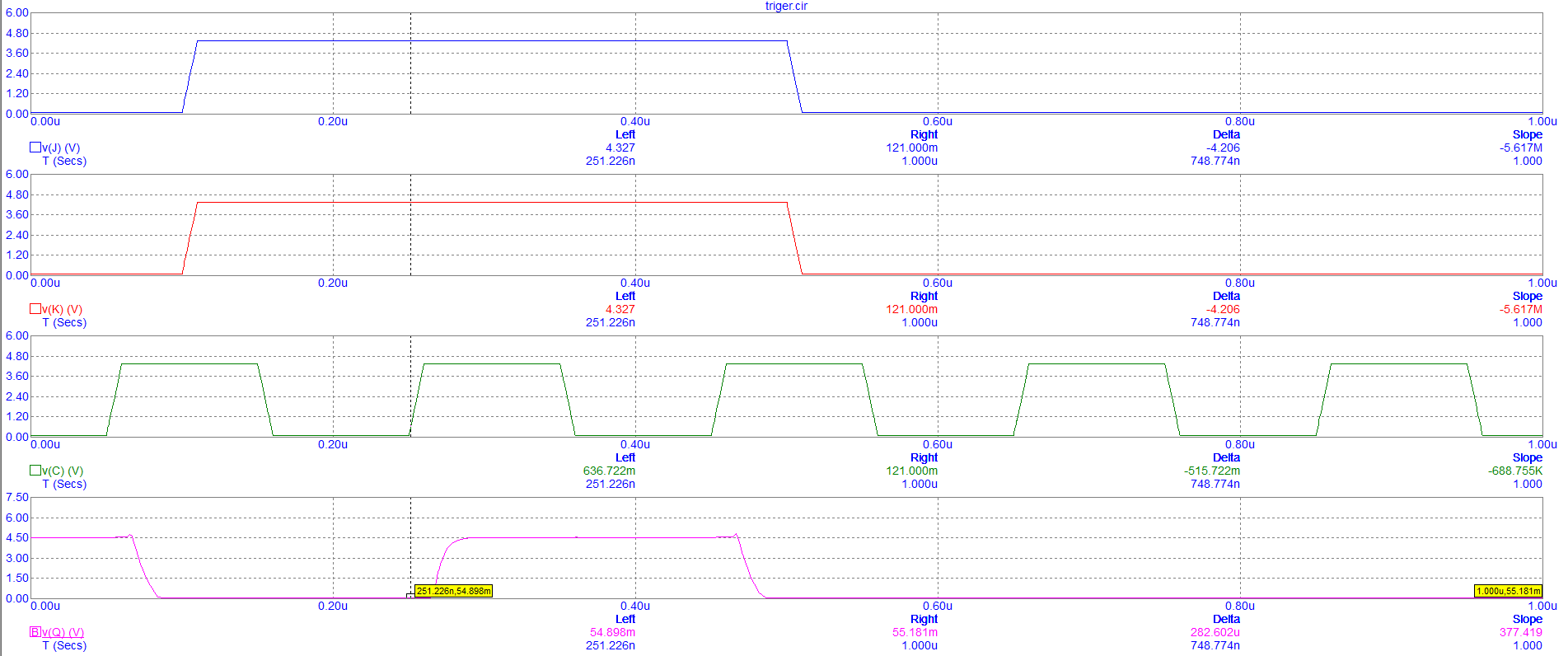
|  |  |  |
| --- | --- | --- |
| **J(t)** | **K(t)** | **Q(t+1)** |
| 0,121 | 0,121 | **Q(t)** |
| 0,121 | 4,327 | **4,59** |
| 4,327 | 0,121 | **0,058** |
| 4,327 | 4,327 |  |

**Перевірка роботи тригера**

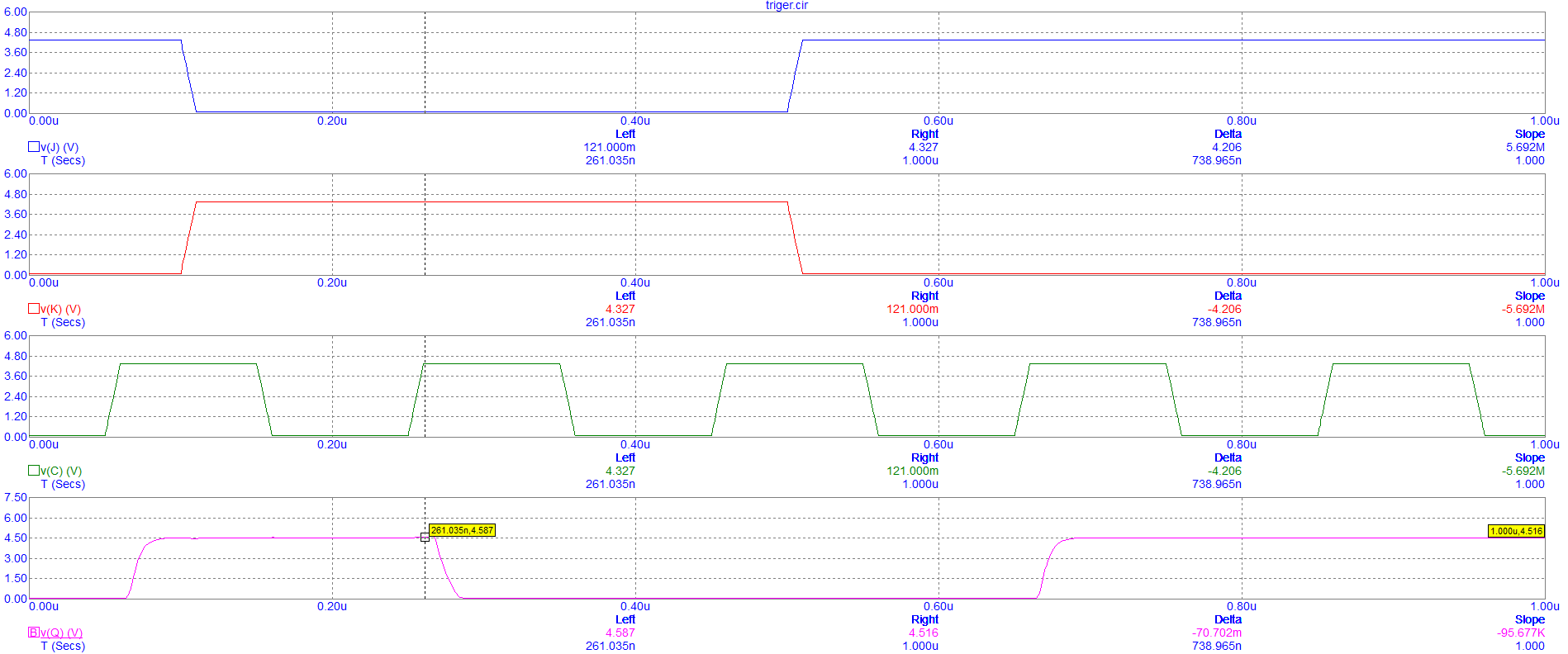
1. J = 0, K=0.



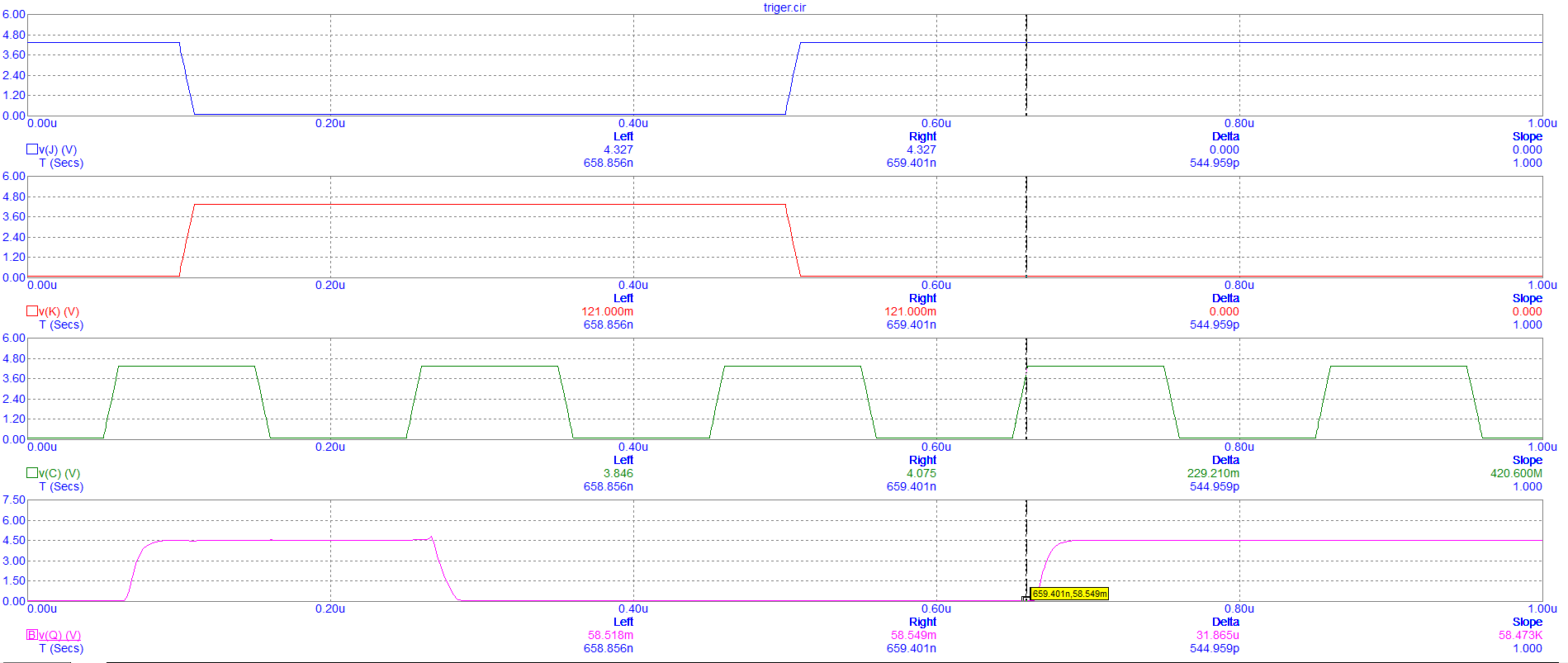
1. J = 1, K = 1.

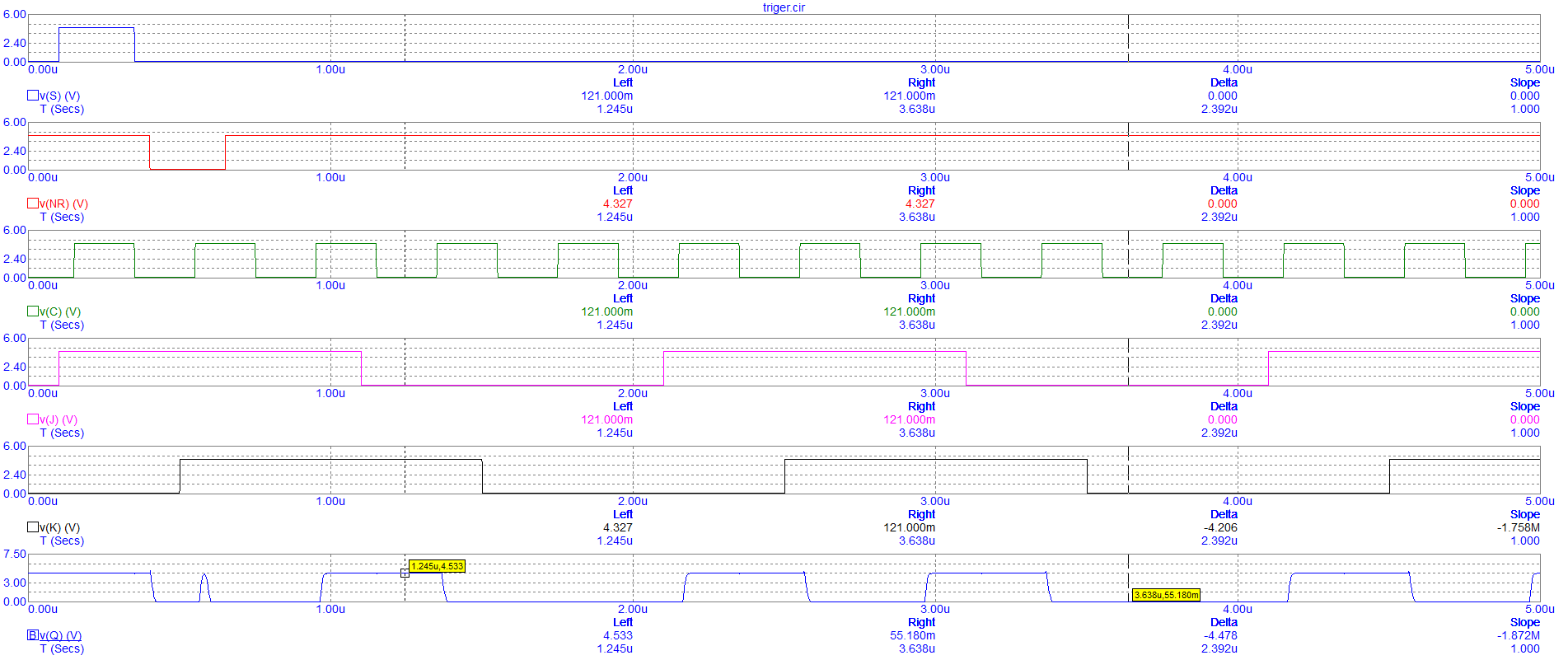


1. J = 0, K = 1.



1. J = 1, K = 0.



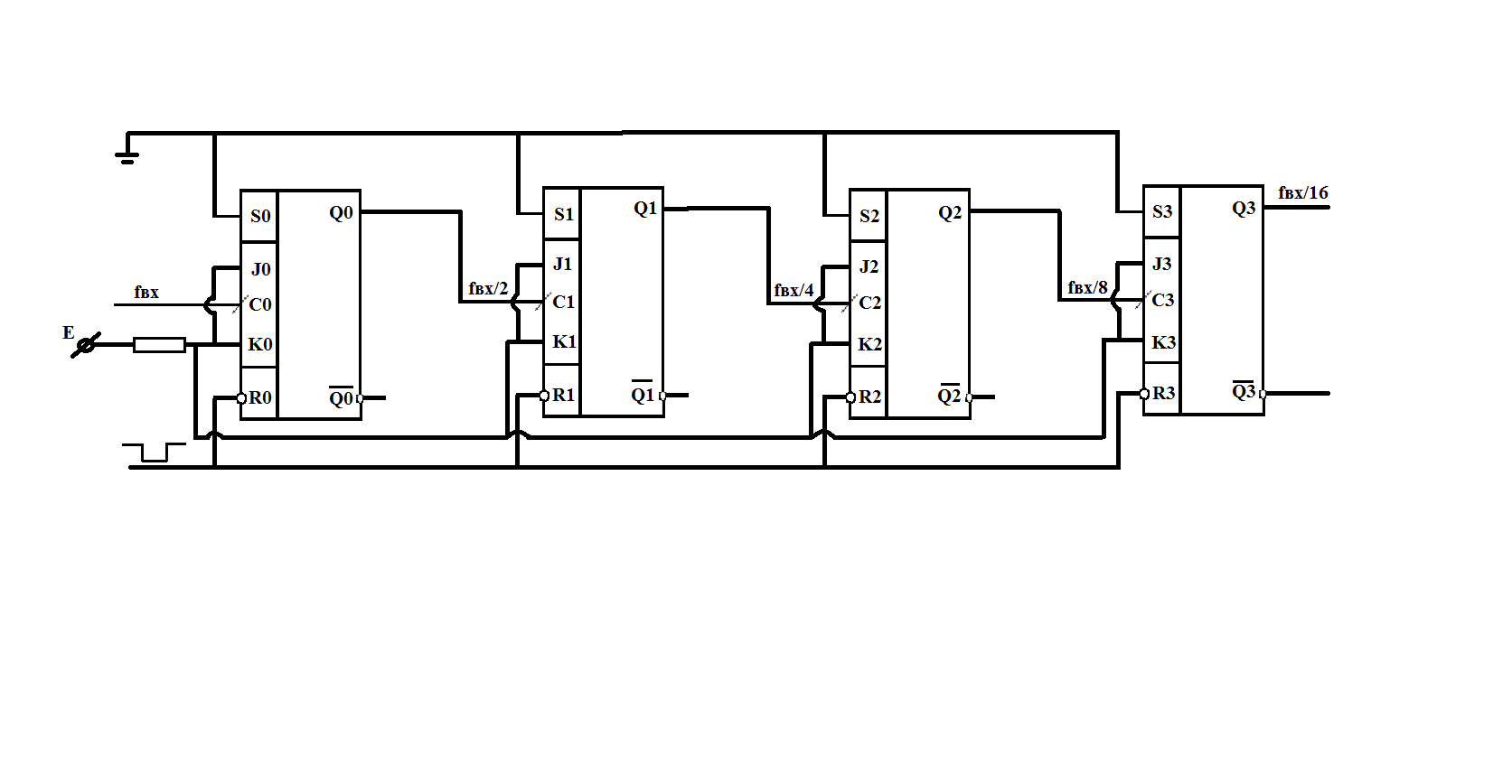
***Приклад*** ***безперервної роботи синхронного тригера JK (синхронізація за переходом з низького рівня в високий) з інверсним асинхронним входом R та прямим асинхронним входом S***

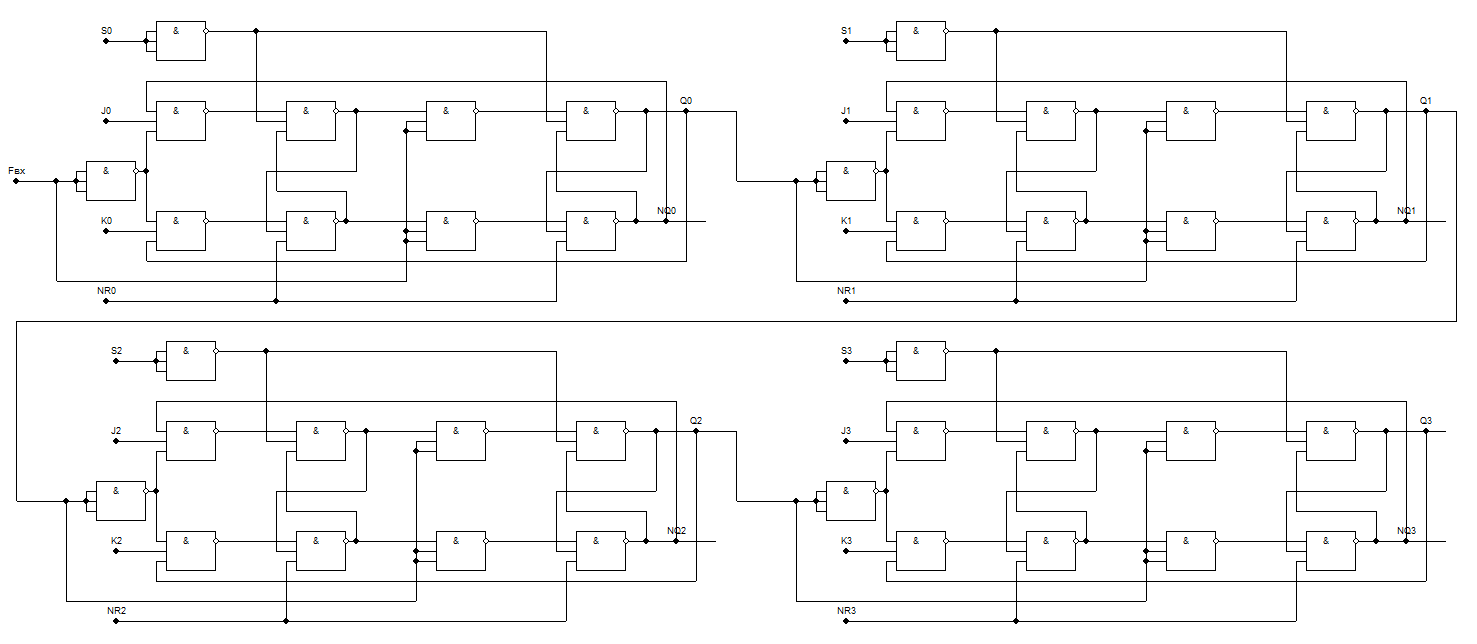
За завданням необхідно побудувати схему ділення вхідної частоти на 16 за допомогою вже побудованого JK тригера.

Щоб поділити вхідну частоту на 16 необхідно 4 тригера, кожний з яких ділитиме вхідну частоту на 2. Ці тригери треба послідовно з’єднати, подаючи на синхросигнал кожного наступного тригера частоту з виходу попереднього.

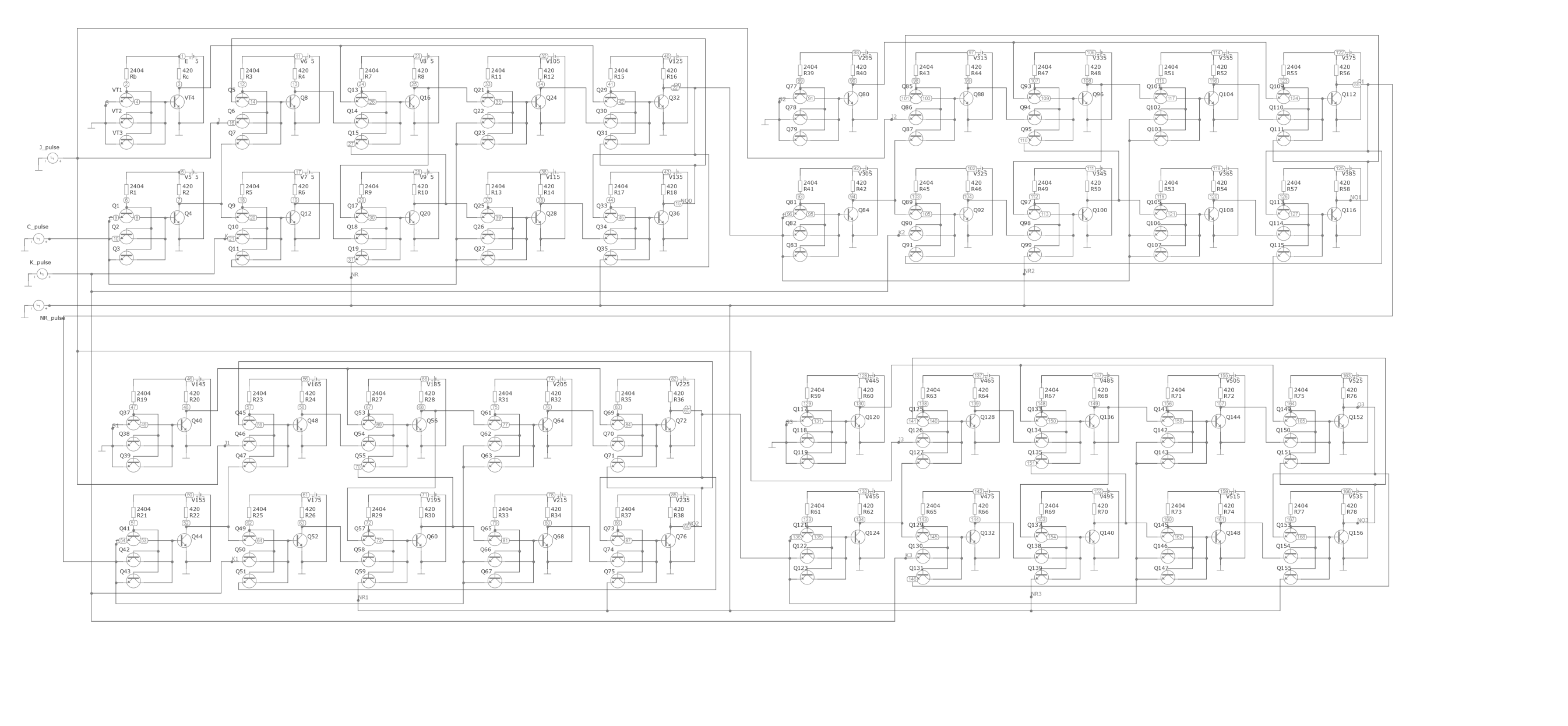
В завданні не зазначено, які початкові стани мають бути у тригерів, отже встановимо всі тригери в «0». Для цього використаємо асинхронний інверсний вхід R. Подамо на нього короткочасно активний рівень – логічний «0». На асинхронний прямий вхід S постійно подаватимемо неактивний рівень – логічний «0».

Для того, щоб кожний тригер ділив вхідну частоту на 2 необхідно на входи J та K постійно подавати високий рівень.

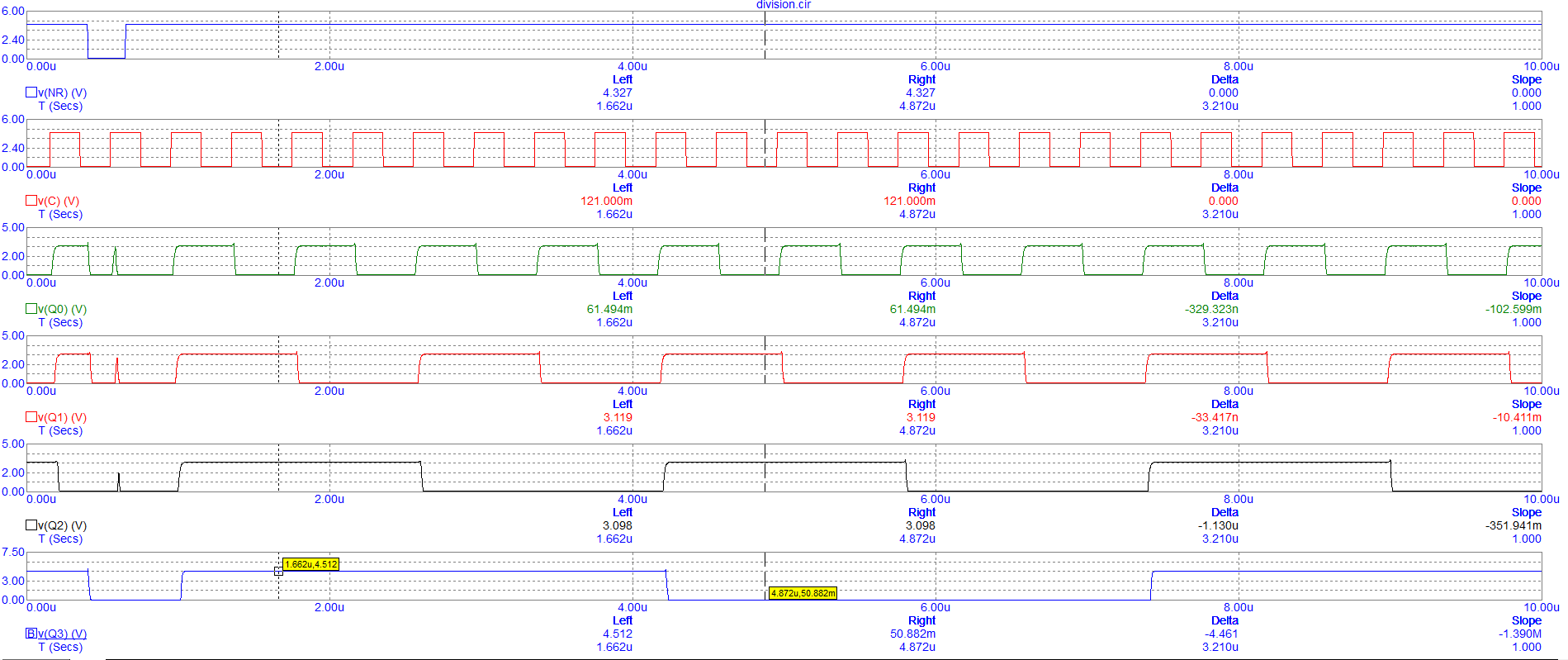
***Умовно графічне зображення ділення вхідної частоти на 16***

***Принципова схема*** ***ділення вхідної частоти на 16 за допомогою JK-тригера:***

***Електронна схема ділення вхідної частоти на 16***

****

***Часова діаграма ділення вхідної частоти на 16***



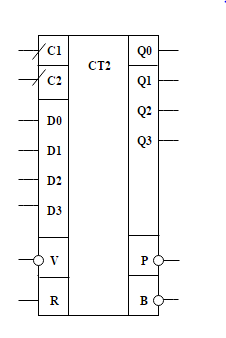
**Висновок:**

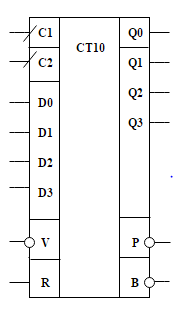
В даному завданні на базі схеми 3І-НЕ побудували та дослідили модель синхронного тригера JK (синхронізація за переходом з низького рівня в високий) з інверсним асинхронним входом R та прямим асинхронним входом S. При перевірці роботи тригера встановлено, що він працює відповідно до таблиці переходів. Однак рівень виходу логічної одиниці та логічного нуля дещо вищий заданого. Це зумовлено відсутністю резисторів навантаження у схемах 3І-НЕ, з яких складається тригер.

Крім того в завданні використовуючи тригер даного типу, побудували схему, що забезпечує ділення вхідної частоти на шістнадцять. Для цього використали 4 тригери, кожний з яких ділить вхідну частоту на 2. Як видно з часової діаграми схема ділення працює коректно. У побудованій схемі, як і в тригері рівні виходу виявились вище, ніж у дослідженій схемі 3І-НЕ, що також пояснюється відсутністю резисторів навантаження.

**Завдання №3**

Побудувати схему, яка забезпечить видачу керуючого сигналу на виході переносу кінцевого лічильника трьох послідовно з‘єднаних лічильників(двійковий-декадний-декадний) за 33-ім синхронізуючим сигналом.

**Умовно-графічне зображення лічильника:**



**Призначення входів та виходів:**

* **C1, С2** – керуючі синхровходи (С1 – для прямої лічби, C2 – для зворотної);
* **D0, D1, D2, D3** – інформаційні входи для запису числа, з якого починається лічба;
* **V** – дозвіл для запису інформації з входів D0 – D3;
* **R** – вхід для скидання лічильників в «0»;
* **Q0, Q1, Q2, Q3** – інформаційні виходи;
* **P** – вихід переносу;
* **B** – вихід займу (позики).

**Опис роботи лічильника:**

При подачі на входи D0 – D3 відповідних сигналів задається початковий стан лічильника (число, з якого починається лічба) . Для того, щоб вміст інформаційних входів переписався на виходи Q0 - Q3, подається низький рівень на вхід V (оскільки вхід інверсний). Доки даний вхід буде активний, зміст входів D0 – D3 буде дублюватися на виходах Q0 - Q3.

Якщо синхросигнал подається на вхід С1, лічильник працює у режимі додавання. При кожному наступному синхросигналі значення Q0 - Q3 буде зростати на 1. Якщо ж синхросигнал подається на вхід С2, лічильник працює на віднімання. На виходах Q0 - Q3 значення буде зменшуватися на 1 при кожному наступному синхросигналі.

У даному завданні використовуються два види лічильника: двійковий та декадний.

Для декадного лічильника, коли значення Q0 - Q3 стане 1001 (десяткове 9), то в режимі додавання при наступному синхросигналі значення Q0 - Q3 стане рівним 0000, що відповідає значенню десяткового нуля, а на вході переносу Р буде згенерований керуючий сигнал переносу. При роботі в режимі віднімання, на виході В буде згенерований керуючий сигнал позики за умови, що синхросигнал прийшов у момент, коли на виходах Q0 - Q3 було значення десяткового нуля. При цьому значення лічильника встановиться у десяткове 9, тобто двійкове 1001.

**Таблиця роботи декадного реверсивного лічильника:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **входи** | | | | | **виходи** | | | |
| **R** | **V** | **C1** | **C2** | **D3-D0** | **Qi3-Qi0** | **Qi+13-Qi+10** | **P** | **B** |
| L | H | H | H | \* | q3 q2 q1 q0 | q3 q2 q1 q0 | H | H |
| H | \* | \* | \* | \* | \* | L L L L | H | H |
| L | L | H | H | d3 d2 d1 d0 | \* | d3 d2 d1 d0 | H | H |
| L | H | L | H | \* | q’3 q’2 q’1 q’0 | q’3 q’2 q’1 q’0 | H | H |
| L | H | ARROW | H | \* | q’3 q’2 q’1 q’0 | q’3 q’2 q’1 (q’0+1) | H | H |
| L | H | L | H | \* | H L L H | H L L H | L | H |
| L | H | ARROW | H | \* | H L L H | L L L L | ARROW | H |
| L | H | H | L | \* | q’’3 q’’2 q’’1 q’’0 | q’’3 q’’2 q’’1 q’’0 | H | H |
| L | H | H | ARROW | \* | q’’3 q’’2 q’’1 q’’0 | q’’3 q’’2 q’’1 (q’’0-1) | H | H |
| L | H | H | L | \* | L L L L | L L L L | H | L |
| L | H | H | ARROW | \* | L L L L | H L L H | H | ARROW |

Для двійкового буде дещо інша ситуація. Коли значення Q0 - Q3 стане 1111 (десяткове 15), то в режимі додавання при наступному синхросигналі значення Q0 - Q3 стане рівним 0000, що відповідає значенню десяткового нуля, а на вході переносу Р буде згенерований керуючий сигнал переносу. При роботі в режимі віднімання, на виході В буде згенерований керуючий сигнал позики за умови, що синхросигнал прийшов у момент, коли на виходах Q0 - Q3 було значення десяткового нуля. При цьому значення лічильника встановиться у десяткове 15, тобто двійкове 1111.

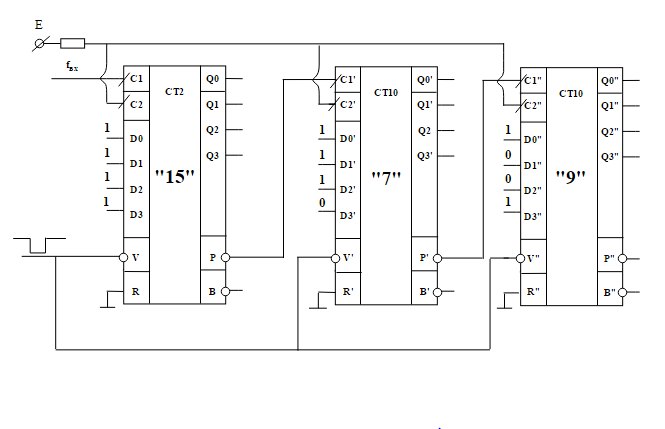
**Таблиця роботи двійкового реверсивного лічильника:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **входи** | | | | | **виходи** | | | |
| **R** | **V** | **C1** | **C2** | **D3-D0** | **Qi3-Qi0** | **Qi+13-Qi+10** | **P** | **B** |
| L | H | H | H | \* | q3 q2 q1 q0 | q3 q2 q1 q0 | H | H |
| H | \* | \* | \* | \* | \* | L L L L | H | H |
| L | L | H | H | d3 d2 d1 d0 | \* | d3 d2 d1 d0 | H | H |
| L | H | L | H | \* | q’3 q’2 q’1 q’0 | q’3 q’2 q’1 q’0 | H | H |
| L | H | ARROW | H | \* | q’3 q’2 q’1 q’0 | q’3 q’2 q’1 (q’0+1) | H | H |
| L | H | L | H | \* | H H H H | H H H H | L | H |
| L | H | ARROW | H | \* | H H H H | L L L L | ARROW | H |
| L | H | H | L | \* | q’’3 q’’2 q’’1 q’’0 | q’’3 q’’2 q’’1 q’’0 | H | H |
| L | H | H | ARROW | \* | q’’3 q’’2 q’’1 q’’0 | q’’3 q’’2 q’’1 (q’’0-1) | H | H |
| L | H | H | L | \* | L L L L | L L L L | H | L |
| L | H | H | ARROW | \* | L L L L | H H H H | H | ARROW |

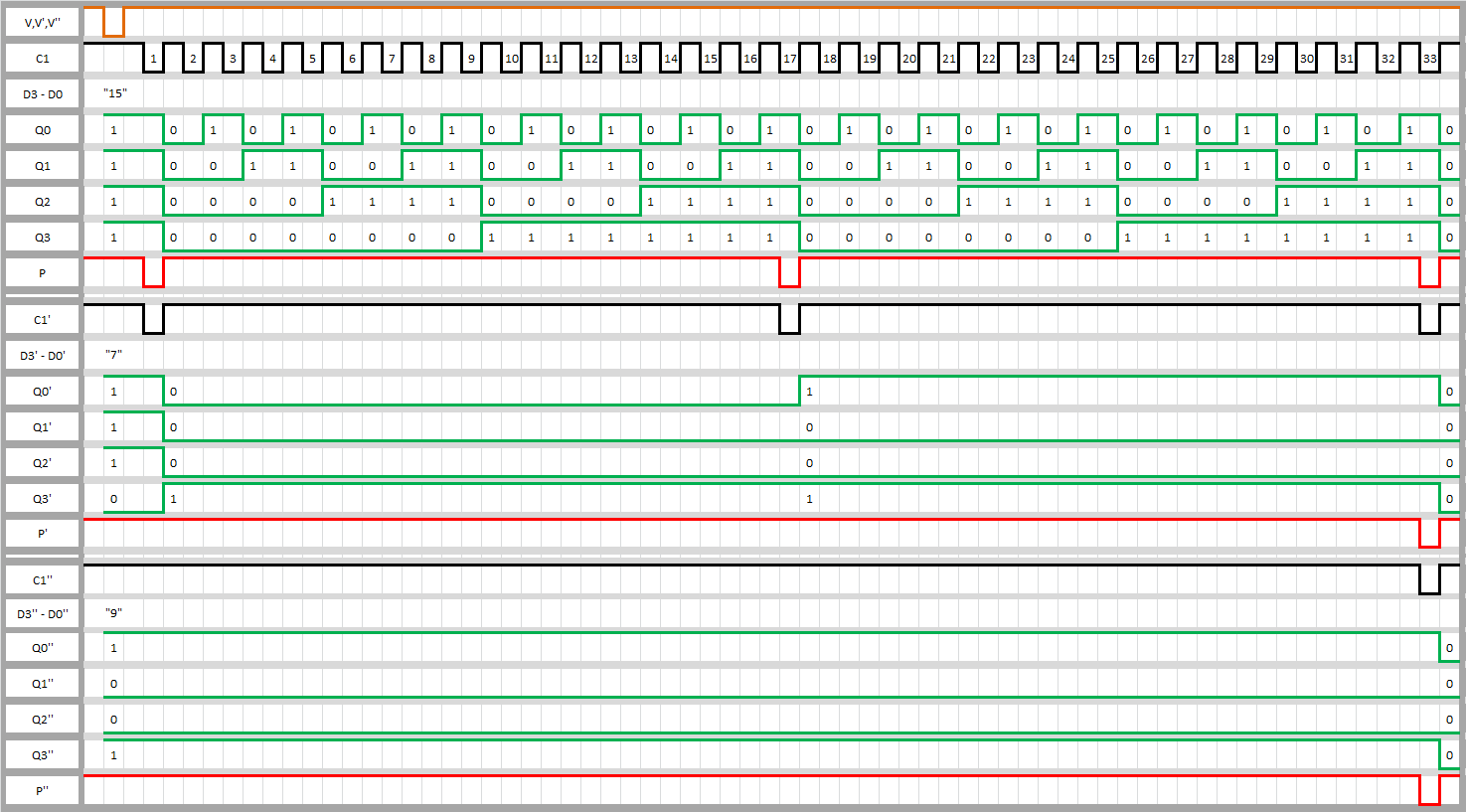
В даному завданні при послідовному з‘єднанні трьох лічильників необхідно забезпечити видачу керуючого сигналу на виході переносу. Це означає, що лічильники необхідно з‘єднати на додавання, тобто подати вхідну частоту на перший вхід С1, а виходи переносу P лічильників з‘єднати з входами С1наступних лічильників. На всі входи С2 слід подати постійний високий рівень. На входи V – короткий активний рівень для запису в лічильник початкового числа. Оскільки вхід V – інверсний, це відповідає подачі короткого низького рівня. На вхід R, що скидає лічильник в 0, треба подати постійний неактивний рівень (низький, тому що R – прямий), оскільки в даному випадку лічба починається з числа, що записується на входи D0-D3.

Для того, щоб отримати керуючий сигнал на виході переносу за заданим синхросигналом, необхідно визначити, яке початкове число повинно бути записане в лічильник. Максимальна кількість станів з’єднаних лічильників - 1600. Маємо записати число N = 1600-33=1567. Отже, в останній лічильник, що рахує 160-ки треба записати 9, тоді залишається 1567-9\*160=127. В другий лічильник, що рахує 16-ки маємо записати 7. Залишається 127-7\*16 = 15. Отже в перший лічильник записуємо 15.

**Схема з’єднання трьох лічильників на додавання**



**Часова діаграма видачі керуючого сигналу на виході переносу кінцевого лічильника трьох послідовно з‘єднаних лічильників(двійковий-декадний-декадний) за 33-ім синхронізуючим сигналом.**



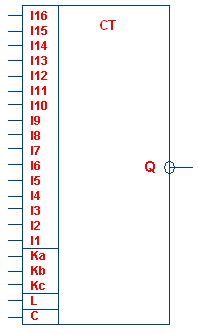
**Завдання №4**

**З**адати режим роботи програмованого лічильника. Коефіцієнт ділення вхідної частоти N=14563.

**Розв’язок**

Для завдання використаємо програмований лічильник, що ділить вхідну частоту на коефіцієнти від 3 до 21327 .

Умовне графічне зображення лічильника:



**Призначення входів:**

* N – коефіцієнт ділення вхідної частоти.
* M – модуль, дорівнює 2, 4, 5, 8, 10, в залежності від реалізації.
* C – синхровхід.
* Q – вихід.

Входи J1÷J16 – інформаційні входи, за якими формуються значення для коефіцієнтів P1÷P5. J16 – старший розряд, J1 – молодший. Входи Ka, Kb, Kc – для формування значення модуля М. Вхід L – керуючий, для задання режиму роботи (одноразове або багаторазове ділення).

Секції базуються на 4-розрядних двійкових лічильниках, які працюють в режимі віднімання. Інформація на входах J5÷J16, а відповідно до коефіцієнтів P2÷P4, може задаватись як від 0 до 9, так і від 0 до 15.

Для визначення коефіцієнта ділення використовується формула :

N = M (1000 \* P1 + 100 \* P2 + 10 \* P3 + P4) + P5, де:

* J1 – J4 поділяються між P1 та P5 ;
* J5 – J8 визначають P4 ;
* J9 – J12 визначають P3 ;
* J13 – J16 визначають P2 ;
* М – модуль, дорівнює 2, 4, 5, 8, 10, в залежності від реалізації.
* N – коефіцієнт ділення вхідної частоти, який розраховується виходячи з таблиці:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **M** | **P1max** | **P5max** | **Nmin** | **Nmax(P2**÷**P4, 0…9)** | **Nmax(P2**÷**P4, 0…15)** |
| 2 | 7 | 1 | 3 | 15999 | 17331 |
| 4 | 3 | 3 | 3 | 15999 | 18663 |
| 5 | 1 | 4 | 3 | 9999 | 13329 |
| 8 | 1 | 7 | 3 | 15999 | 21327 |
| 10 | 0 | 9 | 3 | 9999 | 16659 |

Під P5 завжди відводиться розмір для максимальної остачі при обраному модулі, тому, якщо значення P1 більше, ніж те, що можна записати у комірки, що залишились від P5, то одиниця зі старшого розряду P1 перенесеться в молодший P2. Якщо ж і P2 буде більше ніж максимально дозволене значення, то одиниця з цього розряду перейде в P3 тощо.

Таблиця режимів роботи:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **L** | **Ka** | **Kb** | **Kc** | **M** | **Режим роботи** |
| 0 | 1 | 1 | 1 | 2 | Багаторазовий |
| 0 | 0 | 1 | 1 | 4 |  |
| 0 | 1 | 0 | 1 | 5 |  |
| 0 | 0 | 0 | 1 | 8 |  |
| 0 | 0 | 1 | 0 | 10 |  |
| 1 | 1 | 1 | 1 | 2 | Одноразовий |
| 1 | 0 | 1 | 1 | 4 |  |
| 1 | 1 | 0 | 1 | 5 |  |
| 1 | 0 | 0 | 1 | 8 |  |
| 1 | 0 | 1 | 0 | 10 |  |
| \* | \* | 0 | 0 | \* | Заборонена лічба/перезапис |

Заданий коефіціент ділення N=14563. Відповідно для задання режиму роботи лічильника можна використати модулі М=2, М=4, М=8, М=10.

1. **М=2.**

Для визначення коефіцієнтів P1-P5 необхідно задане число N поділити на модуль М.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 4 | 5 | 6 | 3 | 2 |  |  |  |  |  |
| 1 | 4 |  |  |  | 7 | 2 | 8 | 1 | + | 1 |
|  |  | 5 |  |  |  |  |  |  |  |  |
|  |  | 4 |  |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  |  |  | 3 |  |  |  |  |  |  |
|  |  |  |  | 2 |  |  |  |  |  |  |
|  |  |  |  | 1 |  |  |  |  |  |  |

P1 = 7, P2 = 2, P3 = 8, P4 = 1, P5 = 1

Перевірка:

N = 7281 \* 2+1 = 2\*(1000\*7 + 100\*2 + 10\*8 + 1) + 1 = 14563.

**Таким чином:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| P1 | P2 | P3 | P4 | P5 |
| 7 | 2 | 8 | 1 | 1 |

Так як в умові не заданий режим роботи тригера (одноразове або багаторазове ділення), то L – будь-яке: 1 або 0. Будемо вважати, що поділ одноразовий.

Згідно до таблиці режимів роботи лічильника, визначимо розряди KA K**B** KC.

Для модуля М = 2

**Керуюче слово матиме вигляд:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **P2** | | | | **P3** | | | | **P4** | | | | **P1** | | **P5** | |
| **L** | **Ka** | **Kb** | **Kc** | **J16** | **J15** | **J14** | **J13** | **J12** | **J11** | **J10** | **J9** | **J8** | **J7** | **J6** | **J5** | **J4** | **J3** | **J2** | **J1** | **N** |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 14563 |

1. **М=4.**

Для визначення коефіцієнтів P1-P5 необхідно задане число N поділити на модуль М.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 4 | 5 | 6 | 3 | 4 |  |  |  |  |  |
| 1 | 2 |  |  |  | 3 | 6 | 4 | 0 | + | 3 |
|  | 2 | 5 |  |  |  |  |  |  |  |  |
|  | 2 | 4 |  |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  |  |  | 3 |  |  |  |  |  |  |

P1 = 3, P2 = 6, P3 = 4, P4 = 0, P5 = 3

Перевірка:

N = 3640 \* 4+3 = 4\*(1000\*3 + 100\*6 + 10\*4 + 0) + 3 = 14563.

**Таким чином:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| P1 | P2 | P3 | P4 | P5 |
| 3 | 6 | 4 | 0 | 3 |

Так як в умові не заданий режим роботи тригера (одноразове або багаторазове ділення), то L – будь-яке: 1 або 0. Будемо вважати, що поділ одноразовий.

Згідно до таблиці режимів роботи лічильника, визначимо розряди KA K**B** KC.

Для модуля М = 4

**Керуюче слово матиме вигляд:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **P2** | | | | **P3** | | | | **P4** | | | | **P1** | | **P5** | | |
| **L** | **Ka** | **Kb** | **Kc** | **J16** | **J15** | **J14** | **J13** | **J12** | **J11** | **J10** | **J9** | **J8** | **J7** | **J6** | **J5** | **J4** | **J3** | | **J2** | **J1** | **N** |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | | 1 | 1 | 14563 |

1. **М=8**

Для визначення коефіцієнтів P1-P5 необхідно задане число N поділити на модуль М.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 4 | 5 | 6 | 3 | 8 |  |  |  |  |  |
|  | 8 |  |  |  | 1 | 8 | 2 | 0 | + | 3 |
|  | 6 | 5 |  |  |  |  |  |  |  |  |
|  | 6 | 4 |  |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  | 1 | 6 |  |  |  |  |  |  |  |
|  |  |  |  | 3 |  |  |  |  |  |  |

P1 = 1, P2 = 8, P3 = 2, P4 = 0, P5 = 3

Перевірка:

N = 1820 \* 8+3 = 8\*(1000\*1 + 100\*8 + 10\*2 + 0) + 3 = 14563

**Таким чином:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| P1 | P2 | P3 | P4 | P5 |
| 1 | 8 | 2 | 0 | 3 |

Так як в умові не заданий режим роботи тригера (одноразове або багаторазове ділення), то L – будь-яке: 1 або 0. Будемо вважати, що поділ одноразовий.

Згідно до таблиці режимів роботи лічильника, визначимо розряди KA K**B** KC.

Для модуля М = 8

**Керуюче слово матиме вигляд:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **P2** | | | | **P3** | | | | **P4** | | | | **P1** | | **P5** | | |
| **L** | **Ka** | **Kb** | **Kc** | **J16** | **J15** | **J14** | **J13** | **J12** | **J11** | **J10** | **J9** | **J8** | **J7** | **J6** | **J5** | **J4** | **J3** | | **J2** | **J1** | **N** |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | | 1 | 1 | 14563 |

1. **М=10**

Для визначення коефіцієнтів P1-P5 необхідно задане число N поділити на модуль М.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 4 | 5 | 6 | 3 | 10 |  |  |  |  |  |
| 1 | 0 |  |  |  | 1 | 4 | 5 | 6 | + | 3 |
|  | 4 | 5 |  |  |  |  |  |  |  |  |
|  | 4 | 0 |  |  |  |  |  |  |  |  |
|  |  | 5 | 6 |  |  |  |  |  |  |  |
|  |  | 5 | 0 |  |  |  |  |  |  |  |
|  |  |  | 6 | 3 |  |  |  |  |  |  |
|  |  |  | 6 | 0 |  |  |  |  |  |  |
|  |  |  |  | 3 |  |  |  |  |  |  |

P1 = 1, P2 = 4, P3 = 5, P4 = 6, P5 = 3

Але оскільки P1max = 0, то виконуємо переноси зі старших розрядів:

P1 = 0, P2 = 14, P3 = 5, P4 = 6, P5 = 3

Перевірка:

N = 1456 \* 10+3 = 8\*(1000\*0 + 100\*14 + 10\*5 + 6) + 3 = 14563

**Таким чином:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| P1 | P2 | P3 | P4 | P5 |
| 0 | 14 | 5 | 6 | 3 |

Так як в умові не заданий режим роботи тригера (одноразове або багаторазове ділення), то L – будь-яке: 1 або 0. Будемо вважати, що поділ одноразовий.

Згідно до таблиці режимів роботи лічильника, визначимо розряди KA K**B** KC.

Для модуля М = 10

**Керуюче слово матиме вигляд:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **P2** | | | | **P3** | | | | **P4** | | | |  | | **P5** | | |
| **L** | **Ka** | **Kb** | **Kc** | **J16** | **J15** | **J14** | **J13** | **J12** | **J11** | **J10** | **J9** | **J8** | **J7** | **J6** | **J5** | **J4** | **J3** | | **J2** | **J1** | **N** |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | | 1 | 1 | 14563 |

**Список використаних джерел**

1. Конспект з курсу комп’ютерної електроніки.
2. Методичні вказівки до виконання лабораторних робіт з комп’ютерної електроніки.
3. Методичні вказівки до виконання лабораторних робіт з комп’ютерної схемотехніки.
4. Всесвітня мережа інтернет.