

Практическо упражнение No 1**СУМАТОРИ****1. Цел на упражнението:**

Целта на упражнението е студентите да задълбочат познанията си по устройството и начина на работа на основната съставна част на аритметико-логическото устройство на процесора - суматора.

2. Теоретична част:

2.1. Определение - суматорите са устройства, изпълняващи операцията аритметическо събиране на кодовете на числата. Тъй като в компютрите, чрез въвеждането на т.нар. машинни кодове, всички аритметични операции с числа се свеждат към аритметично събиране на техните кодове, то суматорът се оказва една от най-важните съставни части на централния процесор и по-точно на неговото аритметико-логическо устройство. Суматорът и по-точно неговото бързодействие е един от основните фактори, от които зависи производителността на компютъра.

2.2. Класификация - суматорите биват комбинационни и натрупващи.

2.2.1. Комбинационни суматори - построени са на базата на логически елементи без памет, свързани по определен начин. На входовете на тези суматори събираемите постъпват едновременно. Сумата се получава на изхода след приключването на преходните процеси в комбинационната схема. При промяна на входните сигнали се променя и сумата. Запомнянето на последната може да стане с помощта на допълнителен регистър.

2.2.3. Натрупващи суматори - при построяването им се използват не само обикновени логически елементи, но и елементи, изпълняващи едновременно функциите събиране и запомняне – тригери, работещи в броячен режим. На входовете на тези суматори събираемите постъпват едно след друго, последователно във времето. Получената сума се запомня в суматора.

В съвременните компютри се използват предимно комбинационните суматори.

2.3. Основни схемотехнически параметри:

2.3.1. Бързодействие - характеризира се с времето, необходимо за събиране на два кода в най-неблагоприятния случай. При синхронните суматори с последователен пренос такъв случай е например събирането на кодовете 111 ... 111 и 000 ... 001, тъй като

при това, още при събирането на най-младшите разряди възниква пренос, който след това минава през всички останали разряди, а за това е необходимо допълнително време.

2.3.2. Разход на апаратура - характеризира се с броя транзистори (логически елементи, интегрални схеми) необходими за построяване на суматора.

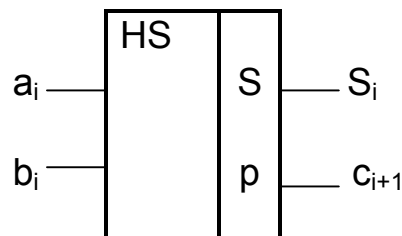
2.4. Едноразрядни суматори

2.4.1. Едноразрядни комбинационни суматори - съществуват два вида такива суматори:

- с два входа - полусуматор;
- с три входа - пълен суматор.

Полусуматорът реализира следната функция:

a_i	b_i	S_i	c_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

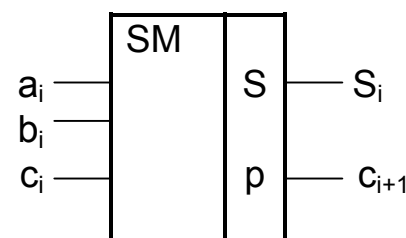


$$S_i = \overline{a_i} b_i \vee a_i \overline{b_i}$$

$$c_{i+1} = a_i b_i$$

Пълният суматор реализира следната функция:

a_i	b_i	c_i	S_i	c_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$S_i = \overline{a_i} \overline{b_i} c_i \vee \overline{a_i} b_i \overline{c_i} \vee a_i \overline{b_i} \overline{c_i} \vee a_i b_i c_i = a_i \oplus b_i \oplus c_i$$

$$c_{i+1} = \overline{a_i} b_i c_i \vee a_i \overline{b_i} c_i \vee a_i b_i \overline{c_i} \vee a_i b_i c_i = a_i b_i \vee a_i c_i \vee b_i c_i$$

Тази функция може да бъде реализирана с използване на логически елементи И-ИЛИ-НЕ, технологията на чието производство е с по-висок рандеман, по следния начин:

$$c_{i+1} = \text{СКНФ} = (a_i \vee b_i \vee c_i)(a_i \vee b_i \vee \bar{c}_i)(a_i \vee \bar{b}_i \vee c_i)(\bar{a}_i \vee b_i \vee c_i) =$$

$$= \{ \text{"два пъти де Морган"} \} = \overline{a_i b_i \vee a_i \bar{c}_i \vee b_i \bar{c}_i}$$

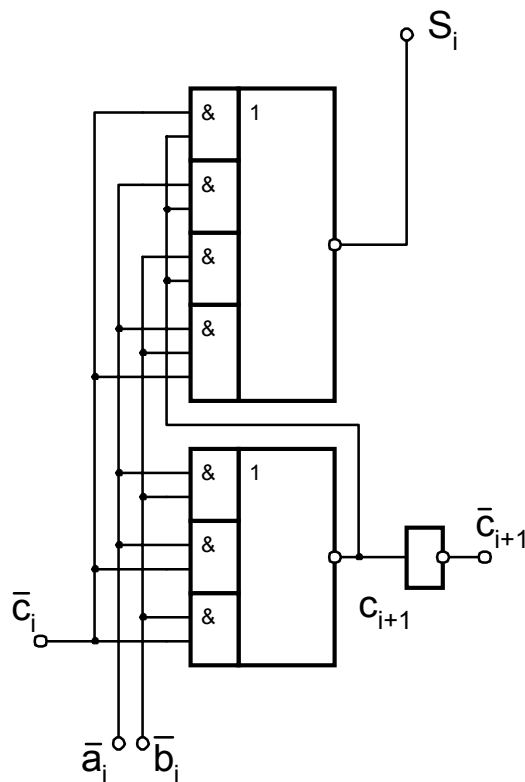
За представяне на S_i по същия начин и освен това като функция и на c_{i+1} , т.е. $S_i = f(a_i, b_i, c_i, c_{i+1})$ се използва картата на Карно, като с цел минимизиране на функцията, там където тя е неопределена, по целесъобразност се записва "0" или "1" – в конкретния случай в долната таблица с наклонен шрифт са добавени "1".

		C_i		C_{i+1}	
		00	01	11	10
$a_i b_i$	00	0			1
	01	1		0	1
	11	1	0	1	1
	10	1		0	1

$$S_i = c_i \bar{c}_{i+1} \vee a_i \bar{c}_{i+1} \vee b_i \bar{c}_{i+1} \vee a_i b_i c_i = \{ \text{"де Морган"} \} =$$

$$= \overline{\bar{c}_i c_{i+1} \vee \bar{a}_i c_{i+1} \vee \bar{b}_i c_{i+1} \vee a_i b_i c_i}$$

Схемата на построения в съответствие с тези изрази суматор е показана на фиг.1.



Фиг.1. Схема на едноразряден пълен комбинационен суматор – 1-ви вариант

Ако τ бъде означено закъснението на сигнала при преминаването му през всеки един от логическите елементи от фиг.1, то тогава бързодействието на този суматор може да бъде охарактеризирано чрез:

$t_s = 2\tau$ - времето, необходимо за формиране на сумата на двата разряда.

$t_c = 2\tau$ - времето, необходимо за формиране на сигнала за преноса, който трябва да бъде подаден към следващия разряд.

Както ще бъде показано по-късно, при т.нар. синхронни суматори с последователен пренос, времето за формиране на сумата зависи най-силно от t_c . Ето защо, с цел намаляване на това време, пълният суматор се строи в съответствие със следните изрази за сумата и преноса:

- пренос от четните към нечетните разряди ($2i \rightarrow 2i+1$)

$$c_{2i+1} = \text{СКНФ} = (a_{2i} \vee b_{2i} \vee c_{2i}) (a_{2i} \vee b_{2i} \vee \overline{c_{2i}}) (a_{2i} \vee \overline{b_{2i}} \vee c_{2i}) (\overline{a_{2i}} \vee b_{2i} \vee c_{2i}) = \\ = \overline{a_{2i} b_{2i} c_{2i}} \vee \overline{a_{2i} c_{2i}} \vee \overline{b_{2i} c_{2i}}$$

- пренос от нечетните към четните разряди ($2i+1 \rightarrow 2i+2$)

$$\overline{c_{2i+2}} = \text{СДНФ} = \overline{a_{2i+1} b_{2i+1} c_{2i+1}} \vee \overline{a_{2i+1} b_{2i+1} \overline{c_{2i+1}}} \vee \overline{a_{2i+1} \overline{b_{2i+1}} c_{2i+1}} \vee \overline{a_{2i+1} \overline{b_{2i+1}} \overline{c_{2i+1}}} = \\ = \overline{a_{2i+1} b_{2i+1}} \vee \overline{a_{2i+1} c_{2i+1}} \vee \overline{b_{2i+1} c_{2i+1}}$$

- сума в четните разряди

$$S_{2i} = \overline{c_{2i+1} c_{2i}} \vee \overline{c_{2i+1} a_{2i}} \vee \overline{c_{2i+1} b_{2i}} \vee \overline{a_{2i} b_{2i} c_{2i}}$$

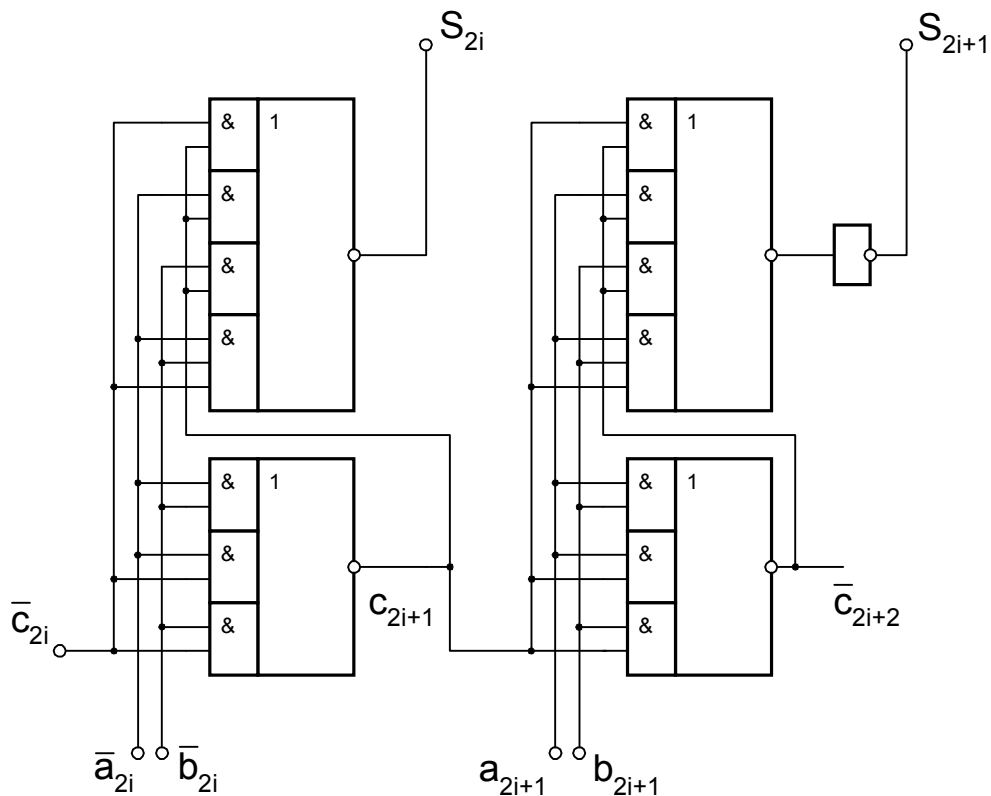
- сума в нечетните разряди

$$\overline{S_{2i+1}} = \overline{c_{2i+2} c_{2i+1}} \vee \overline{c_{2i+2} a_{2i+1}} \vee \overline{c_{2i+2} b_{2i+1}} \vee \overline{a_{2i+1} b_{2i+1} c_{2i+1}}$$

Схемата на построения в съответствие с тези изрази суматор е показана на фиг.2. Очевидно е, че в този случай, времето, необходимо за формиране на сигнала за преноса, който трябва да бъде подаден към следващия разряд, е два пъти по-малко от това при суматора от фиг.1.

$$t_s = 2\tau$$

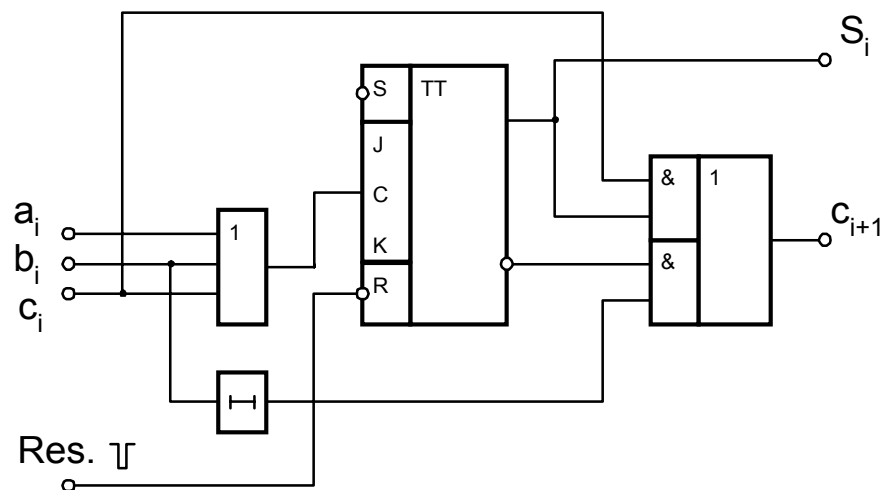
$$t_c = \tau$$



Фиг.2. Схема на едноразряден пълен комбинационен суматор – 2-ри вариант

2.4.2. Едноразряден натрупващ суматор

Примерната схема на един такъв суматор е показана на фиг.3.



Фиг.3. Схема на едноразряден натрупващ суматор

Вместо J-K тригер може да се използва и D тригер в броячен режим.

Известно е, че тригер работещ в броячен режим изпълнява функцията “сума по модул 2”, т.е.

Q_t	C_t	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

$$Q_{t+1} = \overline{Q_t} c_t \vee Q_t \overline{c_t} = Q_t \oplus c_t$$

По-горе с Q_t и Q_{t+1} са означени състоянията на тригера в моментите t и $t+1$, а с C_t – сигналът, подаван на входа C в момента t .

След нулирането на тригера $Q_0 = 0$.

След подаването на:

$$a_i \rightarrow Q_1 = Q_0 \oplus a_i = a_i$$

$$b_i \rightarrow Q_2 = Q_1 \oplus b_i = \overline{a_i} b_i \vee a_i \overline{b_i}$$

$$\begin{aligned} c_i \rightarrow Q_3 = Q_2 \oplus c_i &= (\overline{a_i} b_i \vee a_i \overline{b_i}) c_i \vee (\overline{a_i} b_i \vee a_i \overline{b_i}) \overline{c_i} = \\ &= \overline{a_i} b_i c_i \vee \overline{a_i} b_i \overline{c_i} \vee a_i \overline{b_i} c_i \vee a_i \overline{b_i} \overline{c_i} = S_i \end{aligned}$$

Следователно след постъпването на c_i в тригера се получава и запомня сумата на a_i , b_i и c_i .

На изхода на логическия елемент И-ИЛИ след постъпването на c_i се получава :

$$\begin{aligned} Q_2 c_i \vee Q_2 \overline{b_i} &= (\overline{a_i} b_i \vee a_i \overline{b_i}) c_i \vee (\overline{a_i} b_i \vee a_i \overline{b_i}) \overline{b_i} = \\ &= \overline{a_i} b_i c_i \vee a_i \overline{b_i} c_i \vee (\overline{a_i} \overline{b_i} \vee a_i \overline{b_i}) \overline{b_i} = \\ &= \overline{a_i} b_i c_i \vee a_i \overline{b_i} c_i \vee a_i \overline{b_i} (\overline{c_i} \vee c_i) = \\ &= \overline{a_i} b_i c_i \vee a_i \overline{b_i} c_i \vee a_i \overline{b_i} \overline{c_i} \vee a_i \overline{b_i} c_i = c_{i+1} \end{aligned}$$

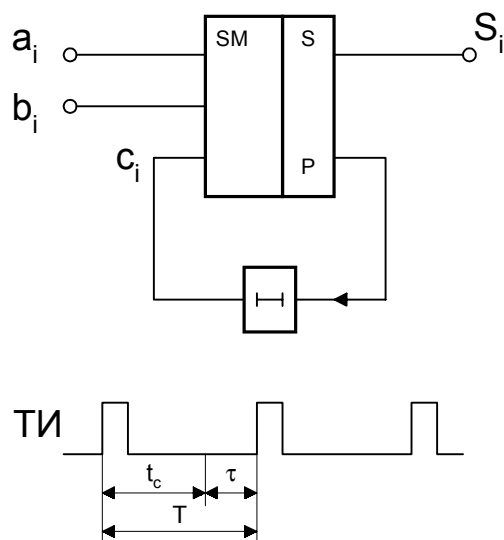
Но сигналът c_{i+1} съществува само докато състоянието на тригера е Q_2 .

2.5. Многоразрядни суматори

2.5.1. Последователни суматори - за събиране на числа представени в последователен код (могат да бъдат само комбинационни).

Примерната схема на един такъв суматор е показана на фиг.4.

Събирането на числата започва от най-младшите им разряди. В i -тият работен такт на входовете на суматора постъпват разрядите a_i и b_i и преносът c_i , който се формира в $i-1$ -вия такт, но се задържа за време t . Вместо закъснителната верига може да се използва и тригер. На изхода на суматора се получава последователният код на сумата.



Фиг.4. Схема на последователен суматор

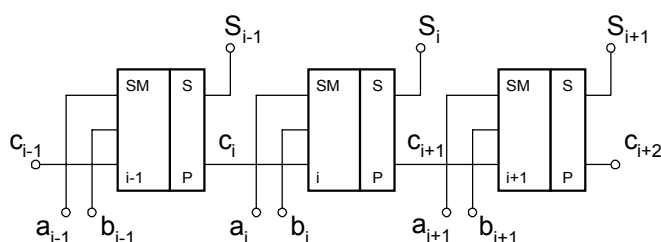
Предимството на тези суматори е малкият разход на апаратура, а недостатъкът – твърде голямото време за събиране ($t_{\Sigma} = nT$, където n е разрядността на числата, а T е периодът на тактовите импулси, под въздействието на които става подаването на числата на входовете на суматора).

2.5.2. Паралелни суматори - за събиране на числа, представени в паралелен код (могат да бъдат както комбинационни, така и натрупващи). По-долу ще бъдат разгледани само комбинационните суматори.

Паралелните суматори се делят на **синхронни** и **асинхронни**.

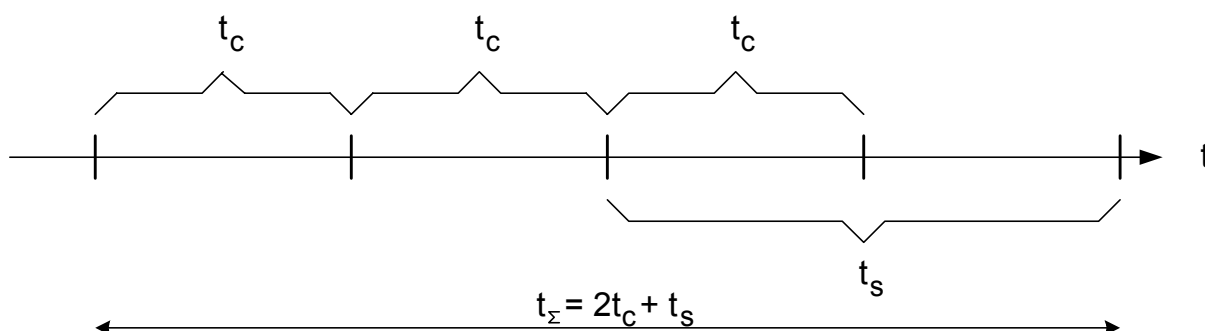
2.5.2.1. Синхронни суматори - това са суматори, при които не е възможно да се определи моментът на окончателното формиране на сумата на две конкретни числа. Следователно, при използване на такъв суматор времето, което се отделя в АЛУ за извършване на микрооперацията “събиране на кодовете” - t_{Σ} , трябва да се приеме за равно на времето, необходимо за формирането на сумата в най-тежкия случай. Синхронните суматори биват с **последователен** и **ускорен пренос**.

На фиг.5 са показани три от разрядите на синхронен суматор с последователен пренос.



Фиг.5. Схема на синхронен суматор с последователен пренос

Очевидно е, че при този суматор времето за събиране ще бъде най-голямо когато едното събираемо е 11...11, а другото 00...01. В този случай, още при събирането на най-младшите разряди ще възникне пренос, който след това последователно ще премине през всички разряди на суматора. Времето, след което ще се получи сумата в този случай, може да бъде определено с помощта на времедиаграмата, показана на фиг.6, която се отнася за суматор построен с използване на едноразрядния суматор от фиг.2, за който $t_s = 2t_c$.



Фиг.6. Времедиаграма на триразряден синхронен суматор с последователен пренос

Следователно, при n -разряден суматор от такъв тип времето, което ще се отделя за събиране, трябва да е:

$$t_z \geq (n-1)t_c + t_s$$

Очевидно е, че това време ще се използва ефективно в много малък процент от случаите, а това ще доведе до намаляване производителността на машината.

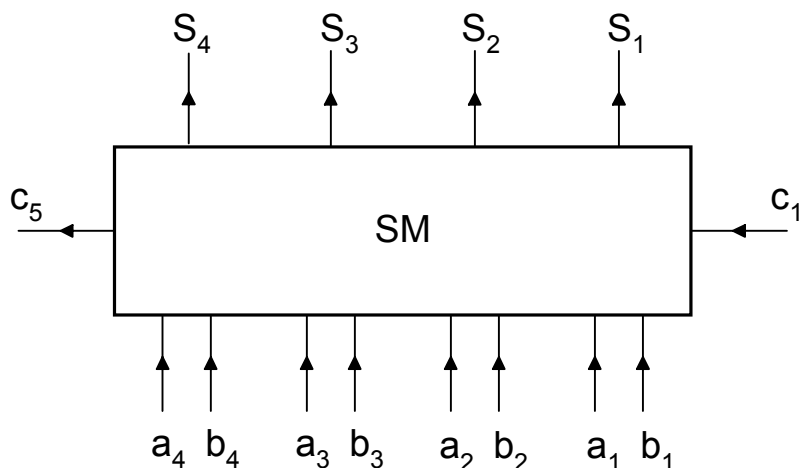
Поради тази причина в съвременните компютри се използват предимно **синхронни суматори с ускорен пренос**.

Съществуват няколко вида такива суматори - с транзитен, с групов, с паралелен (едновременно) пренос и др. Най-голямо приложение в практиката е намерил **суматорът с паралелен пренос (с паралелно формиране на всички разряди на сумата)**. По-долу ще бъде направен синтез на един четириразряден суматор от такъв тип.

За да се формират сигналите S_1, S_2, S_3, S_4 и c_5 паралелно и да се получат едновременно на съответните изходи на суматора от фиг.7 е необходимо в израза за всеки един от тях да фигурират единствено и само входни променливи. Т.е. основната цел на синтеза ще бъде да се намерят изрази от вида: $S_i = f(a_1, \dots, a_i, b_1, \dots, b_i, c_1)$ и

$$c_5 = f(a_i, b_i, c_1),$$

където $i = 1 \div 4$.



Фиг.7. Четириразряден паралелен суматор

За целта уравненията на i -тия разряд на суматора се записват предварително в следния вид:

$$c_{i+1} = a_i b_i \vee a_i c_i \vee b_i c_i = a_i b_i \vee (a_i \vee b_i) c_i = G_i \vee P_i c_i$$

$$S_i = a_i \oplus b_i \oplus c_i = (\overline{a_i b_i} \vee a_i \overline{b_i}) \oplus c_i = (\overline{a_i b_i} (a_i \vee b_i)) \oplus c_i = \overline{G_i} P_i \oplus c_i$$

където $G_i = a_i b_i$ - признак за образуване на пренос от i -тия разряд, а

$P_i = a_i \vee b_i$ - признак за преминаване на преноса през i -тия разряд, т.е. ако $c_i = 1$, то и $c_{i+1} = 1$.

Като се използват тези изрази за S_1, S_2, S_3, S_4 , и c_5 се получават следните уравнения:

$$S_1 = \overline{G_1} P_1 \oplus c_1, \text{ където } G_1 = a_1 b_1; P_1 = a_1 \vee b_1$$

$$S_2 = \overline{G_2} P_2 \oplus c_2 = \overline{G_2} P_2 \oplus (G_1 \vee P_1 c_1), \text{ където } G_2 = a_2 b_2; P_2 = a_2 \vee b_2$$

$$S_3 = \overline{G_3} P_3 \oplus c_3 = \overline{G_3} P_3 \oplus (G_2 \vee P_2 c_2) = \overline{G_3} P_3 \oplus (G_2 \vee P_2 (G_1 \vee P_1 c_1)) = \\ = \overline{G_3} P_3 \oplus (G_2 \vee P_2 G_1 \vee P_2 P_1 c_1)$$

$$S_4 = \overline{G_4} P_4 \oplus c_4 = \overline{G_4} P_4 \oplus (G_3 \vee P_3 c_3) = \overline{G_4} P_4 \oplus (G_3 \vee P_3 (G_2 \vee P_2 c_2)) = \\ = \overline{G_4} P_4 \oplus (G_3 \vee P_3 G_2 \vee P_3 P_2 (G_1 \vee P_1 c_1)) = \\ = \overline{G_4} P_4 \oplus (G_3 \vee P_3 G_2 \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 c_1)$$

$$c_5 = G_4 \vee P_4 c_4 = G_4 \vee P_4 G_3 \vee P_4 P_3 G_2 \vee P_4 P_3 P_2 G_1 \vee P_4 P_3 P_2 P_1 c_1$$

В горните пет изрази участват само a_i, b_i , и c_1 , което означава, че тези сигнали могат да бъдат формирани едновременно. Но при увеличаване на разрядността на суматора тези изрази стават все по-сложни и в крайна сметка - нереализируеми поради големия брой на връзките и претоварването на схемите, които генерират функциите G_i и P_i . Ето защо при суматори с по-голяма разрядност същите се разделят на групи по 4 разряда, като във всяка група се организира паралелен пренос, а между групите - последователен пренос, който не изисква допълнителна апаратура или паралелен пренос с помощта на т.нар. схеми за ускорение на преноса (генератори на ускорен

пренос).

Паралелен пренос между групите се организира по следния начин: Във всеки четириразряден суматор с паралелен пренос се реализират допълнително сигналите G и P .

$G = G_4 \vee P_4 G_3 \vee P_4 P_3 G_2 \vee P_4 P_3 P_2 G_1$ - признак за образуване на пренос от тази група.

$P = P_4 P_3 P_2 P_1$ - признак за преминаване на преноса през тази група, т.е. ако $c_1 = 1$, то и $c_5 = 1$.

Очевидно е, че тези сигнали не зависят от входния пренос. Формираните от всички четириразрядни суматори сигнали G и P се подават на генератора на ускорен пренос, който формира входния пренос за всеки следващ четириразряден суматор. Това може да стане в съответствие със следните изрази:

$$c_5 = G' \vee P' c_1$$

$$c_9 = G'' \vee P'' c_5 = G'' \vee P'' (G' \vee P' c_1) = G'' \vee P'' G' \vee P'' P' c_1$$

$$c_{13} = \dots$$

и т.н.

На практика, за да се облекчи реализирането на генератора за ускорен пренос и да се увеличи неговото бързодействие, се работи с инверсните стойности на G и P и тогава тези изрази добиват следния вид:

$$c_5 = G' \vee P' c_1 = \overline{\overline{G'P'}} c_1 = \overline{\overline{G'}} \left(\overline{\overline{P'}} \vee \overline{\overline{c_1}} \right) = \overline{\overline{G'P'}} \vee \overline{\overline{G'}} \overline{\overline{c_1}}$$

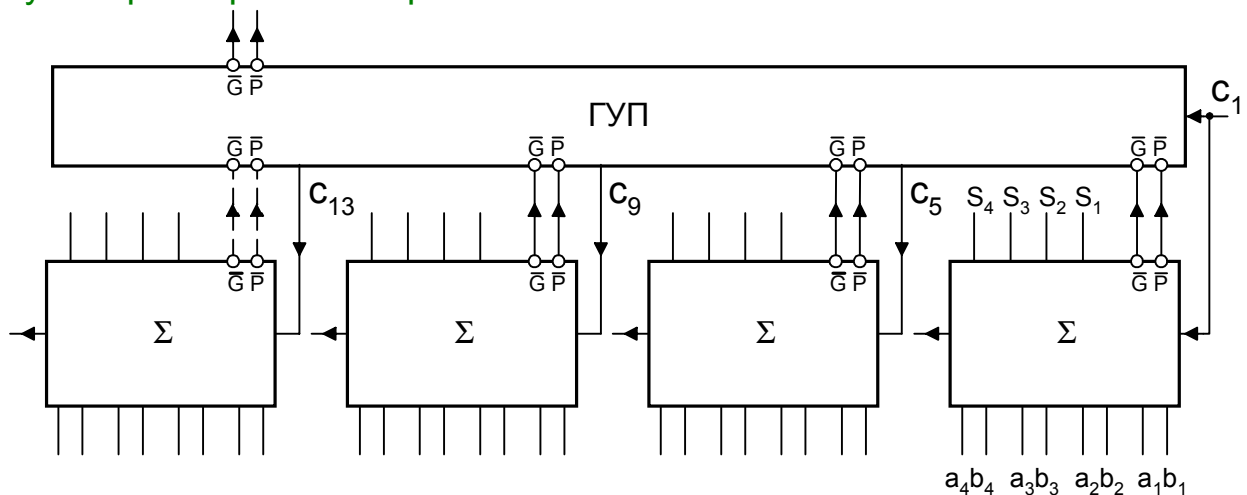
$$c_9 = \overline{\overline{G''P''}} \vee \overline{\overline{G''G'P'}} \vee \overline{\overline{G''G'}} c_1$$

$$c_{13} = \dots$$

и т.н.

Очевидно е, че тези сигнали могат да се формират паралелно.

На фиг.8 е показана схемата на един шестнадесетразряден суматор с паралелен пренос.



Фиг.8. Шестнадесетразряден суматор с паралелен пренос

Но при увеличаване на броя на четириразрядните суматори изразите за преносите стават все по-сложни и в крайна сметка - нереализируеми. Ето защо при суматори с по-голяма разрядност същите се разделят на групи по 4 четириразрядни суматори, като във всяка група с помощта на генератор на ускорен пренос се реализира паралелен пренос, а между групите - последователен пренос без допълнителна апаратура или паралелен пренос с генератор на ускорен пренос и т.н.

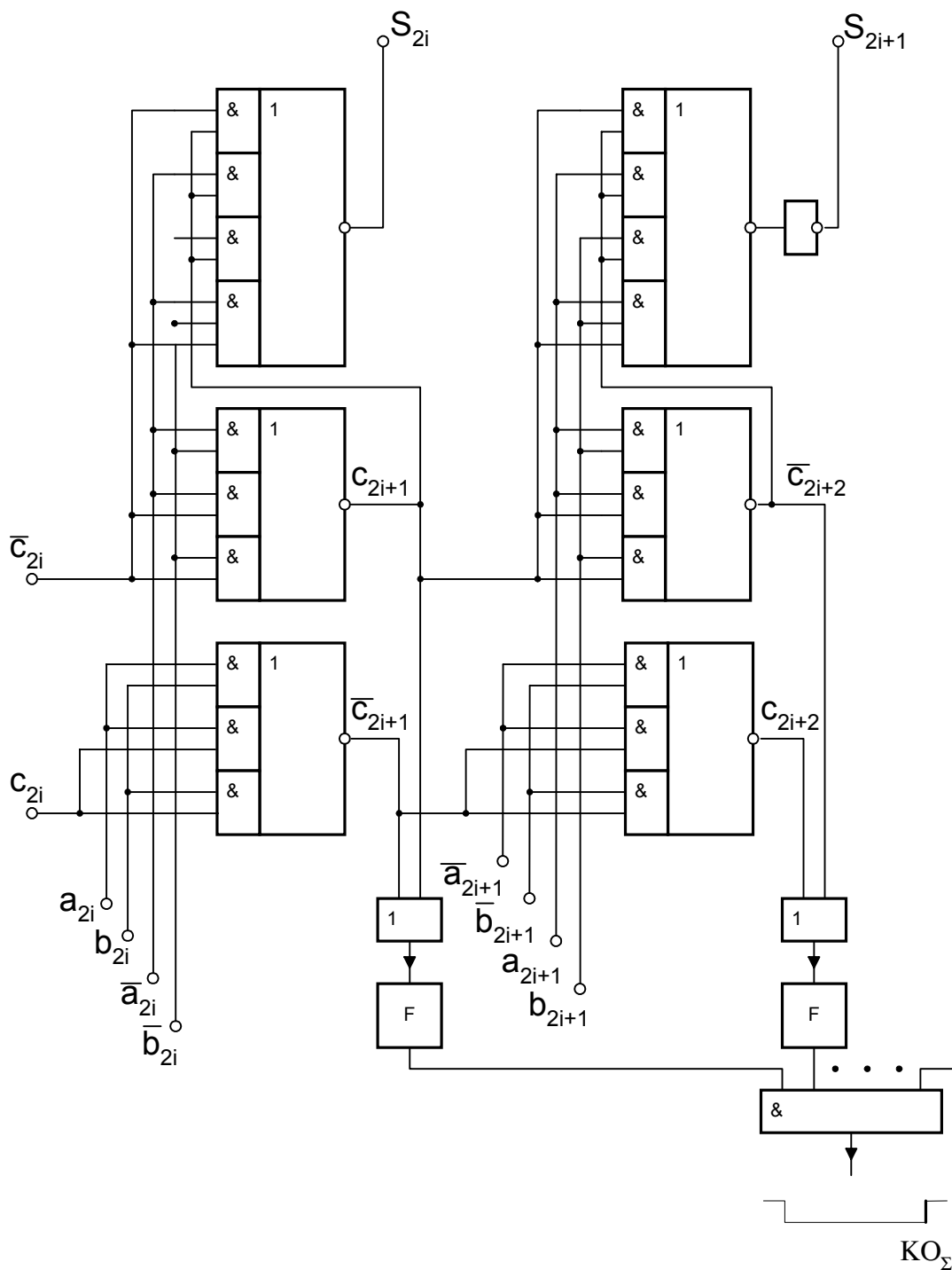
След постъпването на събираемите А и В във всички суматори се формират едновременно (паралелно) сигналите G и P, след това генераторът на ускорен пренос формира едновременно сигналите c_5 , c_9 , c_{13} и най-накрая става едновременното формиране на $S_1 \div S_{16}$.

2.5.2.2. Асинхронни суматори - това са суматори, при които с помощта на допълнителни схеми се определя моментът на окончателното формиране на сумата на кодовете на числата и се формира сигнал за край на микрооперацията. Следователно, при използването на такъв суматор, за извършване на микрооперацията "събиране на кодовете" в АЛУ ще се отделя винаги толкова време, колкото е действително необходимо за това, т.е. t_Σ в зависимост от събираемите ще варира от $[(n-1)t_c + t_s]$ до t_s .

Ако се допусне, че вероятността за съществуване на "0" и "1" в кой да е от разрядите на събираемите е еднаква (0,5) и не зависи от останалите разряди, то може да се докаже, че средният брой на разрядите, през който ще мине преносът е $\log_2 n$. Това може да се използва, за да се даде една усреднена оценка на бързодействието на тези суматори - $t_{\Sigma cp} = (\log_2 n - 1)t_c + t_s$.

Очевидно е, че $t_{\Sigma \text{синхр.}} > t_{\Sigma \text{асинхр. cp.}}$, но независимо от това на практика се използват по-често синхронни суматори с ускорен пренос.

На фиг.9 са показани два от разрядите на един асинхронен суматор, построен на базата на суматора от фиг.2. Както се вижда към всеки един от разрядите е добавен по един елемент И-ИЛИ-НЕ, който формира инверсната стойност на преноса – в четните разряди и правата му стойност – в нечетните. На тази фигура с F са означени формирателите на импулси.

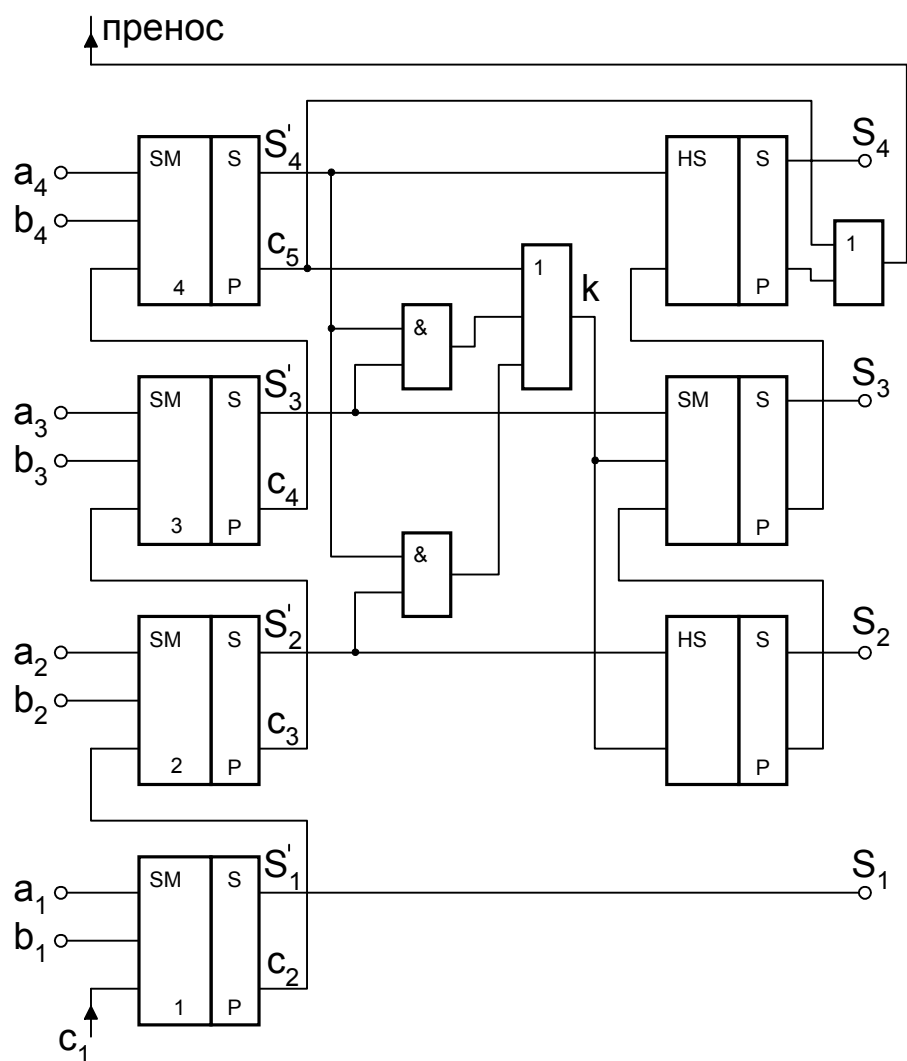


Фиг.9. Схема на асинхронен суматор

2.6. Особенности при построяването на десетични суматори

2.6.1. При използване на код 8421 (фиг.10)

В този случай, за да се получи кодът на сумата, е необходимо да се прибави корекция (+6) към всички тетради на сумата на кодовете, които са по-големи от 9 или, от които е възникнал пренос, като корекцията се прави последователно от младшата към старшата тетрада, тъй като е необходимо да се отчита преносът, който може да възникне при внасяне на корекцията.



Фиг.10. Схема на едноразряден десетичен суматор в код 8421

c_5	S'_4	S'_3	S'_2	S'_1	K
0	0	0	0	0	0
.
.
0	1	0	0	1	0
0	1	0	1	0	1
.
.
0	1	1	1	1	1
1	0	0	0	0	1
.
.
1	0	0	1	0	1

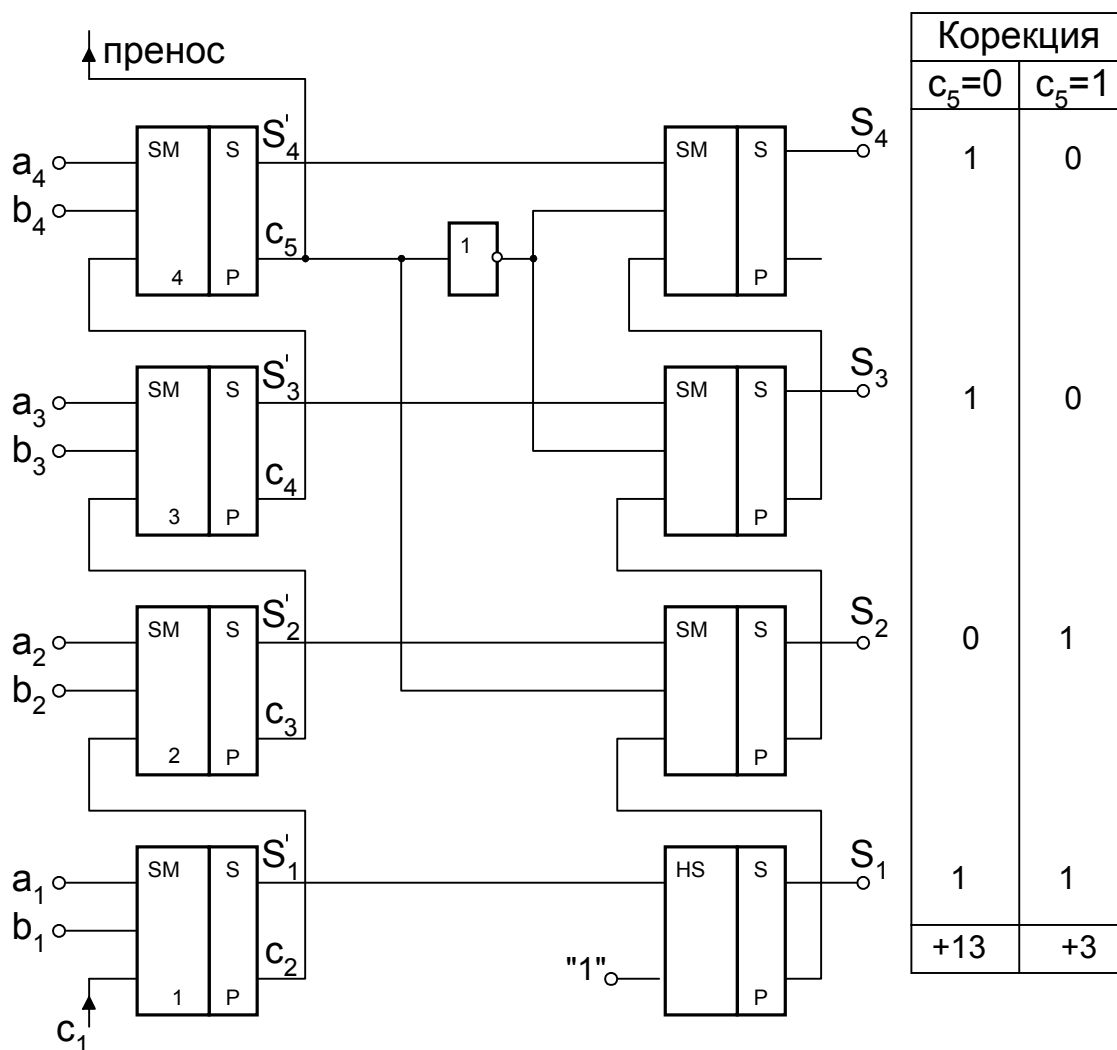
$$K = \text{СДНФ} = \{\text{след опростяване}\} = c_5 \vee S'_4 S'_2 \vee S'_4 S'_3$$

Показаното на горната схема свързване на изходите за преносите (чрез елемент ИЛИ) е допустимо, тъй като е възможно да възникне само единият от двата преноса.

2.6.2. При използване на код с излишък 3 (фиг.11)

В този случай, за да се получи кодът на сумата, е необходимо да се прибави корекция (+13) към всички тетради на сумата на кодовете, от които не е възникнал пренос и корекция (+3) към тетрадите, от които е възникнал пренос, като корекцията се прави едновременно във всички тетради, тъй като възникващият при корекцията пренос не се отчита.

Фиг.11. Схема на едноразряден десетичен суматор в код 8421+3



Забележка: В горните две схеми вместо полусуматори могат да се използват пълни суматори, като на свободните им входи се подава "0".

2.7. Субтрактори

Субтракторите са устройства, изпълняващи операцията изваждане на числата, т.е. те реализират функцията $a_i - b_i - z_i$, където a_i и b_i са i -тият разряд на умяемото и умалителя, а z_i – заемът, получен при изваждането на $(i-1)$ -вия разряд (единицата, взета на заем от i -тият разряд при изваждането на $(i-1)$ -вия). По-долу е показана таблицата на истинността и съвършените дизюнктивни нормални форми на разликата R_i и заема z_{i+1} .

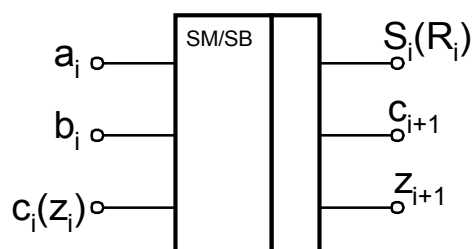
a_i	b_i	z_i	R_i	z_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$R_i = \overline{a_i} \overline{b_i} z_i \vee \overline{a_i} b_i \overline{z_i} \vee a_i \overline{b_i} \overline{z_i} \vee a_i b_i z_i = S_i$$

$$z_{i+1} = \overline{a_i} b_i z_i \vee \overline{a_i} b_i \overline{z_i} \vee a_i \overline{b_i} z_i \vee a_i b_i \overline{z_i}$$

Ако в АЛУ освен суматор има и субтрактор, отпада необходимостта от използване на обратен и допълнителен код при извършване на операцията “изваждане”, т.е. “алгебрическо събиране”.

Като се използва това, че при $z_i = c_i$, $R_i = S_i$ може да се синтезира схема, която да изпълнява едновременно функциите на суматор и субтрактор. Една такава схема ще има три входа a_i , b_i , $c_i(z_i)$ и три изхода - $S_i(R_i)$, c_{i+1} , z_{i+1} .



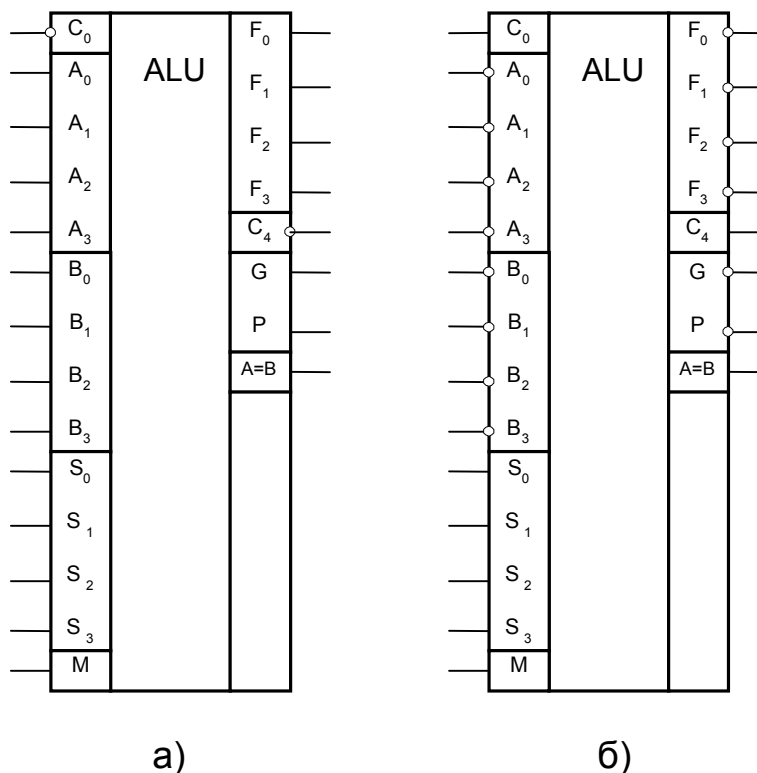
Фиг.12. Условно графично означение на суматор/субтрактор

2.8. Управляеми суматори

Тези суматори могат да изпълняват множество аритметически и логически операции. Поради това някои автори ги наричат аритметико-логически устройства (АЛУ). По-долу е дадено кратко

описание на АЛУ SN74181.

Условното графично означение на това АЛУ е показано на фиг.13, а чрез табл.1 са пояснени изпълняваните от него функции. АЛУ е комбинационна логическа схема, която може да изпълнява всичките 16 основни логически операции, а също и 16 аритметични операции с два четириразрядни операнда $A = A_3 A_2 A_1 A_0$ и $B = B_3 B_2 B_1 B_0$. Резултатът от операцията се появява на изходите $F_3 F_2 F_1 F_0$. Изборът на една от двете групи операции става чрез подаване на съответен сигнал на входа M , а изборът на конкретна операция от тази група - чрез сигналите на входовете $S_3 S_2 S_1 S_0$. При изпълнение на аритметичните операции се отчита и сигналът подаден на входа \overline{C}_0 . Инверсната стойност на преноса, получен в резултат на дадена аритметична операция, се появява на изхода \overline{C}_4 . При $M = 1$, $\overline{C}_0 = 1$ и код на операцията $S = 0110$ на изхода $A=B$ се получава сигнал "1" при равенство на двата кода.



Фиг.13. Условно графично означение на АЛУ SN74181

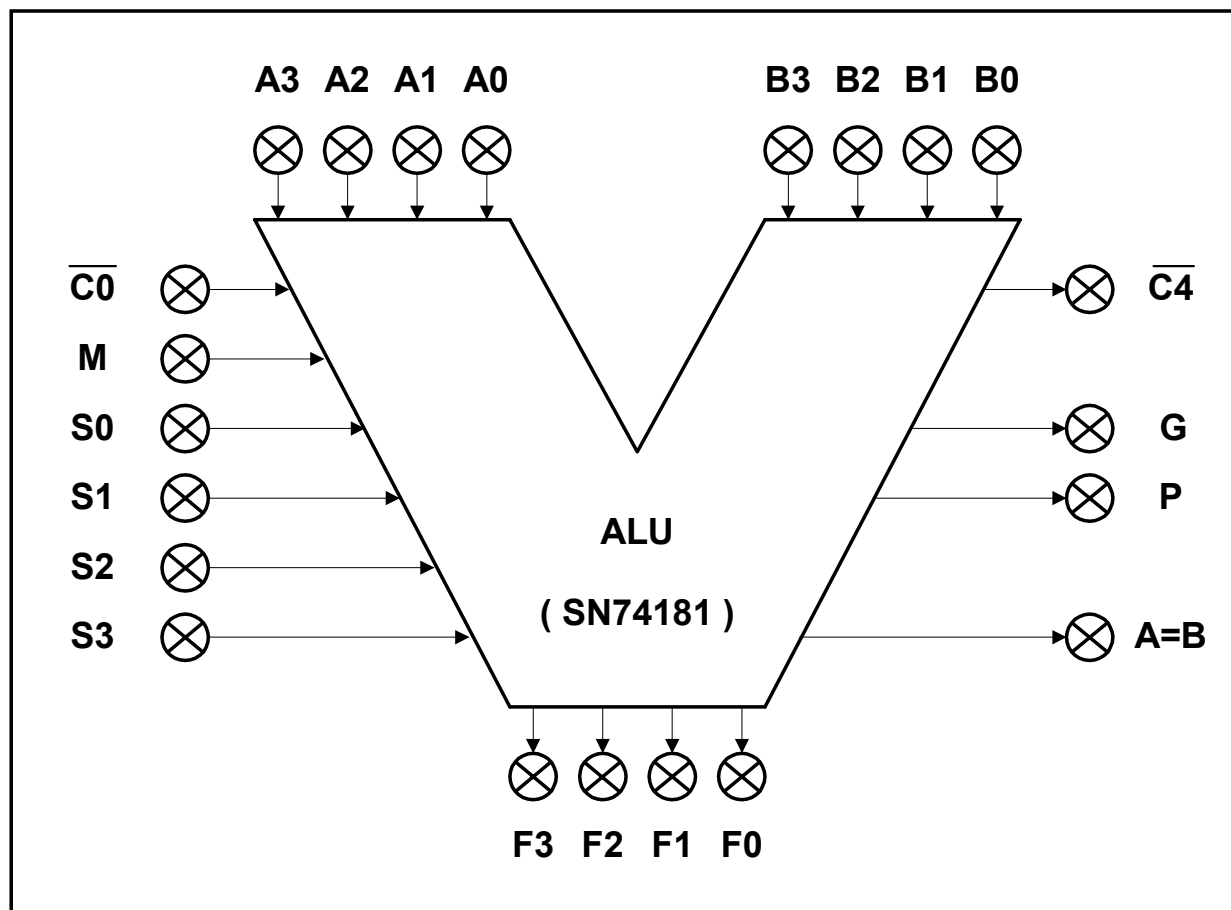
При използване на тази схема за построяване на паралелен суматор с разрядност по-голяма от 4 и с ускорен пренос се работи с инверсните стойности на операндите A и B , на резултата F и на функциите G и P и с правите стойности на преносите C_0 и C_4 . Условното графично означение на схемата при работа в този режим е показано на фиг.13-б.

Табл. 1.

Функции на АЛУ SN74181

$S_3S_2S_1S_0$	M=1 Логически операции	M=0 Аритметически операции	
		$\bar{C}_0 = 1$	$\bar{C}_0 = 0$
0000	$F = \bar{A}$	$F = A$	$F = A + 1$
0001	$F = \overline{A \vee B}$	$F = A \vee B$	$F = (A \vee B) + 1$
0010	$F = \bar{A} \wedge B$	$F = A \vee \bar{B}$	$F = (\bar{A} \vee B) + 1$
0011	$F = 0$	$F = -1$	$F = 0$
0100	$F = \overline{A \wedge B}$	$F = A + (\bar{A} \wedge \bar{B})$	$F = A + (\bar{A} \wedge \bar{B}) + 1$
0101	$F = \bar{B}$	$F = (A \vee B) + (\bar{A} \wedge \bar{B})$	$F = (A \vee B) + (\bar{A} \wedge \bar{B}) + 1$
0110	$F = A \oplus B$	$F = A - B - 1$	$F = A - B$
0111	$F = A \wedge \bar{B}$	$F = (\bar{A} \wedge \bar{B}) - 1$	$F = A \wedge \bar{B}$
1000	$F = \bar{A} \vee B$	$F = A + (A \wedge B)$	$F = A + (A \wedge B) + 1$
1001	$F = \bar{A} \oplus \bar{B}$	$F = A + B$	$F = A + B + 1$
1010	$F = B$	$F = (\bar{A} \vee \bar{B}) + (A \wedge B)$	$F = (\bar{A} \vee \bar{B}) + (A \wedge B) + 1$
1011	$F = A \wedge B$	$F = (A \wedge B) - 1$	$F = A \wedge B$
1100	$F = 1$	$F = A + A$	$F = A + A + 1$
1101	$F = A \vee \bar{B}$	$F = (A \vee B) + A$	$F = (A \vee B) + A + 1$
1110	$F = A \vee B$	$F = (\bar{A} \vee \bar{B}) + A$	$F = (\bar{A} \vee \bar{B}) + A + 1$
1111	$F = A$	$F = A - 1$	$F = A$

С цел да се облекчи изследването на АЛУ, същото е монтирано на платка (фиг.14), като всички входове и изходи са изведени на куплунга на платката и освен това, към всеки един от тях е свързан светодиод, който свети (не свети) при логическа "1" ("0").



Фиг.14. Външен вид на платката с АЛУ SN74181.

3. Задачи за изпълнение:

3.1. Да се попълни табл. 1 със значенията на $(F)_2$, получени при $(A)_2 = \dots\dots\dots$ и $(B)_2 = \dots\dots\dots$.

3.2. Да се изследва АЛУ, като в качеството на източник на входни сигнали се използва лабораторен макет.

4. Контролни въпроси:

4.1. Защо бързодействието на суматора е от съществено значение за производителността на компютъра?

4.2. Какви са основните разлики между комбинационните и натрупващите суматори?

4.3. Какви са основните разлики между синхронните и асинхронните суматори?

4.4. Кои са аргументите в изразите за сумите и преноса при синхронните суматори с паралелен пренос?

4.5. Как се реализират многоразрядни суматори?