

ПРОЦЕСОР
(Central Processing Unit - CPU)

Т1. Обща характеристика

1. Производители

❖ **INTEL Corporation** - на пазара от 1969 г.-> чипове памет



1971 г. -> I4004 за калкулатора Busicom (4-битов)

1975 г. -> I8080 за I-я ПК „Алтаир“ (8-битов)

1978 г. -> I8086 за ПК IBM PC -> x86 (16-битов)

1982 г. -> I80286 (16-битов)

1985 г. -> I80386
1989 г. -> I80486 } (32-битови)

Pentium (32 бита)

1993 г. -> P5 (Pentium, Pentium MMX)

1995 г. -> P6 (Pentium Pro, Pentium II, Celeron, Pentium III и др.)

2000 г. -> P7 (Pentium 4, Xeon)

Itanium (първите 64 бита)

2001 г. -> Itanium

2002 г. -> Itanium 2

❖ **AMD (Advanced Micro Devices) – на пазара от 1972-73 г. -> ИС**

1974 г. -> AM 9080

1975 г. -> AM 2900

1979 - 1986 г. -> AM8088, AM8086 и AM80286 -> процесори – аналози по лиценз на INTEL

1991 г. -> AM386	}	(32-битови аналози)
1993 г. -> AM486		

1995 г. -> K5 (собствен 32 б. процесор, алтернатива на Pentium)

1997 г. -> K6 (NexGen)

1999 г. -> K7 (Athlon, Duron, Sempron)

K8 -> - първите 64 битови

2003 г. -> K8 (Athlon 64, Sempron, Turion 64, Opteron)

2007 г. -> K10 (Athlon X2, Opteron, Phenom, Phenom II и др.)

2005 г. -> Многоядрени процесори

Intel -> 26 май 2005 г. – Pentium D

AMD -> 1 юни 2005 г. – Athlon 64X2

2. Насоки в производствената политика

Пример за сегментно-ориентирана политика на AMD

Фамилия K10

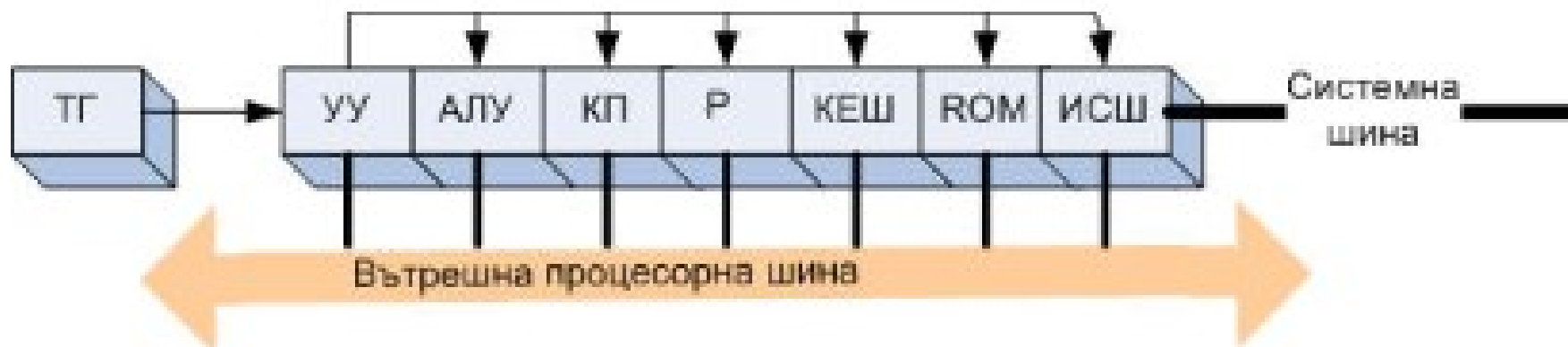
Категория сегмент	Ниско- бюджетни	Средно- бюджетни	Високо- бюджетни
Настолни	Sempron Athlon II	Athlon X2 Athlon II X2/ X3/ X4	Phenom X3/X4 Phenom II X2/X3/X4/X6
Мобилни	Sempron Mobile	Athlon II Dual-Core Mobile	Turion II Dual-Core Mobile
Сървъри	-	-	Opteron, Six-Core Opteron Opteron 6100 Serie

3. Функции на процесора

3.1. Основни функции

3.2. Сервизни функции

4. Ресурси на процесора



4.1. Устройства

Управляващо устройство (УУ)

Аритметико-логическо устройство (АЛУ)

Копроцесор (КП)

4.2. Регистри (Р) - собствена памет на процесора.

4.3. Кеш памет – бърза буферна памет, в която се съхраняват често използваните от процесора инструкции и данни.

4.4. ROM – съхранява микрокода (микропрограмите)

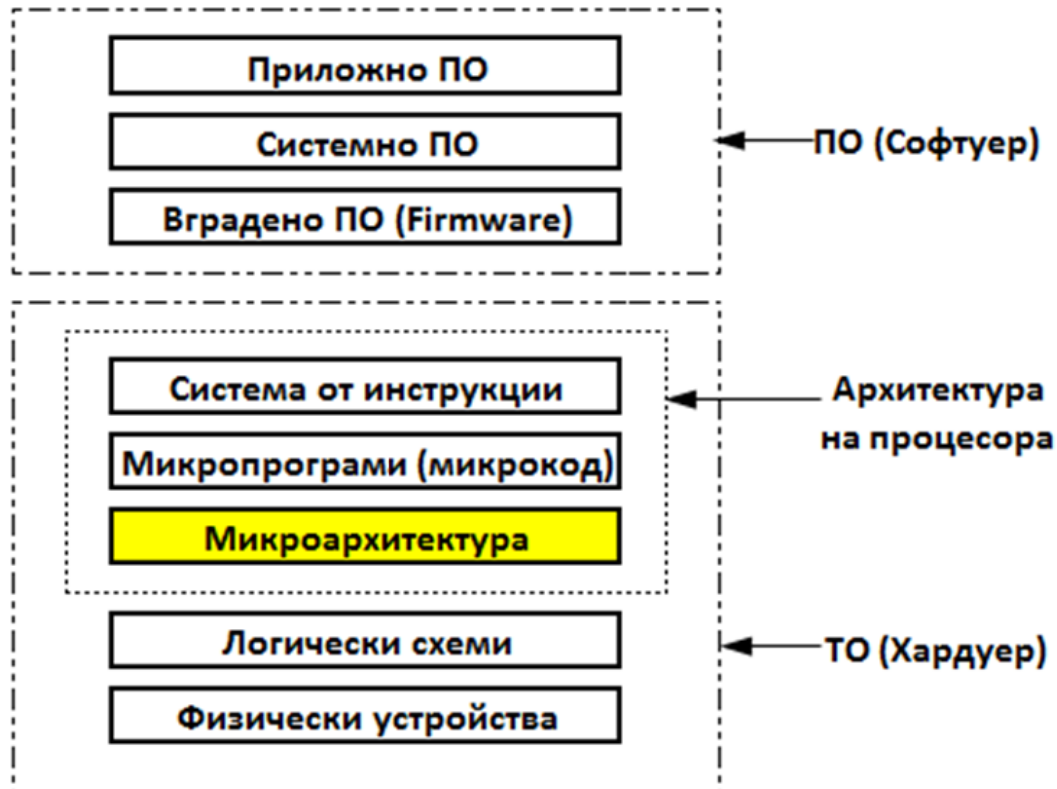
4.5. Интерфейс със системната шина (ИСШ) - осъществява връзката на процесора с останалите компоненти на КС.

Т2. Архитектура на процесора

1. Основни понятия

- Система от инструкции
- Микрокод
- Микроархитектура
- Архитектура на процесора

Структура на КС



Характерни особености

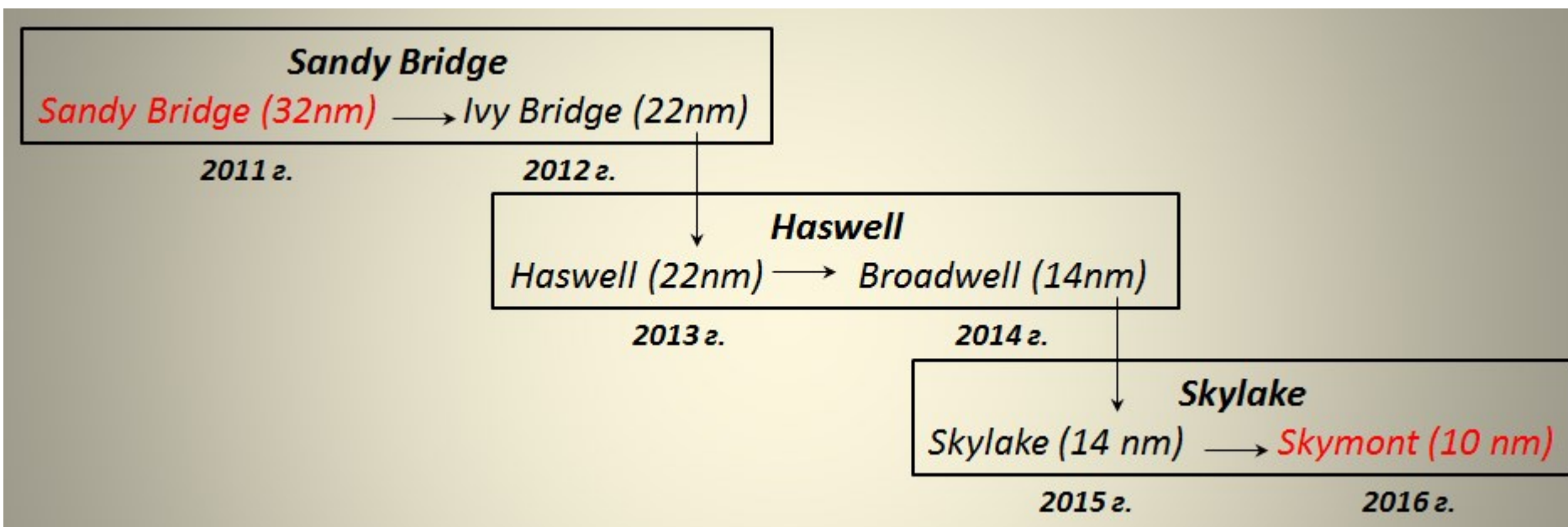
1. Една система от инструкции може да бъде реализирана чрез различни микроархитектури -> програмна съвместимост -> Intel и AMD.
2. Нова микроархитектура се анонсира при:
 - нов технологичен процес (TICK), напр.
Intel → Sandy Bridge (32 nm) и Ivy Bridge (22 nm)
Intel → Haswell (22 nm) и Broadwell (14 nm)

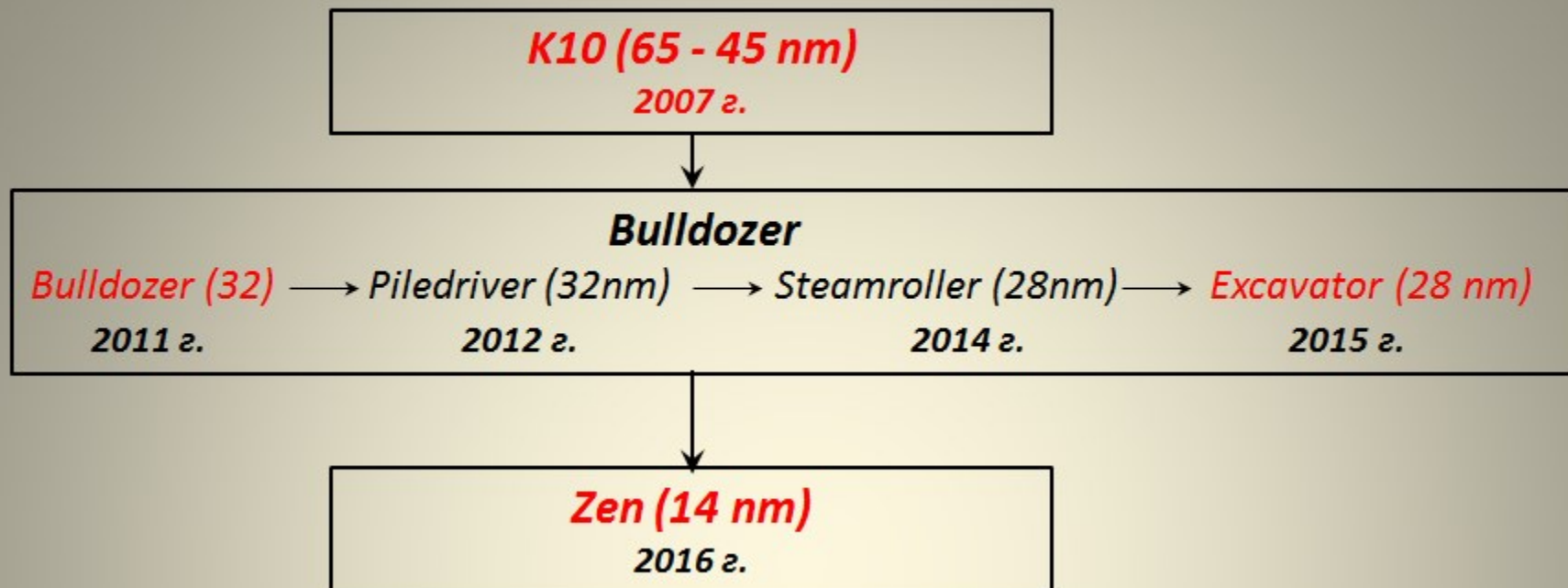


- принципно нови възможности (ТОСК), напр.: нови инструкции (добавки), нови архитектурни решения - брой ядра, нива и капацитет на кеша, интегрирана графика, поддържана памет и мн. др.
Intel → Ivy Bridge (22 nm) и Haswell (22 nm)
Intel → Broadwell (14 nm) и Skylake (14 nm)

Съвременни процесорни микроархитектури

➤ INTEL





2. Основни микроархитектурни концепции

2.1. Развитие на системата от инструкции (Instruction set)

А) Основни класове инструкции – за трансфер на данни, за аритметически операции, за логически операции, за управление на изпълнението (преход, цикъл, прекъсване), за обработка на символни данни, за В/И операции и др.

Б) Мултимедийни разширения на системата от инструкции

- **Необходимост**
- **Същност**
- **Особености**
- **Разширения**

Intel

- ✓ **MMX (MultiMedia eXtensions) → Pentium MMX (1997 г.)**
- ✓ **SSE (Streaming SIMD eXtensions) → Pentium III (1999 г.)**
 - **SSE2 → Pentium 4 (2000 г.)**
 - **SSE3 → Pentium 4 (2004 г.)**
 - **SSE4 → 4.1 → Pentium 4 (2006 г.) и 4.2 → Core i (2008 г.)**

✓ AVX (Advanced Vector Extensions), 2008 г.

Intel -> Sandy Bridge и Ivy Bridge

AMD -> Bulldozer и Piledriver

✓ AVX2 -> Intel -> Haswell (2013 г.)

AMD

✓ 3DNow!, Enhanced 3DNow! (3DNow+) и SSE 4.a

✓ от 2010 г. – отказ от поддържане на своите разширения, с изкл. на SSE 4.a

В) Други разширения на системата от инструкции

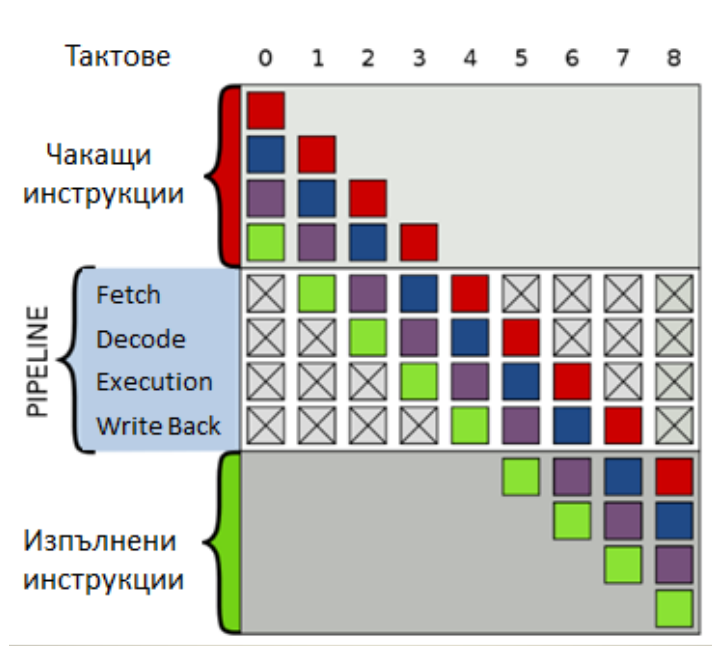
✓ AES (Advanced Encryption Standard), 2008 г. -> за ускоряване работата на програми, използващи шифриране на данните

✓ ADX -> Broadwell (за работа с числа с произволна точност) и др.

2.2. Конвейерност (Pipelining)

А) Цикъл на инструкцията

Б) Идея на конвейеризацията – едновременно изпълнение на различни фази от съседни инструкции



Идеален конвейер

1. Фазите имат продължителност в рамките на 1 такт.
2. Едновременно изпълняваните инструкции са независими.
3. Инструкциите са линейни.

Необходими условия

1. Фазите да бъдат реализират от самостоятелни блокове.
2. Наличие на буферна памет между фазите.

Резултат

1. На всеки такт → по една „влизаща“ в конвейера и една „излизаща“ от него инструкция.
2. Времето за 1 инстр. остава непроменено; съкращава се времето за изпълнение на група инструкции.

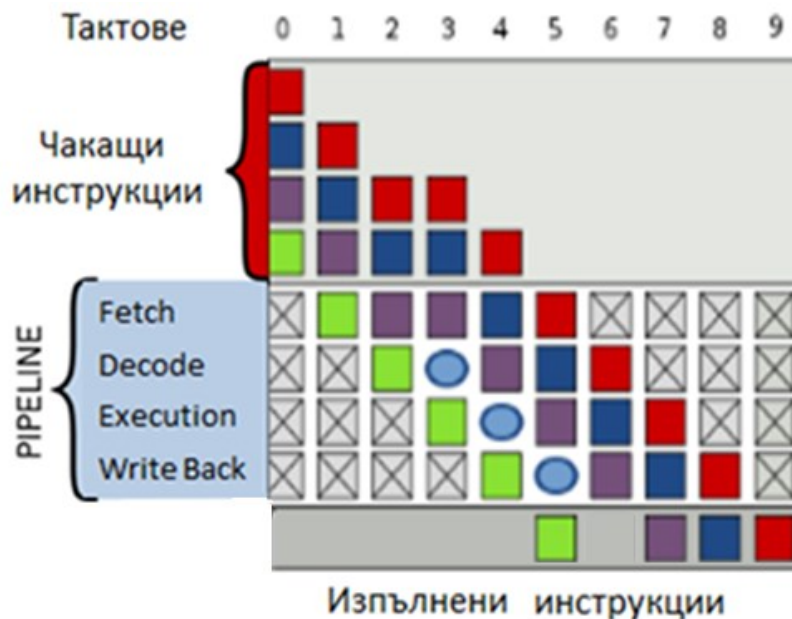
Първи конвейер → Intel 80486

Основна характеристика на конвейерите – дълбочина (брой фази)

- Intel 80486 → 5 фазен
- Pentium 4 → 20 фазен (0.18 мкр ядро)
→ 31 фазен (0.13 мкр ядро)
- Intel Core i7 → 14 фазен.

В) Конфликти в реалните конвейери

Времедиаграма на примерен конфликт



В1. Ресурсни конфликти – същност, примери

В2. Конфликти по управление – същност, примери

В3. Конфликти по данни – същност, примери.

2.3. Суперскаларность

А) Същност



Процесор с един конвейер -> скаларен

Процесор с няколко конвейера -> суперскаларен

Б) Основни параметри за характеризиране на скаларността

- Брой конвейери за целочислена (ALU) и плаваща (FPU) аритметика
- Равнопоставеност на еднотипните конвейери
- Дълбочина на конвейерите (брой на фазите)
- Съвместимост (едновременност) в работата на конвейерите за целочислена и плаваща аритметика и др.

2.4. Техники за повишаване производителността на конвейерите

А) Прогнозиране на условните преходи (Branch Prediction)

Б) Спекулативно изпълнение, или т. нар. изпълнение по предположение (Speculative Execution)

В) Неподредено изпълнение на инструкциите (Out-of-Order Execution)

<i>In-Order execution</i>	<i>Out- of- order execution</i>
Извличане и декодиране на инструкцията, подлежаща на изпълнение (Fetch, Decoding).	Извличане и декодиране на инструкцията, подлежаща на изпълнение (Fetch, Decoding).
Извличане на операндите и изпълнение на инструкцията (Execution).	Поставяне на инструкцията в опашка от декодирани инструкции.
Запис на резултата (Write Back).	Избор и изпълнение на готовата за изпълнение инструкция (операндите са налични).
	Поставяне на резултата от изпълнената инструкция в опашка от готови резултати.
	Записване на резултата (Write Back), след записването на резултатите от всички предхождащи инструкции.

Г) Придвижване на данните (Data Forwarding)

Д) Преименуване на регистрите (Register Renaming)

2.5. Кеш памет

А) Идея на кеширането

- Необходимост от кеширане
- Принцип на кеширане
 - ✓ изпреварващо четене и поддържане на копия на блокове от RAM в кеша
 - ✓ кешът е бърза памет (Static RAM)
- Йерархия на процесорния кеш :
L1 -> L2 -> L3 (-> L4)

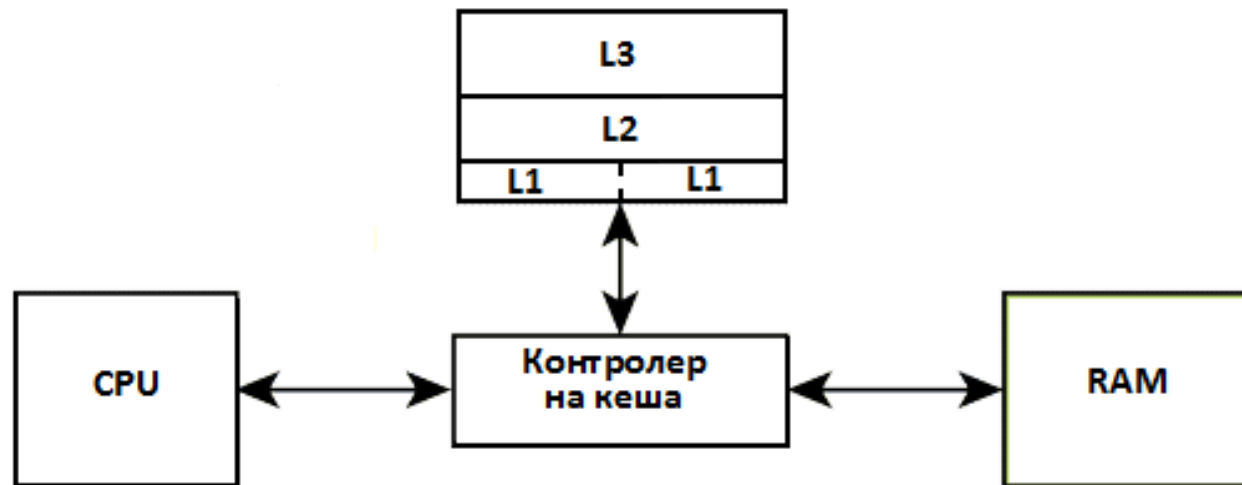
Б) Реализация на процесорния кеш -> интегриран в процесорния чип (L1 – винаги в самото ядро на процесора)

В) Методи за организация и обработка на данните в кеша

В1. Основни понятия

- Ред (кеш) <-> Блок (RAM)
- Броят на редовете <<< Броя на блоковете
- Каталог (съответствие „ред <-> блок“)

В2. Механизъм на четене от кеша



- Кеш попадение (cache hit)
- Кеш пропуск (cache miss)

В3. Методи за търсене на блока в RAM

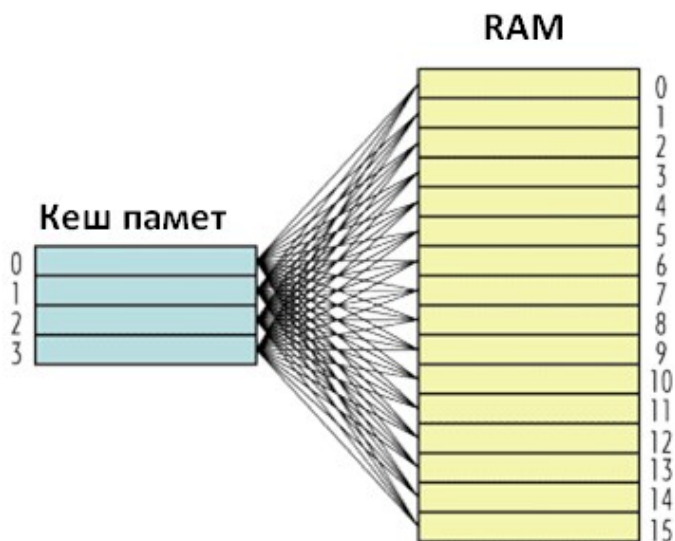
- Look Aside - обръщението към RAM започва едновременно с търсенето в каталога на кеша. При cache hit търсенето се прекратява.
- Look Through - обръщението към RAM започва едва, след като се установи cache miss.

В4. Методи за актуализация на паметта (политика на запис)

- **Незабавен запис (Write-through)** - всяка промяна в ред от кеша се отразява незабавно в съответния блок от RAM.
- **Отложен запис (Write Back)** – променените редове се маркират като „мръсни“ (dirty). Актуализацията на съответните блокове от RAM става само при необходимост – напр. ако съответният ред в кеша трябва да се даде на друг блок от паметта (изхвърляне на блока от кеша) и др.

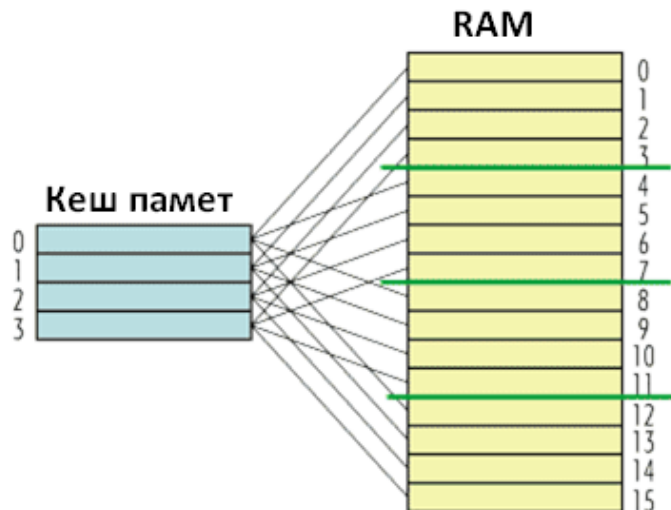
В5. Методи за разполагане на блоковете от паметта в редовете на кеша

- **Напълно асоциативен кеш (Fully-associative cache)**



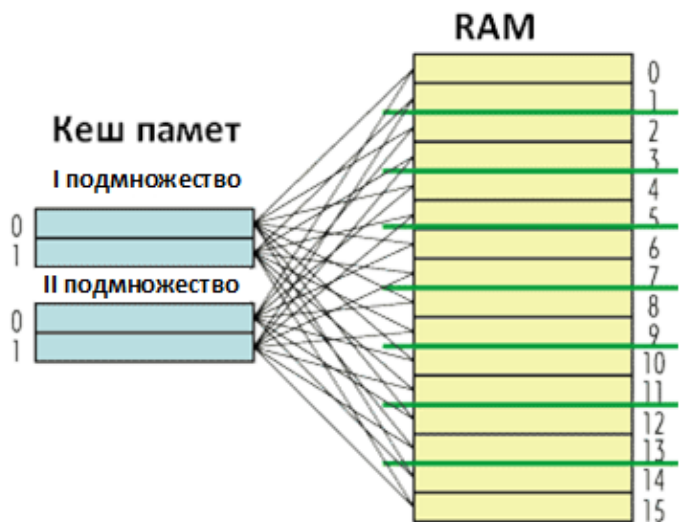
- ✓ Всеки блок от RAM във всеки ред от кеша
- ✓ Предимства - висока ефективност
- ✓ Недостатък - много сложен алгоритъм за търсене в каталога на кеша

■ Кеш с директно съответствие (Direct-mapped cache)



- ✓ В един ред от кеша могат да се запишат само точно определени блокове от RAM; всеки един от тях може да бъде записан единствено в този ред и в никой друг.
- ✓ Предимства - проста реализация

■ Асоциативен кеш с подмножества (Set-associative cache)



- ✓ Редовете в кеша са условно групирани в 2, 4, 8, 16 и т.н. подмножества. Всеки блок от RAM може да бъде записан в един ред от всяко множество, т.е. все едно, че има 2, 4, 8, 16 кеша с директно съответствие.
- ✓ Предимства - при голям брой на множества, много ниска вероятността за кеш-пропуск.
- ✓ Недостатъци - трудна реализация.

2.6. Многопроцесорност и многопоточност

➤ Многопроцесорност

А) Направления за повишаване производителността на КС

А1. Повишаване бързодействието на процесорите - най-интензивно до 2002 г. (Pentium 4 - II поколение) чрез:

- повишаване броя и дълбочината на конвейерите
- интензивно използване на йерархия от кешове с увеличен капацитет
- усъвършенстване на технологичния процес и др.

Резултати:

- при 20% увеличение на тактовата честота -> 13 % увеличение на производителността и 73% консумираната енергия
- 20% намаление на тактовата честота -> 13 % намаление на производителността и 49% консумираната енергия.

А2. Разпределяне работата между няколко процесора с по-слаби характеристики -> увеличава се работата за 1-ца време, т.е. производителността. Реализация – в многопроцесорните системи и в съвременните многоядрени процесори.

Б) Многоядрени процесори – няколко физически процесорни ядра разположени на един чип.

26 май 2005 г. → Intel Pentium D (Desktop) → с ядро на P4

1 юни 2005 г. → AMD Athlon 64X2

Б1. Обявените скоростни характеристики → за всяко ядро

Б2. Характеристики на нивата кеш памет

L1, L2, L3 (, L4)

→ Капацитет
← Бързодействие

L1 → не се задава в спецификациите

→ разделен на L1 за инструкции (L1 I) и L1 за данни (L1 D)

→ типичен капацитет – KB (2*64 KB, 2*128 KB)

L2 → Intel: за всяко процесорно ядро

→ AMD: за всяка двойка ядра, образуващи т.нар. модул

L3 → обща (споделена) за всички ядра/модули

L4 → кеш на L3.

Б3. Производителност и ефективност

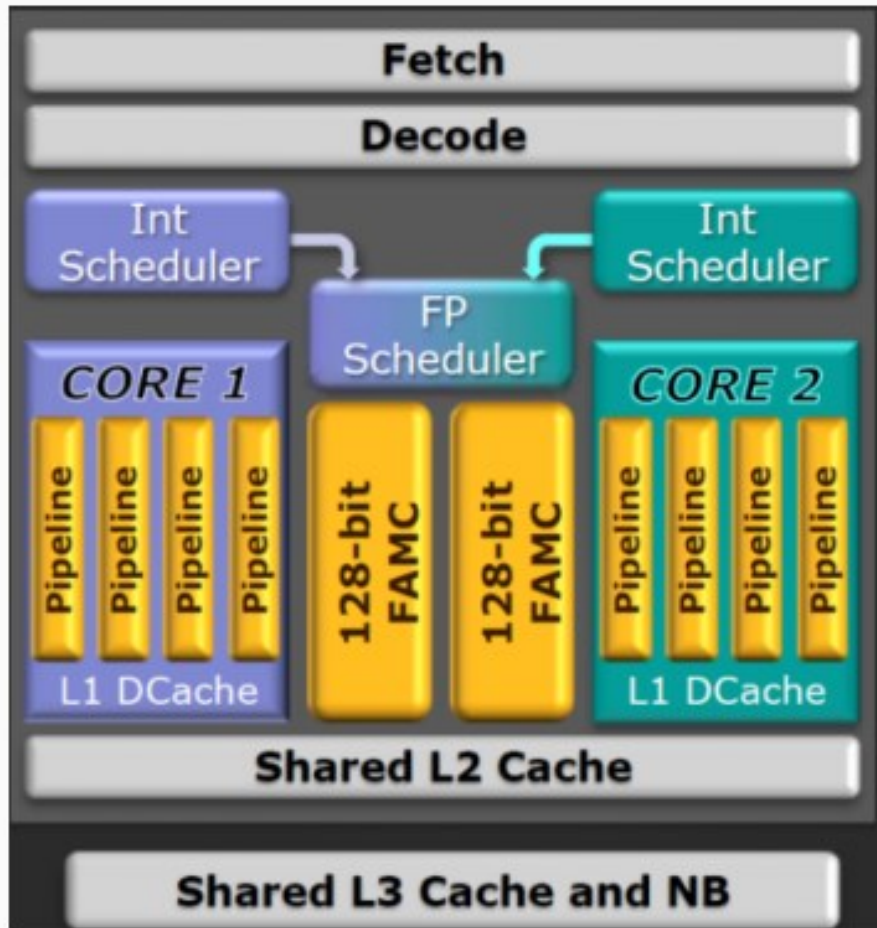
- **бързодействие → мащабира се на ниво чипове и ниво ядра**
- **ефективност:**
 - ✓ **работа в многозадачен режим (multitasking)**
 - ✓ **оптимизация за многопроцесорна обработка -> многонишковост (Hyper Threading).**

➤ Многопоточност (многонишковост – Hyper Threading):

- **Същност и особености - един физически процесор (процесорно ядро) се разглежда от ОС като 2 отделни логически процесора (ядра), които обработват едновременно две нишки (потоци).**
- **Хардуерна поддръжка на НТ – възможността на процесора:**
 - ✓ **да съхранява едновременно състоянието на два потока**
 - ✓ **да притежава по един набор от регистри и по един контролер на прекъсванията за всеки логически процесор.**

Примерни архитектури

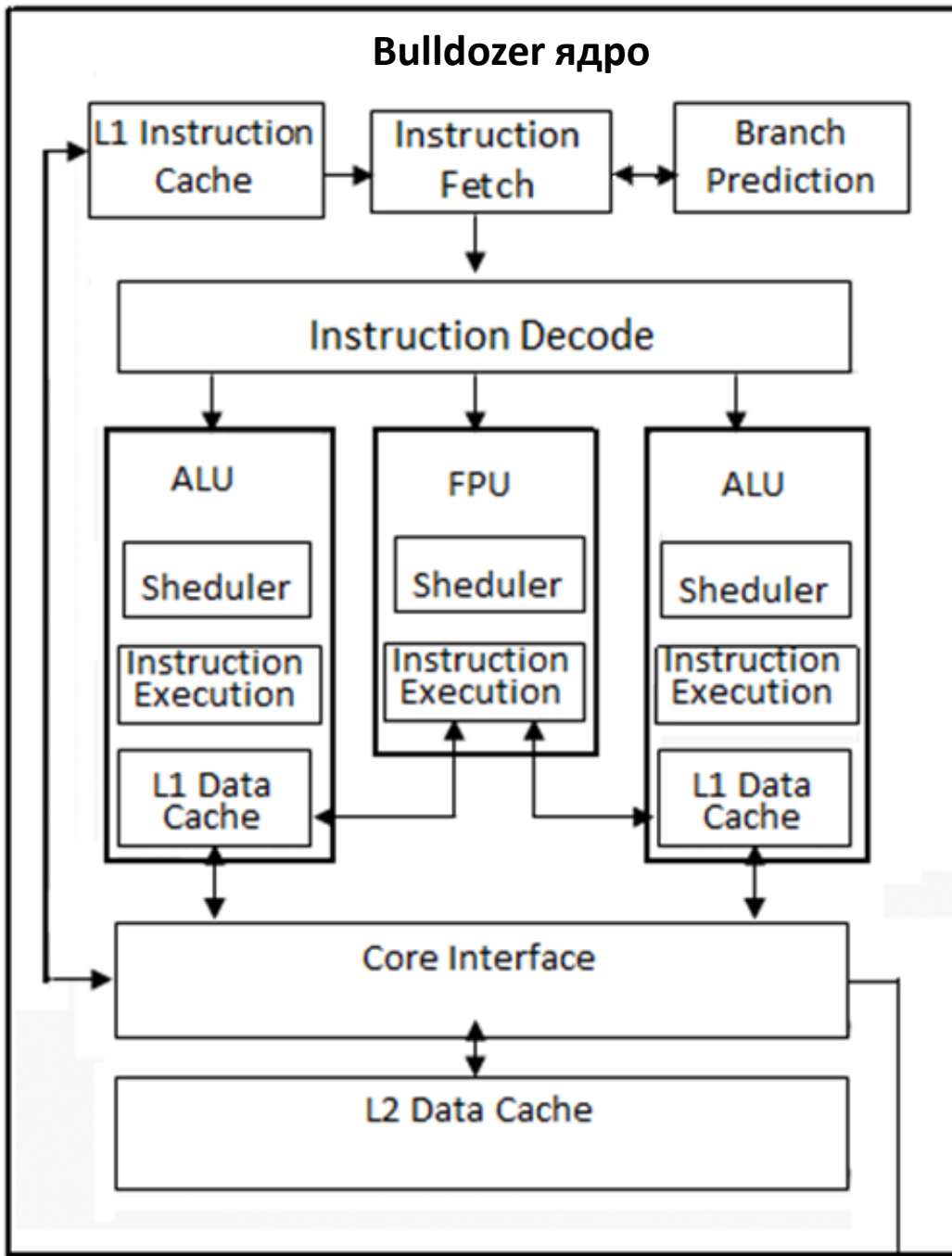
*Микроархитектура Bulldozer (AMD):
две Integer и едно FPU ядра (FPU може да
се ползва съвместно или разделено от
целочислените ядра)*



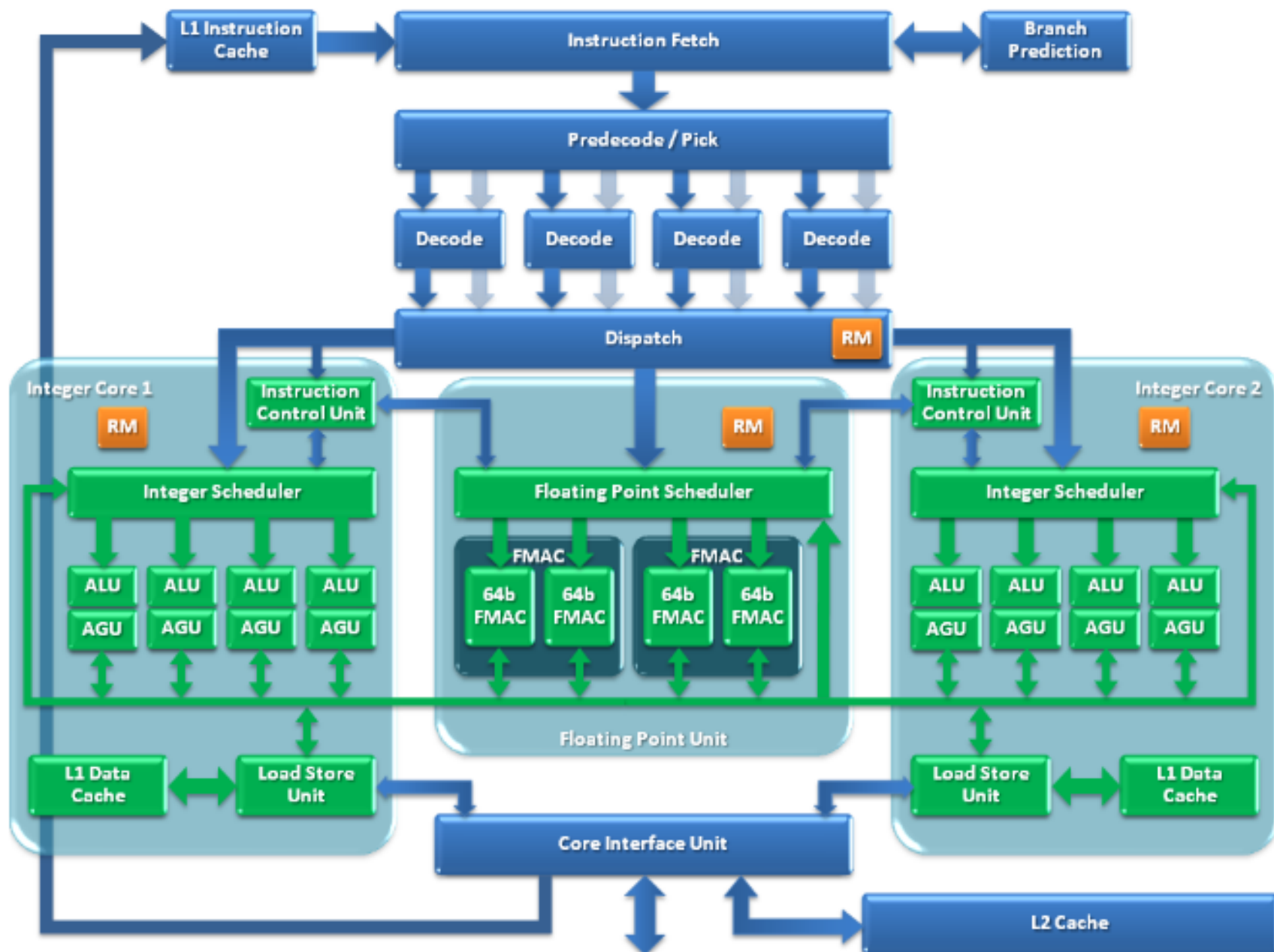
Bulldozer ядро (модул)

- Състои се от 2 целочислени ядра (CORE 1 и CORE 2) и 1 поделено ядро с плаваща запетая (FP).
- фазите извличане (Fetch) и декодиране до микроинструкции (Decode) са общи за модула.
- суперскаларна архитектура на ядрата:
 - ✓ по 4 целочислени конвейера (за всяко целочислено ядро) и 2 конвейера с пл. запетая (FPU)
 - ✓ разпределители между конвейерите (Scheduler)
 - ✓ L1 D (за данни) -> за всяко целочислено ядро
 - ✓ L2 -> обща за модула
 - ✓ L3 -> обща за всички модули.

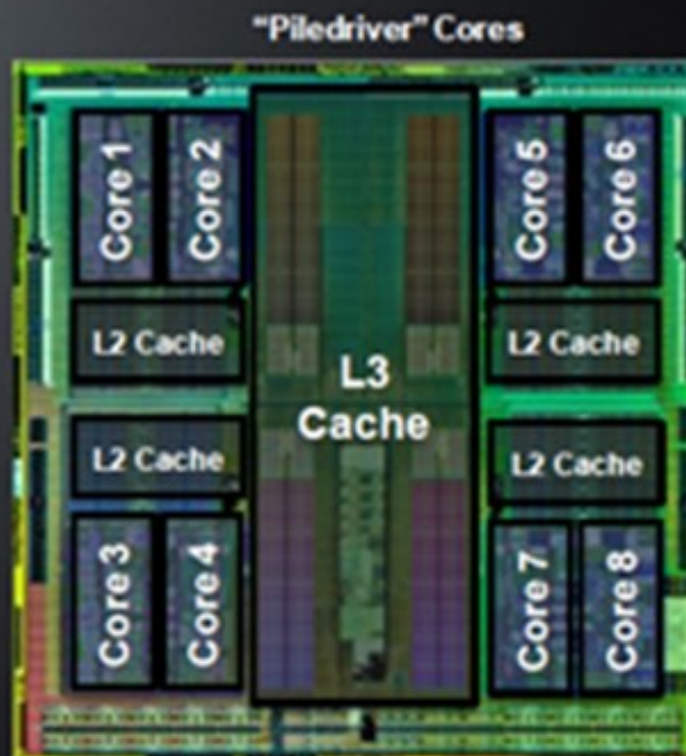
Bulldozer ядро



**Блок-схема на Bulldozer
ядро (модул)**



2012 AMD FX SERIES OVERVIEW



AM3+ Socket

Details

- 32nm
- 1.2B transistors
- 315mm²
- 8, 6, and 4 core variants

8 ядер (4 модулен) AMD процесор с Piledriver ядро

ТЗ. Основни характеристики

1. Технологичен процес, брой транзистори, размери

- Интегрална схема (ИС)
- Технологичен процес
- Влияние на технологичния процес
- Еволюция

Микроархитектура/ година	Брой транзистори	Технологичен процес
<u>Intel</u>		
8086/1978 г.	29 хил.	3 мкрм
Pentium 4 /2000 г.	5.5 млн.	0.18 мкрм
Sandy Bridge /2011 г.	1.16 млрд.	32 нм.
Ivy Bridge /2012 г.	1.4 млрд .	22 нм
Haswell /2013 г.	1.4 млрд.	22 нм
Broadwell/2014 г.	14 нм
Skylake/2015 г.	14 нм
<u>AMD</u>		
Bulldozer /2011 г.)	1.2 млрд.	32 нм
Piledriver /2012 г.)	1.6 млрд.	32 нм
Steamroller /2014 г.)	2.4 млрд.	28 нм

Очакват се: Intel Skymont (2016 г.) -> 10 нанотехнология

AMD Zen (2016) -> 14 нанотехнология

Нови технологии: нанодиамантени транзистори: подложка -> легиран диамантен филм

2. Разрядност – 8, 16, 32, **64** битови

- > брой целочислени битове, които могат да бъдат обработвани едновременно
- > разрядност на базовите регистри (за съхраняване на данните)
- > **64 битови целочислени CPU** -> 64-битово адресируемо пространство (адресируема памет).

3. Бързодействие

3.1. Характеристики

А. Бързодействие на изходната процесорна шина

- FSB (Front Side Bus) -> Intel -> MHz

- за първи път в Pentium II (90-те години) (**Back Side Bus -> L2**)
- използва се за Celeron, Pentium II и III, Pentium 4, Core, Core 2, Xeon
- преобладаващ тип FSB -> QPB (Quad Pumped Bus - четири трансфера за такт) – от Pentium 4

- последователни шини тип „точка-точка“ -> GT/s (10^9 трансфера/сек.) или GB/s (Гигабайта/сек.)

✓ HT (Hyper Transport) -> 2001 г. (AMD)

- универсална (и за В/И устройства)
- двуканална (пълнен дуплекс) -> всеки канал от 2 до 32 бита
- два трансфера за такт
- последна версия: 3.1 (2008 г.) – 51.6 GB/s

✓ DMI (Direct Media Interface) -> Intel (2004) – с интегрирането на контролера на паметта и видеоконтролера в процесора

- дву/четириканална (пълнен дуплекс)
- актуални версии:
 - 2.0 (2011 г.) - 5 GT/s
 - 3.0 (2015 г.) – 8 GT/s

✓ QPI (Quick Path Interconnect) -> Intel (2008)

- Hi-end -> някои модели Xeon, Itanium и Core i7
- двуканална (пълнен дуплекс)
- трансф. скорост -> 9.6 GT/s (2014 г.)

Б. Работна честота (Core Clock или Core Speed) - GHz (млрд. такта/сек.)

$$\text{Core Clock} = \text{Bus Speed} * \text{Core Multiplier}$$

където:

- ***Bus Speed*** е базовата (опорната) честота на тактовия генератор (Base Clock - BCLK). Определя честотата на процесорните ядра и всички останали компоненти на процесора. По подразбиране 100 MHz
- ***Core Multiplier (Core Ratio)*** – множител на честотата.

В. Overclocking (форсиране) на процесора

- Цел - разумен баланс между производителност, работна честота и енергопотребление
- Способи:

✓ *Чрез увеличаване на Bus Speed*

Проблем → води до нежелано увеличение честотата на останалите модули на процесора (контролера на паметта, контролера на PCI-e и др.).

Решение → увеличаване единствено на „базовата“ честота на ядрата чрез специални множители (*Intel* → *CPU strap*). Напр., в новите процесорни архитектури на Intel (Haswell и Broadwell) множителите са 1.00; 1.25; 1,67; 2.55, а „базовата“ честота на ядрата е съответно 100, 125, 167, 255 MHz.



- ✓ Чрез увеличаване на *Core Multiplier*. За всяка процесорна архитектура множителят има пределни минимални и максимални ст-ти.

Например:

за Sandy Bridge ≤ 57

за Ivy Bridge ≤ 63

за Haswell ≤ 80

за Steamroller ≥ 19

за Godavari ≥ 19

за Skylake ≥ 8

- Защита – заключване на *Core Multiplier*
Intel -> “K” -> отключен *Core Multiplier*
Пример: Intel® Core™ i7-4770K

4. Брой ядра/нишки

Типичен брой ядра към момента -> 2, 4; за сървъри – 6, 8

5. Кеш памет

L1, L2, L3, L4 (eDRAM – интегрирана в чипа; 64-128 MB)

6. Корпуси, сокети, TDP (Thermal Design Power)

6.1. Корпуси – херметическа конструкция за защита на кристала и за ел. съединение със системната платка чрез изводи (контакти)

- Според формата и разположението на контактите

Разположение: Grid Array -> решетъчно или шахматно (най-често)

Форма: PGA (Pin Grid Array) -> пинове (крачета)

LGA (Land Grid Array) -> контактни площадки; пиновете са

разположени на сокета

BGA (Ball Grid Array) -> топчета

**** FCPGA и FCLGA (Flip-Chip) – кристалът се монтира обърнат; намира се в горната част на процесора и е лесен за достъп и охлаждане.**

6.2. Сокет (гнездо, цокъл на дънната платка)

*** Всеки сокет поддържа определени фамилии и поколения процесорни микроархитектури. Корпусите и сокетите – стандартизирани за настолни и преносими компютри.**

➤ **Intel**

Микроархитектура	Настолни	Мобилни
Sandy Bridge и Ivy Bridge	LGA 1155	Socket G2 (rPGA988), BGA
Haswell и Broadwell	LGA 1150	Socket G3 (FCPGA946), BGA
Sandy Bridge-E, Ivy Bridge-E, Haswell-E	LGA 2011 v1, v2, v3	не
Skylake	LGA 1151	BGA

➤ **AMD**

Микроархитектура	Настолни	Мобилни
Bulldozer FX Series	AM3+	не
Piledriver FX Series A Series	AM3+ FM2	не Socket FS1, FP2
Steamrooler A Series	FM2+	FP3

FX Series-> без вградено граф. ядро

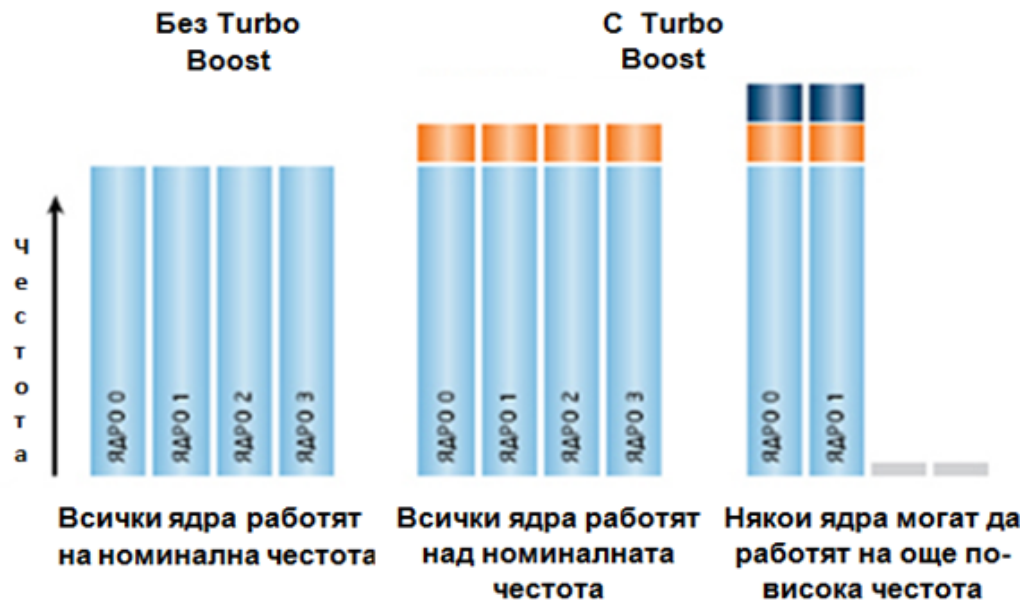
A Series -> APU (Accelerated Processing Unit) -> с вгр. графично ядро

6.3. TDP (Thermal Design Power) – на какво топлоотдаване трябва да бъде разчетено охлаждането на процесора (вата)

7. Реализирани технологии

- ***Intel 64 (EM64T / AMD64 / x86-64 / x64)*** -> 64-битово адресно пространство; увеличен брой 64-битови целочислени регистри
- ***MMX, SIMD (Single Instruction Multiple Data)*** -> разширения на системата от инструкции за ускорение на мултимедийната обработка
- ***VT (Virtualization Technology)*** - хардуерна поддръжка на софтуерната виртуализация.
- ***HT (Hyper Threading)*** - хардуерна поддръжка на многонишковата технология.
- ***Advanced Smart Cache*** – автоматично и оптимално преразпределение на общата кеш памет към работещите ядра, за сметка на неработещите (до 100%)

- ***TB (Turbo Boost) -> Turbo Core*** – автоматично повишаване на работната честота на натоварените ядра, за сметка на ненатоварените



- ***XD bit (Execute Disable Bit)*** – хардуерна забрана за изпълнение на програма, заредена в област за данни -> хакерски атаки, вируси

- *TM (Thermal Monitor), PECI (Platform Environment Control Interface)*
 - ✓ TM – следи температурата на процесора и при прегряване -> автоматично намаляване на раб.честота чрез намаляване на напрежението или пропуск на раб. тактове
 - ✓ PECI – при прегряване на процесора -> увеличаване обороти-те на вентилатора
- *EIST (Enhanced Intel Speed Step Technology)* – при ниско натоварване или престой -> автоматично намаляване на раб.честота и намаляване на напрежението, с цел понижаване на енергопотреблението и др.

Процесорни фамилии на Intel

Поколения процесорни микроархитектури



Core i (Core i3, Core i5, Core i7), Pentium, Celeron

Процесорни фамилии

А. Обща характеристика на фамилиите

Pentium и Celeron

- **двуядрени - за настолни и мобилни компютри**
- **не поддържат ТВ, не поддържат НТ**
- **някои модели не включват графично ядро**

Core i3

- **двуядрени - за настолни и мобилни компютри**
- **не поддържат ТВ, поддържат НТ**

Core i5

- **настолни – четириядрени (рядко 2-ядрени) с ТВ, но повечето не поддържат НТ**
- **мобилни – двуядрени, поддържат ТВ и НТ**

Core i7

- **поддържат ТВ и НТ**
- **за настолни - 4 ядрени (няколко модела 6-ядрени)**
- **за мобилни – 2 и 4 ядрени.**

Общо за Core i

L2 – 256 KB на всяко ядро

L3 – 2 до 8 MB (в някои модели повече)

Б. Номерация на процесорите от фамилия Core i

Intel Core i7-2600K

суфикс
номер
поколение (2-6)
фамилия (i3, i5, i7)

Клас	Основни суфикси	Значение
Настолни	K, C	Отключен множител
	S	Оптимизирана производителност
	T	Оптимизирано енергопотребление
	R	C Iris Pro графично ядро (Skylake)
Мобилни	M	Мобилен
	MX	Мобилен, Extreme Edition
	MQ, QM	Мобилен, 4-ядрен
	H	Мобилен с високопроизв. графично ядро
	HQ	Мобилен, 4-ядрен с високопроизв. гр. ядро
	HK	Мобилен, отключен с високопроизв. гр. ядро
	U	Мобилен със свръхниско енергопотребление

В. Примери

Intel Core i5-**6200U** -> 6-то поколение (Skylake, 14 nm), мобилен със свръхниско енергопотребление (U)

Intel Core i5-**4670** -> 4-то поколение (Haswell, 22 nm), настолен

Intel Core i7-**4900 MQ** -> 4-то поколение (Haswell, 22 nm), мобилен 4-ядрен (MQ)

Intel Core i7-**3570 T** -> 3-то поколение (Ivy Bridge, 22 nm), настолен с оптимизирано енергопотребление (T)

Intel Core i5-**5675C** -> 5-то поколение (Broadwell, 14 nm), настолен с отключен множител (C)

Intel Core i7-**2600K** -> 2 поколение (Sandy Bridge, 32 nm), настолен с отключен множител (K)

Процесорни фамилии на AMD

Поколения процесорни микроархитектури



* С ядра Kaveri и Godavari са произведени няколко модела APU с идентификатор FX.

А. Обща характеристика на фамилиите

FX Series – за настолни и мобилни компютри с отключен множител, без графично ядро

A Series – за настолни и мобилни компютри с графично ядро (Accelerated Processing Unit – APU; Fusion)

**** За мобилни компютри -> AMD E1 и E2 Series APU със слаби характеристики**

-> *FX-Series*

- **Архитектура: Bulldozer и Piledriver (32 nm)**
- **Сегмент: настолни**
- **Характеристики: 4, 6 и 8 ядрени (за сървъри), съответно с 2, 3 и 4 модула**
- **Кеш:**
 - L2 → 2 MB обща за всеки модул**
 - L3 → 4 до 8 MB обща за всички модули**
- **Поддържат Turbo Core и Hyper Trading и възможност за overclock (отключен множител)**
- **Памет: DDR3**
- **Сокет: AM3+**

Номерация

AMD FX-4130 -> 4 ядрен, 1 поколение

AMD FX-8350 → 8 ядрен, 3 поколение

-> A-Series (APU)

Поколения APU – основни характеристики

Поколение	1	2	3	4	5	6
Име	Llano	Trinity	Richland	Kaveri	Carrizo	Godavari
Микроарх.	K10	Piledriver		Steamroller	Excavator	Steamroller
GPU	Radeon HD 6000 Series	Radeon HD 7000 Series	Radeon HD 7000 Series	Radeon R4 до R7 Series	Radeon R5 до R7 Series	Radeon R7 Series
Сегмент	Настолен/ Мобилен			Настолен/ Мобилен	Мобилен	Настолен
В произв-во	Авг. 2011	Окт. 2012	Юни 2013	Ян. 2014	Юни 2015	лято 2015
Технология	32 nm			28 nm		28 nm
Сокет	FM1/FS1	FM2/FS1+, FP2		FM2+/FP3	FP4	FM2+
Памет	До DDR3-1866		До DDR3-2133			

Номерация

A10	7	600	К
Модел в серията	Поколение	Номер	Суфикс

Модел в серията

A4 – 2 целочислени ядра

A6 – 2 или 4 целочислени ядра

A8, A10 – 4 целочислени ядра

Основни суфикси

Настолни – К, В

Преносими – М, МХ

Примерни спецификации

Intel® Core™ i7-4770K Processor (8M Cache, up to 3.90 GHz)

Intel® Core™ i5-6260U Processor (4M Cache, up to 2.90 GHz)

AMD A10-series X4 7870K (3.9Ghz Up to 4.1Ghz, 4Mb, 95W), FM2+

Обща информация			
Процесор	Intel Core i7-4770K	Intel Core i5-6260U	AMD A10-7870K
Клас	Настолен	Мобилен	Настолен
Производител	Intel	Intel	AMD
Фамилия	Intel Core i7	Intel Core i5	AMD A10-series
Модел номер	i7-4770K	i5-6260U	A10-series X4 7870K
Тактова честота	3.50 GHz	1,8 GHz	3,90 GHz
Turbo честота	3.9 GHz	2,9 GHz	4,10 GHz
Процесорна шина	DMI 2.0	DMI 3.0	HT 3.1
Сокет	LGA1150	FCBGA1356	FM2+

Intel® Core™ i7-4770K Processor (8M Cache, up to 3.90 GHz)

Intel® Core™ i5-6260U Processor (4M Cache, up to 2.90 GHz)

AMD A10-series X4 7870K (3.9Ghz Up to 4.1Ghz, 4Mb, 95W), FM2+

Архитектура			
Микроархитектура	Haswell	Skylake	Steamrooler (Godavari)
Технология	22 nm	14 nm	28 nm
Брой ядра/нишки	4/8	2/4	4/4
Кеш памет L2	4*256 KB	2*256 KB	2*2 MB
Кеш памет L3	8 MB	4 MB	не
Термични и други характеристики			
TDP	84 W	15 W	95 W
CPU	Box	Box	Box
Памет			
Вид на паметта	DDR3-1333/1600	DDR4-2133	DDR3-2133
	DDR3L-1333/1600	DDR3L-1600	
Макс. капацитет	32 GB	32 GB	N/A
Брой канали	2	2	2
Вградено графично ядро			
Графично ядро	HD Graphics 4600	Iris Graphics 540	Radeon R7 series
Честота	350 MHz	300 MHz	866 MHz

T4. Производство на процесори

За производството на процесорните чипове се използват най-често силициевы пластини. Самият производствен процес включва огромен брой операции, които могат да бъдат групирани в няколко етапа:

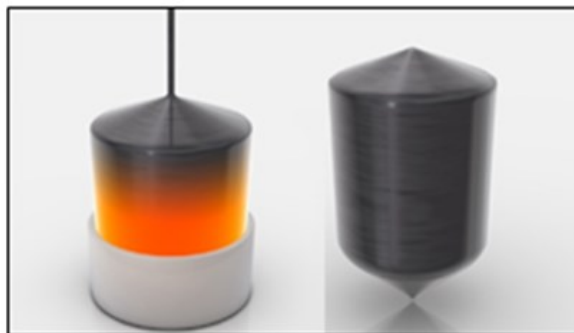
- подготовка на пластината
- обработка на пластината и получаване на т. нар. “вафла”
- тестване, опаковане и комплектуване на процесорите.

I. Подготовка на пластината

1. Производство на силициевите пръти

- Базов материал за получаване на пластината е кварцовият пясък, който е богат на силиций. От него, в специални пещи, при много висока температура (1800 градуса) и по специална технология се получава т.нар. „технически силиций“, с чистота 98-99.9%.
- След допълнителна обработка техническият силиций се пречиства допълнително, в резултат на което се получава силициева маса с чистота 99,9999999%, известна като „електронен силиций“.

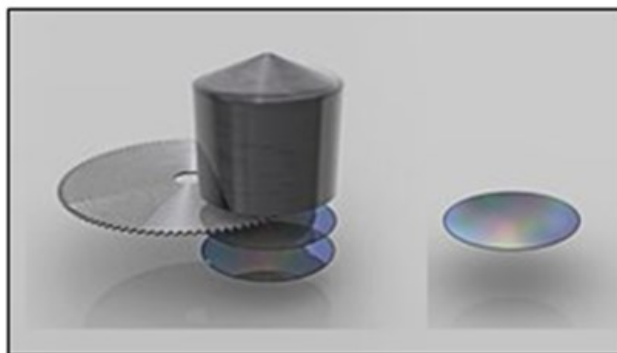
- От разтопления и пречистен силиций се изтегля монокристал с цилиндрична форма (силициев прът) с диаметър 300 мм. и тегло около 200 кг.



Силициев прът

2. Изрязване на силициевите пластини

Силициевите пластини се получават чрез нарязване на охладените силициеви пръти на тънки (под 1 мм) цилиндрични дискове и тяхното последващо изглаждане и полиране. В резултат, повърхността на пластината се изглажда до неравности от порядъка на 1 нм ($1 \cdot 10^{-9}$ м).



Силициева пластина

II. Обработка на пластината

След като бъде полирана, пластината се подлага на специална обработка, включваща няколко стотици технологични операции. В резултат на тази обработка върху нея последователно се създават определен брой слоеве от транзистори и връзките между тях. Тези слоеве изграждат тримерната структура на процесорните чипове. Броят на слоевете за различните процесори е различен, като често той надвишава 20. Създаването на всеки слой включва следните етапи:

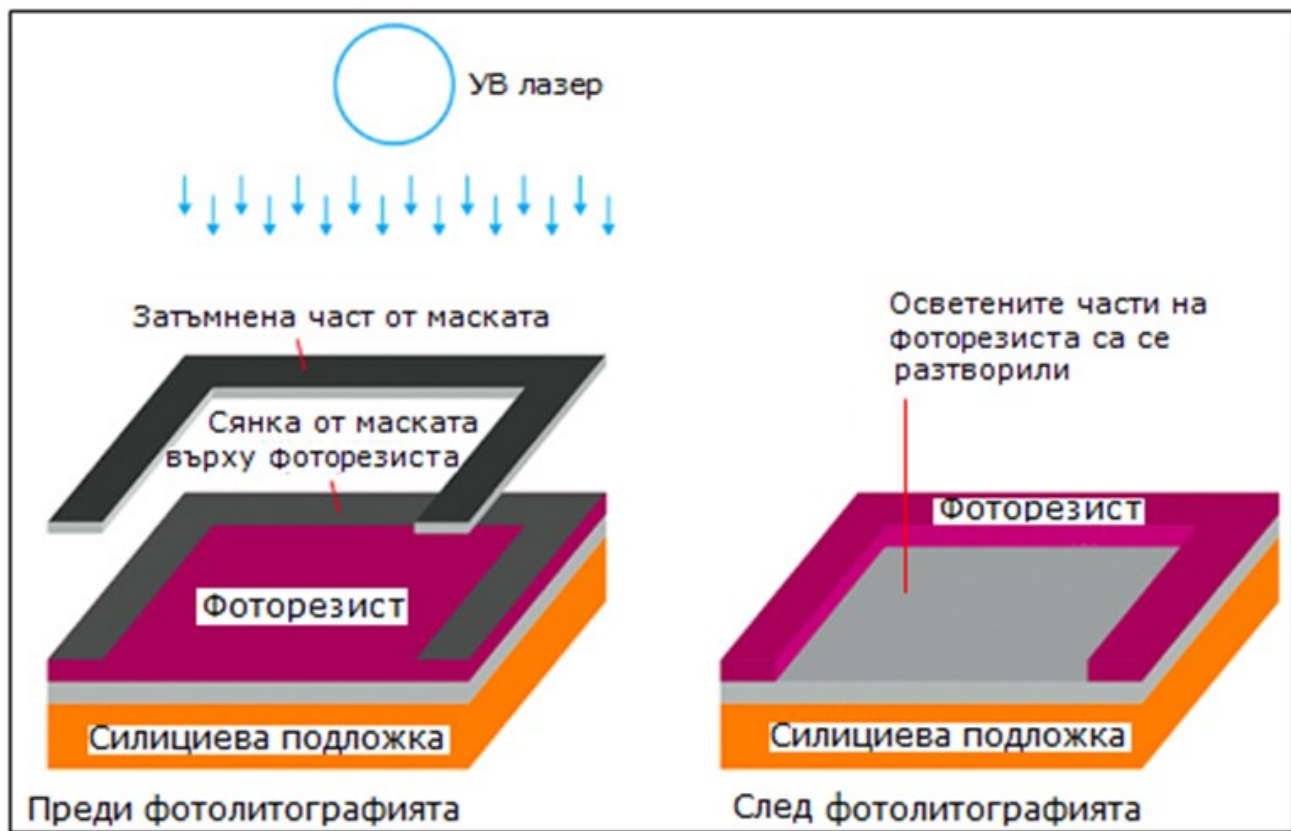
1. Фотолитография

Целта на фотолитографския процес е да се подготви изображението на текущия слой в пластината. Процесът протича по следния начин.

А) Върху полираната пластина се нанася покритие от фоточувствителен материал (фоторезист). Фоторезистът променя своите физико-химически свойства при облъчване със светлина.

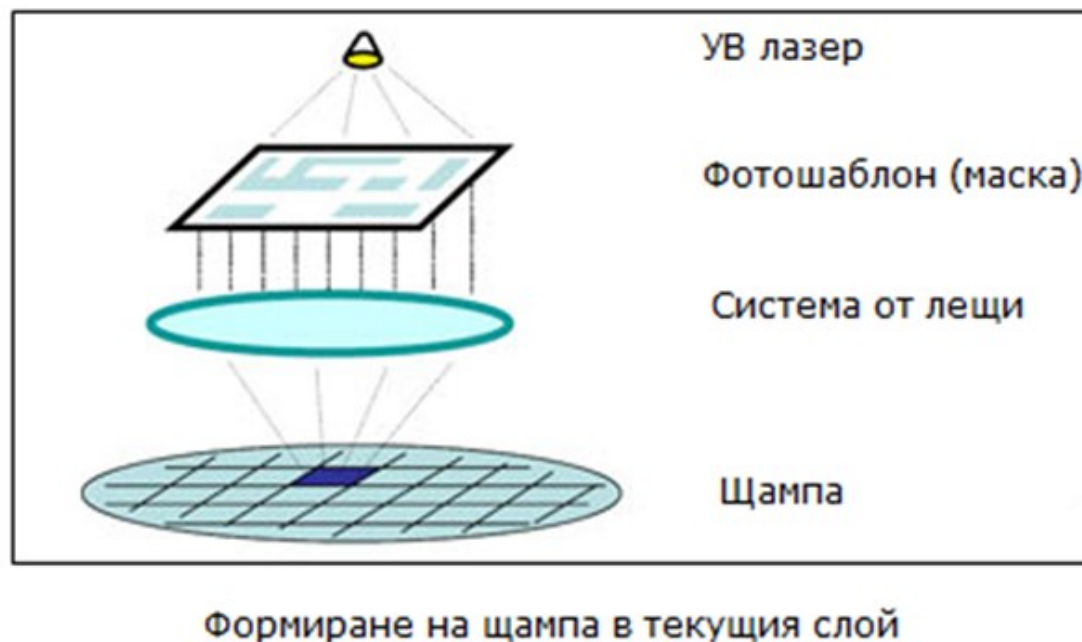
Б) Повърхността на пластината се осветява през фотошаблон или т. нар. «маска». Шаблонът представлява пластина от оптично стъкло, върху която е нанесено изображението на текущия слой. Самото изображение е направено с оцветител, който не пропуска светлината, т.е. шаблонът представлява „негатив“ на съответния слой.

В) След пропускането на светлината, осветените участъци на фоторезиста изменят своята разтворимост. Това позволява чрез химически процеси фоторезистът да бъде „отмит“ от тях. По този начин върху пластината остават неосветените участъци на фоторезиста – те формират изображението на слоя или т.нар. «щампа».



Идея на фотолитографията

При формирането на щампата се ползва система от огледала или лещи, чиято цел е от една страна прецизното фокусиране на щампата върху пластината, а от друга страна - намаляване на нейния размер. Щампата обикновено е около четири пъти по-малка от изображението на маската.



Г) По описаната последователност цялата пластина се покрива с щампи. Техният брой може да бъде няколко стотици. Всяка щампа формира по един слой в създаваните процесорни чипове. При изграждането на един слой е възможно да бъдат използвани няколко шаблона.

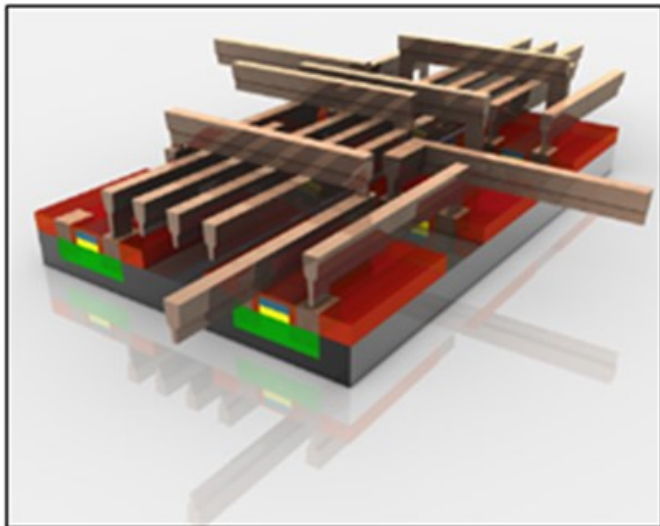
2. Създаване на транзисторите в слоя и връзките между тях

А) Йонна имплантация

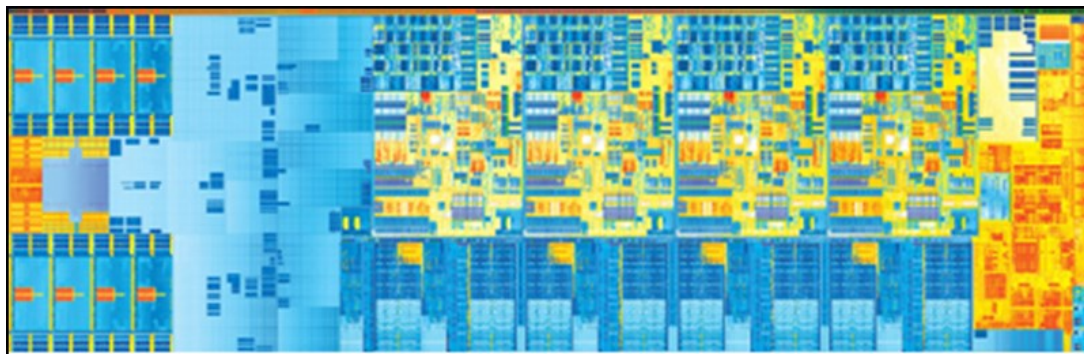
- Пластината се облъчва с поток от положително или отрицателно заредени атоми (йони) на различни химически елементи. Йоните проникват само в незащитените от фоторезиста участъци от пластината и променят проводимостта на пластината в тези участъци.
- След отстраняването на фоторезистора, на пластината остават създадените от йонната имплантация участъци - това са компонентите на бъдещите транзистори от текущия слой.
- Тъй като съвременните процесори са изградени от няколко слоя, целият описан процес се повтаря – нов слой фоторезист, нов фотошаблон и така до формирането на всички слоеве на процесорните чипове.

Б) Изграждане на транзисторите и връзките между тях.

- Създадените в процеса на йонната имплантация участъци се съединяват с токопроводящи медни контури (чрез галванизация). Изграждат се и връзките между транзисторите както в слоя, така и между транзисторите от различните слоеве. С това се изграждат електрическите схеми, които формират блоковете и устройствата на процесора.



Формиране на електрическите схеми



Процесорен чип

- Повърхността на готовата пластина не е равна. На нея са „очертани“ контурите на процесорните чипове. По своя външен вид пластината наподобява вафла, поради което често я наричат по този начин.

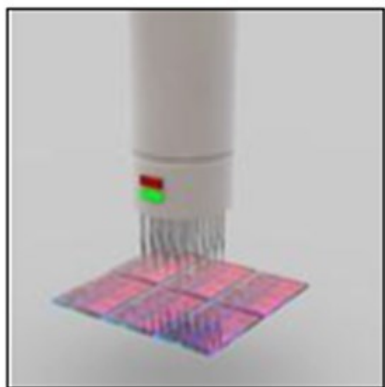


Готова пластина, или т.нар. „вафла“

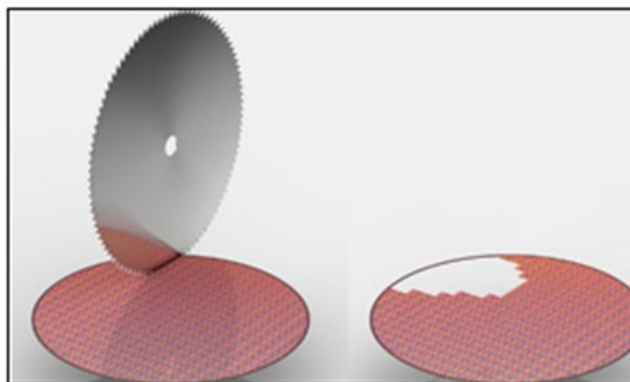
III. Тестване, опаковане и комплектоване на процесорите

1. Тестване и изрязване на чиповете

- След като пластинатата е готова, функционалността на всеки един от формираните върху нея чипове се тества и негодните се маркират.
- След теста, пластината се разрязва на отделни чипове и тези от тях, които са минали успешно теста се „опаковат“. Останалите се бракуват.



Функционален тест

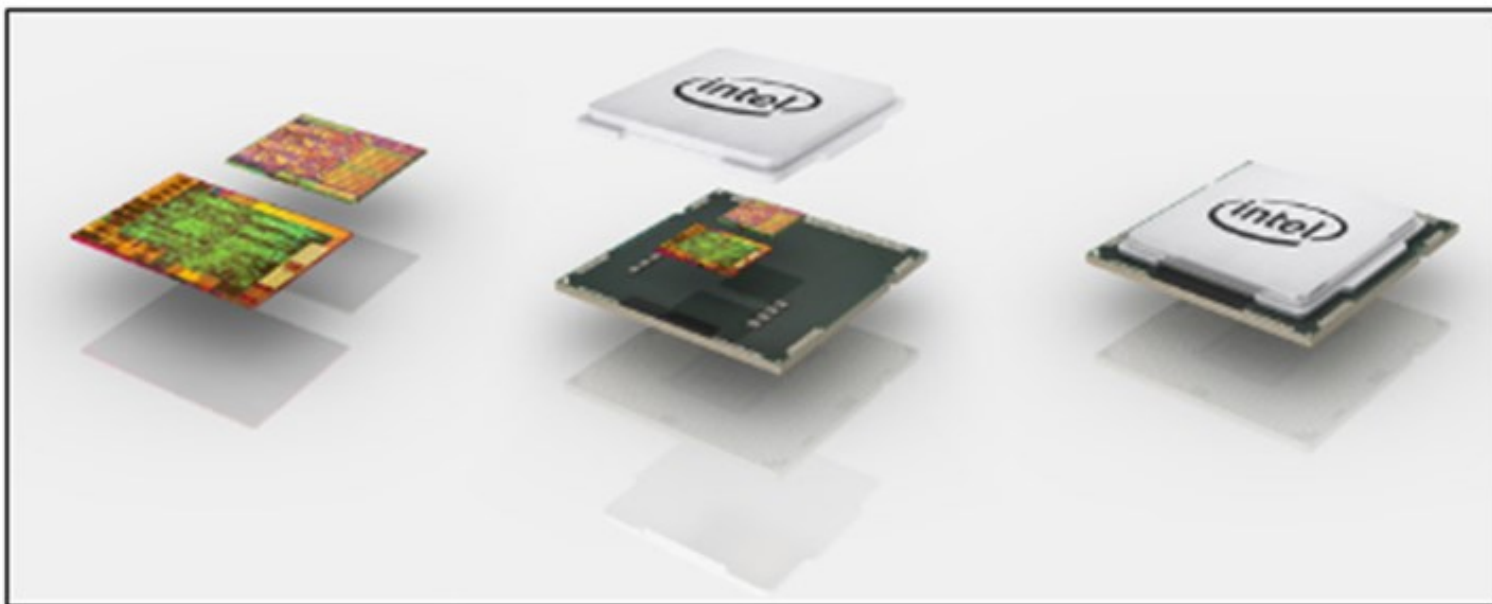


Изрязване на чиповете

2. Опаковане на процесорите

- На етапа опаковане, всеки годен чип се разполага на специална платка-подложка, чрез която се осъществява връзката между процесора и сокета на дънната платка.

- Подложката и чипът се покриват с топлоразпределително капаче, което осигурява допълнителната защита на чипа. Капачето е елемент на термоинтерфейса - върху него се разполага охлаждащата система на процесора (радиатор или друг тип охлаждане).



Опаковане на процесора

На фигурата е представен процесор Core i5, включващ чипа на процесора и чипа на видеоядрото, вградено в процесора.

3. Класифициране и комплектоване на процесорите

Опакованите процесори се тестват още един път. Този път се тестват ключовите характеристики на процесора и се определя неговата номиналната честота. Тъй като от една и съща серия се получават чипове с различна работна честота, на този етап те се сортират по честота.



Тестване и класифициране на процесорите по честота