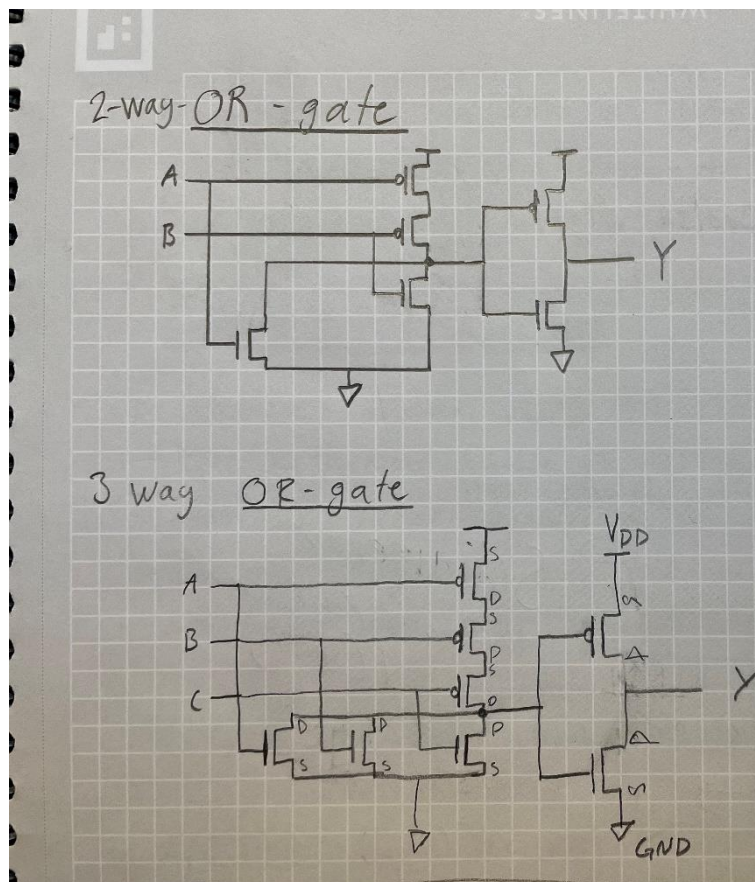
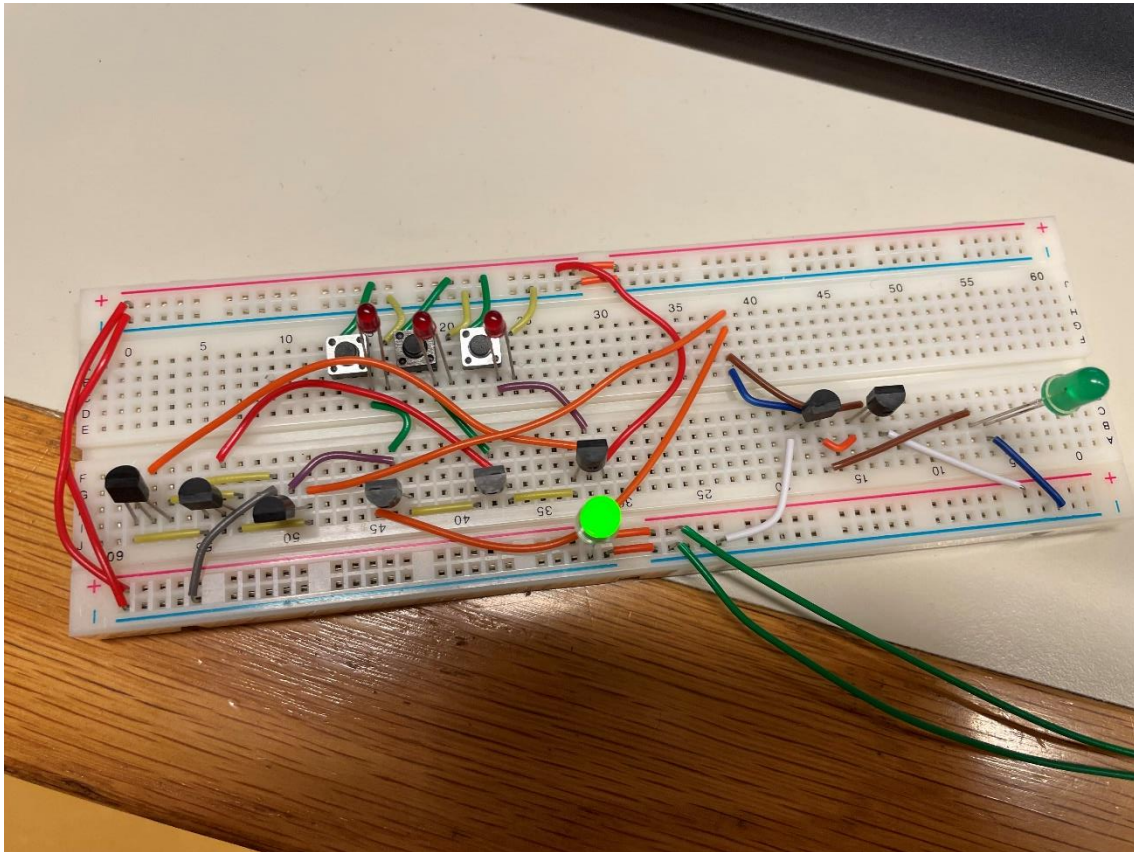


Isak Wilkens
KTH, TIDAB
iwilkens@kth.se
941109-1631

Laborationsrapport digital design

Labb 1

Bilder på simuleringar, ritning och krets



Complimentary Mos (CMOS)

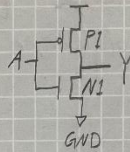
| gate | 0 | 1 |
|------|-----|-----|
| nMos | OFF | ON |
| pMos | ON | OFF |

nMos, bra på 0

pMos, bra på 1

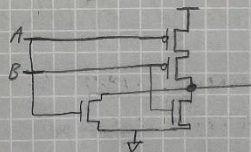
| A | Y |
|---|--------------|
| 0 | V_{DD} (1) |
| 1 | GND (0) |

Not gate



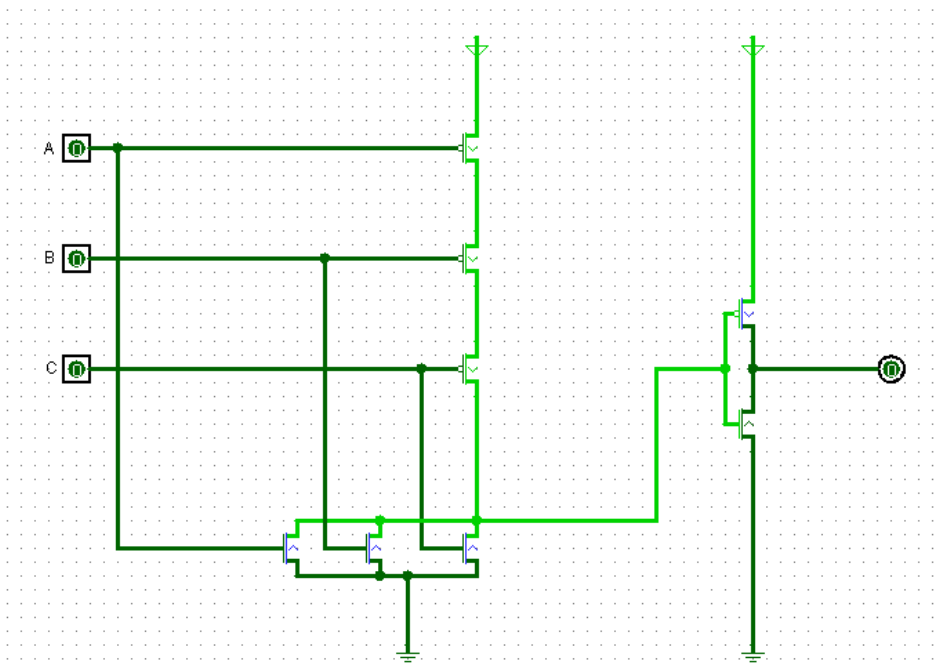
I ritade scheman är det endast samma koppling vid 3 rags baseringar och ej 4 rags baseringar endast om det finns med en punkt som markerar detta.

Nor gate



to build And with CMOS

NAND followed by NOT

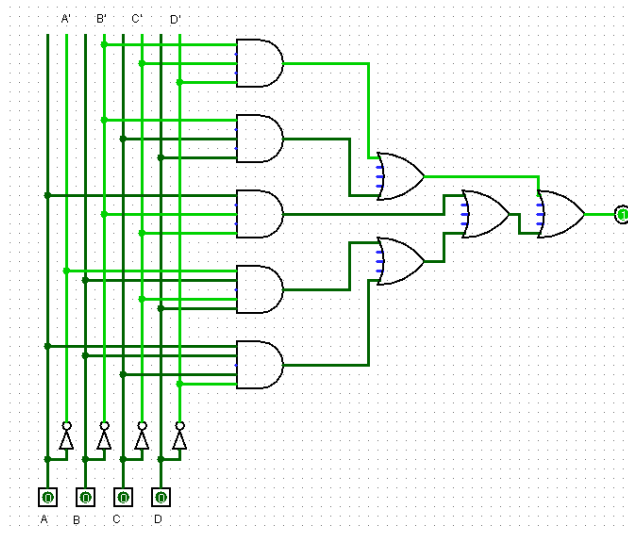


Reflektioner

Labb 1 var bra för att bygga upp förståelsen kring CMOS, hur det fungerar och bygger upp resterade delar av de kretsar vi arbetar med. Det mest utmanande var att lära känna komponenterna, breadborden och hur dessa skulle kopplas in. Man behövde utöver det som testades i labben läsa upp sina el-kunskaper något, exempelvis kring jordning och resistans.

Labb 2

Bilder på simuleringar, ritningar och krets



ÅR 1994, Månad 11, dag 09

| Row | q_3 | q_2 | q_1 | q_0 | YDOB | | |
|-----|-------|-------|-------|-------|------|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | ✓ | ✓ |
| 1 | 0 | 0 | 0 | 1 | 0 | ✓ | ✓ |
| 2 | 0 | 0 | 1 | 0 | 0 | ✓ | ✓ |
| 3 | 0 | 0 | 1 | 1 | 1 | ✓ | ✓ |
| 4 | 0 | 1 | 0 | 0 | 0 | ✓ | ✓ |
| 5 | 0 | 1 | 0 | 1 | 1 | ✓ | ✓ |
| 6 | 0 | 1 | 1 | 0 | 0 | ✓ | ✓ |
| 7 | 0 | 1 | 1 | 1 | 1 | ✓ | ✓ |
| 8 | 1 | 0 | 0 | 0 | 1 | ✓ | ✓ |
| 9 | 1 | 0 | 0 | 1 | 0 | ✓ | ✓ |
| 10 | 1 | 0 | 1 | 0 | 1 | ✓ | ✓ |
| 11 | 1 | 0 | 1 | 1 | 0 | ✓ | ✓ |
| 12 | 1 | 1 | 0 | 0 | 0 | ✓ | ✓ |
| 13 | 1 | 1 | 0 | 1 | 1 | ✓ | ✓ |
| 14 | 1 | 1 | 1 | 0 | 1 | ✓ | ✓ |
| 15 | 1 | 1 | 1 | 1 | 0 | ✓ | ✓ |

| q_3, q_0 | q_2, q_1 | | | |
|------------|------------|---|---|---|
| 00 | 00 | 1 | 0 | 0 |
| 00 | 01 | 0 | 1 | 0 |
| 00 | 10 | 0 | 0 | 1 |
| 00 | 11 | 0 | 0 | 0 |
| 01 | 00 | 0 | 1 | 0 |
| 01 | 01 | 1 | 0 | 0 |
| 01 | 10 | 0 | 0 | 1 |
| 01 | 11 | 0 | 0 | 0 |
| 10 | 00 | 0 | 1 | 0 |
| 10 | 01 | 1 | 0 | 0 |
| 10 | 10 | 0 | 0 | 1 |
| 10 | 11 | 0 | 0 | 0 |

| q_3, q_0 | q_2, q_1 | | | |
|------------|------------|---|---|---|
| 00 | 00 | 1 | 0 | 0 |
| 00 | 01 | 0 | 1 | 0 |
| 00 | 10 | 0 | 0 | 1 |
| 00 | 11 | 0 | 0 | 0 |
| 01 | 00 | 0 | 1 | 0 |
| 01 | 01 | 1 | 0 | 0 |
| 01 | 10 | 0 | 0 | 1 |
| 01 | 11 | 0 | 0 | 0 |
| 10 | 00 | 0 | 1 | 0 |
| 10 | 01 | 1 | 0 | 0 |
| 10 | 10 | 0 | 0 | 1 |
| 10 | 11 | 0 | 0 | 0 |

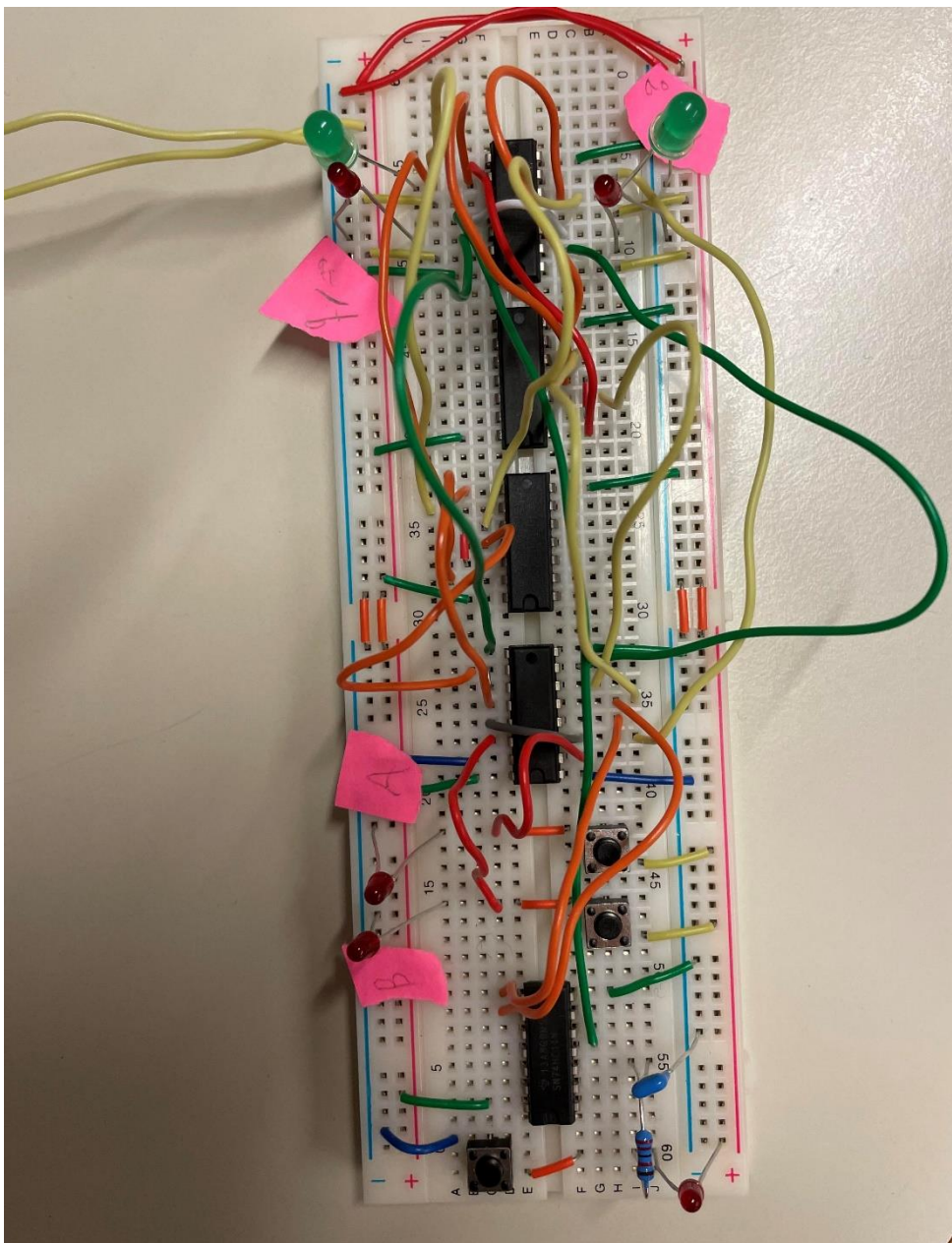
A hand-drawn circuit diagram on graph paper showing a 4-bit parity generator. It has four inputs labeled A, B, C, and D at the bottom, each with an inverter. Above the inputs are four vertical lines labeled A, B, C, and D. The circuit consists of four 2-input AND gates in the first stage, each taking one input and its complement (e.g., A and B, A and C, etc.). The outputs of these four AND gates are connected to four 2-input OR gates in the second stage. The outputs of these four OR gates are connected to a single 4-input OR gate, which produces the final output signal.

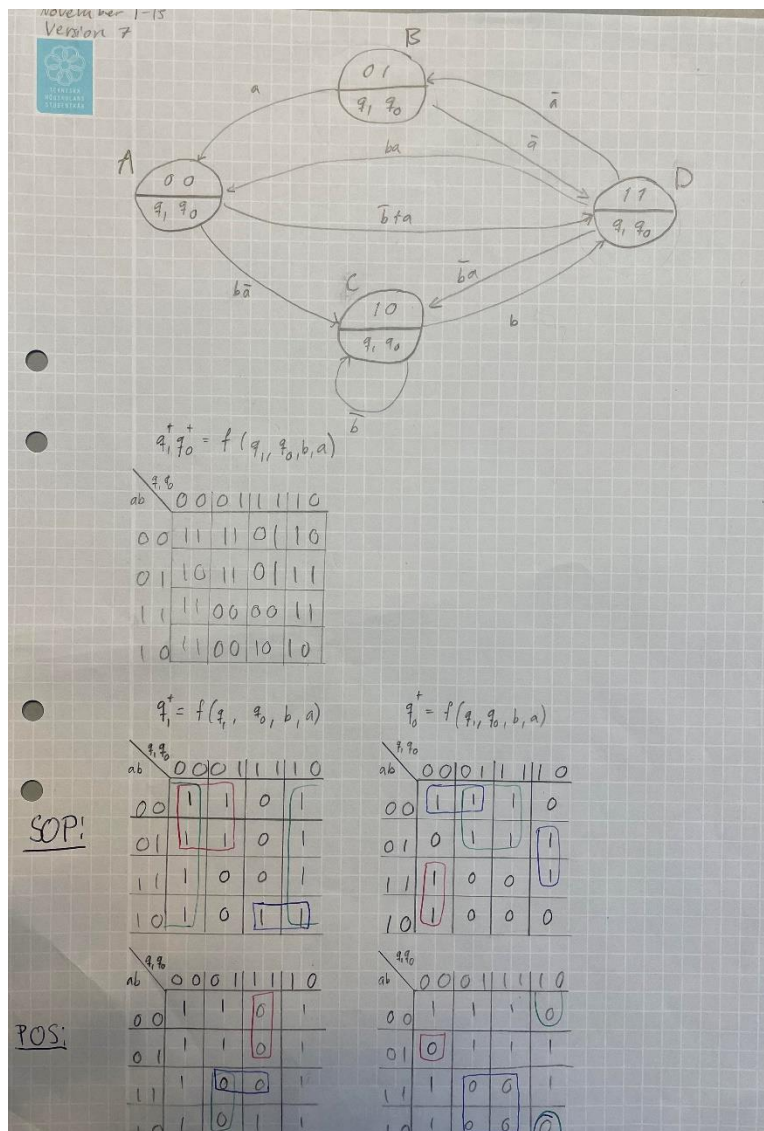
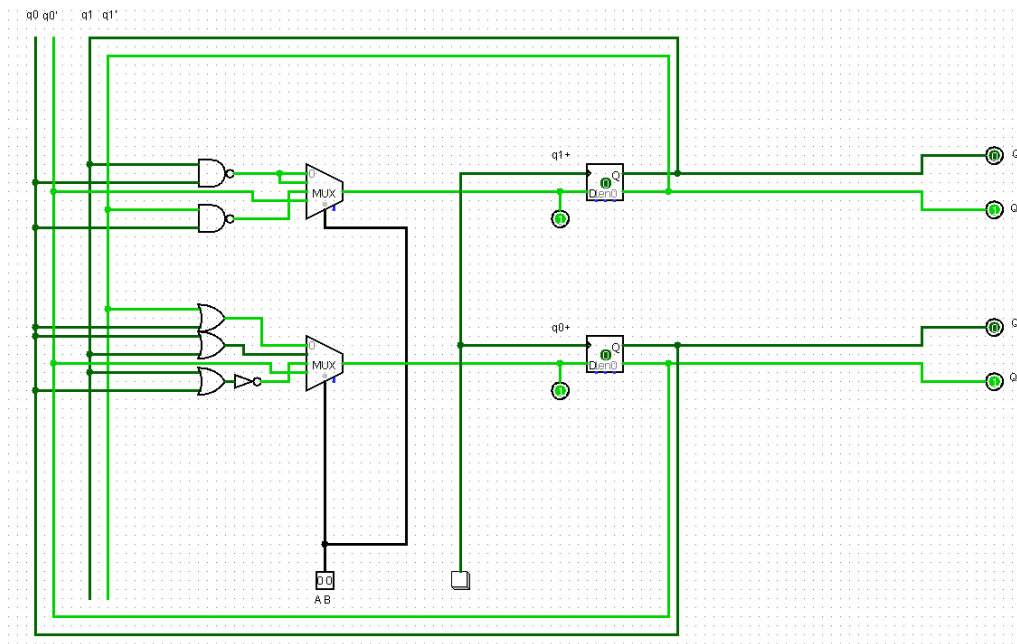
Reflektioner

Labb två gav djupare förståelse för output-logik samt hur man kan använda k-maps för att förenkla logiska kretsar. Det var många olika delar och behövde en hel del testning. Det blev tyvärr inget foto på den färdiga kretsen vilket glömdes bort, men den är redovisad för labbassistent. Först testades POS-metoden för k-mapsen men efter granskning av de delar som fanns tillgängliga verkade smidigare med AND-logik kretsar och därför användes den metoden istället. Detta gav insikt i att det är viktigt när man simulerar och planerar även ha koll på vilka hårdvarubegränsningar som finns att ta hänsyn till i den digitala designen.

Labb 3

Bilder på simuleringar, ritningar och krets





$q_1 + \bar{q}_1 + \bar{q}_0 + q_0$ XNOR

| | | | | |
|----|----|----|----|----|
| 00 | 00 | 01 | 11 | 10 |
| 01 | 1 | 1 | 0 | 0 |
| 10 | 0 | 0 | 0 | 1 |
| 11 | 1 | 1 | 1 | 1 |

| | | | | |
|-----------|----|----|----|----|
| $q_1 q_0$ | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 0 | 0 | 0 | 1 |
| 10 | 1 | 1 | 1 | 1 |

| | | | | |
|-----------|----|----|----|----|
| $q_1 q_0$ | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 0 | 1 | 1 | 0 |

\bar{q}_0 $q_1 + \bar{q}_0$
NAND
NAND
OR
NOR

Schmitt on H/L
 $\bar{q}_1 + q_0$
 $\bar{q}_1 \bar{q}_0 \rightarrow \bar{q}_1 + q_0$

State Transition Table

| Present state | Next state | | | | Output Z |
|---------------|------------------|------------|------------|------|----------|
| | $\bar{A}\bar{B}$ | $\bar{A}B$ | $A\bar{B}$ | AB | |
| A | D | C | D | D | 00 |
| B | D | D | A | A | 01 |
| C | C | D | C | D | 10 |
| D | B | B | C | A | 11 |

Encoded Transition Table

| Present state | $q_1 q_0$ | Next state | | | | Output Z |
|---------------|-----------|---------------|---------------|---------------|---------------|----------|
| | | $q_1^+ q_0^+$ | $q_1^+ q_0^-$ | $q_1^- q_0^+$ | $q_1^- q_0^-$ | |
| A | 00 | 11 | 10 | 11 | 11 | 00 |
| B | 01 | 11 | 11 | 00 | 00 | 01 |
| C | 10 | 10 | 11 | 10 | 11 | 10 |
| D | 11 | 01 | 01 | 10 | 00 | 11 |

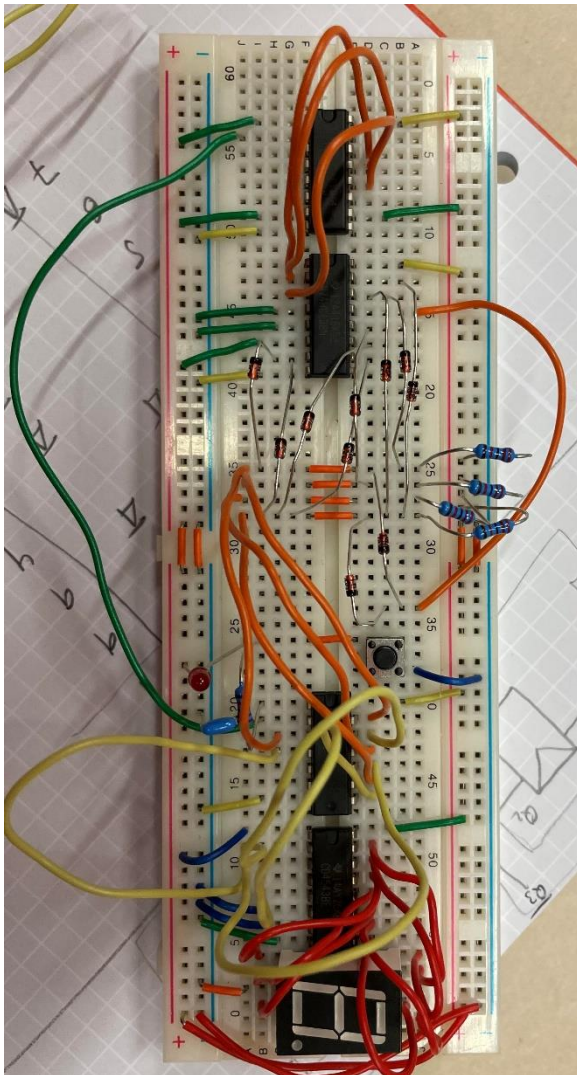
Schmitt-trigger Funktion g.

Reflektioner

Labb 3 hjälpte till enormt med förståelsen för hur minne fungerar i digitala kretsar. Det var även under denna labb som förståelsen för multiplexern samt klockning utvecklades, genom att bygga med komponenterna samtidigt som vi läser om dem kunde en fördjupad förståelse byggas upp. Genom att direkt bygga med mux var det effektivt att ta rader från K-mapsen och koppla dessa till en typ av logisk grind. Klockan som var byggd med "Hex Schmitt Trigger" tog lite längre tid att förstå teoretiskt och var en utmaning. State transition diagram var redan givet vilket gjorde att man inte hade så mycket nytta av transition tables, men dessa skulle varit viktiga om det inte var givet. Detta var den mest problematiska labben och ledde till mycket frustration, detta på grund av att en komponent: "Hex Schmitt Trigger" var trasig och inte fungerade. Efter tre dagars felsökande hittades detta och allt det andra som var planerat och simulerat fungerade perfekt när den trasiga komponenten blev utbytt.

Labb 4

Bilder på simuleringar, ritningar och krets



| 0 | | | | 1 |
|---|--|--|--|---|
| 1 | | | | 9 |
| 2 | | | | 9 |
| 3 | | | | 4 |
| 4 | | | | 1 |
| 5 | | | | 1 |
| 6 | | | | 0 |
| 7 | | | | 9 |

Reflektioner

Labb 4 var den enda labben där strukturen för hur det skulle kopplas inte simulerades med logisim. De förberedande delarna inför labben gav istället en bra bild över ungefär det kunde kopplas in. Den högra bilden visar på hur dioderna behövde kopplas för att skapa det hårdkodade minnet. Labb 4 gav förståelse för encoder, decoder och hårdkodad minne fungerar. Utmaningen låg i att förstå hur man skulle kunna sätta dioderna för att få rätt önskad signal.