

Для работы МК51 требуется один источник электропитания +5В. Через четыре программируемых порта ввода-вывода МК51 взаимодействует с внешней средой в стандарте ТТЛ-схем с тремя состояниями выходов.

Корпус МК51 имеет два вывода для подключения кварцевого резонатора, четыре вывода для сигналов, управляющих режимом работы микроконтроллера и восемь линий порта 3, которые могут быть запрограммированы на выполнение специализированных (альтернативных) функций обмена информацией периферийных блоков МК-системы. Основу структурной схемы МК51 образует внутренняя двунаправленная 8-разрядная шина, которая связывает между собой все основные внутренние узлы микроконтроллера:

- резидентная память программ (РПП) объемом 4 Кбайт;
- 8-разрядное АЛУ;
- блок регистров специальных функций;
- резидентная память данных емкостью 128 байт;
- устройство управления;
- четыре 8-разрядных порта ввода-вывода (P0-P3)

Память программ в МК-системе реализуется на основе резидентной памяти программ (РПП) микроконтроллера и может быть расширена за счет добавления внешней памяти программ (ВПП). РПП имеет емкость 4 Кбайт и предназначена для хранения команд, констант, управляющих слов программы инициализации, таблиц перекодировки входных и выходных переменных и т.п. РПП имеет 16-разрядную шину адреса, через которую осуществляется доступ из счетчика команд или из регистра-указателя данных. Этот регистр выполняет функции базового регистра при косвенных переходах по программе или используется в командах, оперирующих с таблицами.

Совместная работа МК с РПП и ВПП

При обращении к определенному адресу, МК понимает, идет обращение в РПП или к ВПП. Если РПП, то сигнал PSEN не активный и дешифраторы отключены, если обращение к внешней памяти программ (ВПП), то доступ осуществляется с помощью низкого уровня сигнала PSEN, ALE, P2, P0.

(PSEN \bar) - выход, разрешающий работу ВПП, подаётся на селектирующий дешифратор. (ALE) – выход стробы на буферный регистр для фиксации адреса при обращении к внешней памяти программ (ВПП). Представляет из себя синхросигнал, идентификатор машинного цикла. Порт 2 – имеет разрядность 8 бит, при обращении к внешней памяти программ (ВПП) хранит в своих младших разрядах 4 старших разряда адреса обращения. Порт 0 – имеет разрядность 8 бит, двунаправленный порт. При обращении к ВПП хранит младшие 8 разрядов адреса обращения. Также с порта BUS происходит считывание кода команды.

Страничная организация ВВП

Используется страничный способ организации памяти: происходит деление памяти на физические страницы с ячейками, равными разрядности архитектуры МК. Количество ячеек совпадает с числом БИС.

БИС памяти программ имеют:

- 1) Вход чип-селект для выборки конкретного БИС
- 2) Адресные входы для обращения к конкретной ячейке памяти. Кол-во входов зависят от кол-ва ячеек БИС.
- 3) Выходы данных. Кол-во выходов зависит от разрядности ячейки БИС.

Для формирования физической страницы с разрядностью ячейки 8 бит, будем объединять несколько БИС меньшей разрядности ячейки до достижения 8 разрядов.

Конфигурация физической страницы представляет собой описание характеристик памяти: число ячеек и разрядность архитектуры:

Конфигурация ФС = Число ячеек БИС × Разрядность блока ВВП

4. Расчет адресного пространства памяти программ системы

- Определение объем внешней памяти программ (ВПП):

Объем ВПП = Объем ПЗУ + Объем ППЗУ (байт) = 0,5 Кбайт + 2Кбайт = 2,5 Кбайт.

- Определение общего объема М памяти программ в системе:

Реальный Объем ПП = Объем РПП + Объем ВПП (байт);

Объем РПП у МК i8051 = 4Кбайт;

Реальный Объем ПП = 4Кбайт + 2,5Кбайт = 6,5Кбайт = 6656 байт.

Реальный объем памяти составляет 6656 байта, то

наименьший объем памяти, покрывающий его составляет:

$M = 2^{13} = 8192 \text{ байт} = 8 \text{ Кбайт}$.

- Определение количества адресных разрядов, необходимых для адресации всего объема М памяти программ (ПП) в системе:

A_0, A_1, \dots, A_{12} .

- Определить состав и конфигурацию физической страницы ПЗУ

- Конфигурация ФС ПЗУ: $256 \times 8 = (256 \times 1) \times 8$

- $256 = 2^8$, число адресных разрядов A_0, A_1, \dots, A_7

- Число БИС ПЗУ, входящих в состав ФС ПЗУ равно 8

- Число ФС в блоке ПЗУ равно 2

- Определить состав и конфигурацию физической страницы ППЗУ

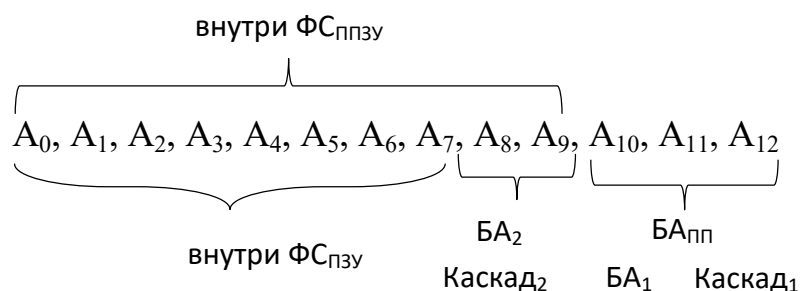
- Конфигурация ФС ППЗУ: $1024 \times 8 = (1024 \times 1) \times 8$

- $1024 = 2^{10}$, число адресных разрядов A_0, A_1, \dots, A_9

- Число БИС ППЗУ, входящих в состав ФС ППЗУ равно 1

- Число ФС в блоке ППЗУ равно 2

- Определить Базовые адреса (БА), необходимые для страничной организации ПП



- Выбрать конфигурацию дешифраторов DC для каскадной селекции ФСПЗУ и ФСПЗУ при страничной организации адресного пространства ПП:

Дешифратор для каскада 1:

$$n = 3;$$

$$m = 2^3 = 8;$$

Конфигурация DC1 (3 x 8). 3 входа и 8 выходов. Каждый выход дешифратора селектирует объем памяти = 1024байт.

Дешифратор для каскада 2:

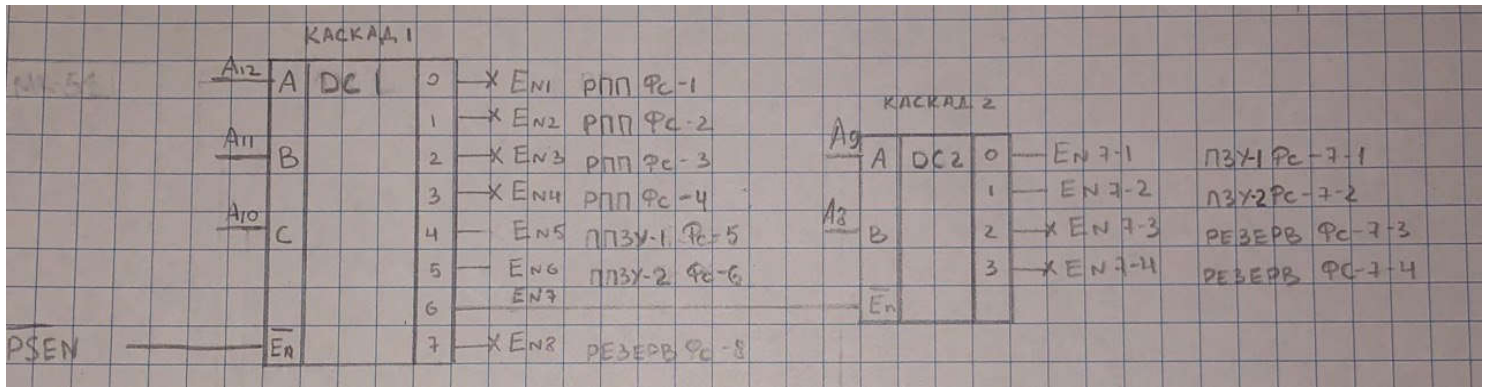
$$n = 2;$$

$$m = 2^2 = 4;$$

Конфигурация DC1 (2 x 4).

2 входа и 4 выходов. Каждый выход дешифратора селектирует объем памяти = 256 байт.

- Схема каскадной селекции физических страниц ПП на базе выбранных дешифраторов



5. Привести карту памяти ПП для заданного варианта

адрес. про-во памяти програ мм 8Кбайт	резерв 1,5кбайт		резерв ПЗУ	ФС-8 1кбайт	EN-8	8191 7168
				ФС-7-4 256 байт	EN-7-4	7167 6912
			резерв ПЗУ	ФС-7-3 256 байт	EN-7-3	6911 6656
	Реальн ый объем ПП 6,5кбай т	ПЗУ 512байт		ПЗУ-2 ФС-7-2 ПЗУ 256 байт БИС ПЗУ-2 7-2-1(256x1) ...	EN-7-2	6655 6400
				БИС ПЗУ-2 7-2-8 (256x1)		
				ПЗУ-1 ФС-7-1 ПЗУ 256 байт БИС ПЗУ-1 7-1-1 (256x1) ...	EN-7-1	6399 6144
				БИС ПЗУ-1 7-1-8(256x1)		
		ВВП 2,5кбай т	ППЗУ 2кбайт	ППЗУ-2 ФС-6 ППЗУ 1кбайт БИС ППЗУ-2(1024x8)	EN-6	6143 5120
				ППЗУ-1 ФС-5 ППЗУ 1кбайт БИС ППЗУ-1(1024x8)	EN-5	5119 4096
			РПП 4кбайт	ФС-4 1кбайт	EN-4	4095 3072
				ФС-3 1кбайт	EN-3	3071 2048
				ФС-2 1кбайт	EN-2	2047 1024
				ФС-1 1кбайт	EN-1	1023 0

6. Блок схема МК-системы с ВПП

