

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ  
Федеральное государственное автономное образовательное учреждение  
высшего профессионального образования

«САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
АЭРОКОСМИЧЕСКОГО ПРИБОРОСТРОЕНИЯ»

КАФЕДРА № 14

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

4

доц., канд. тех. наук

\_\_\_\_\_  
должность, уч. степень, звание

\_\_\_\_\_  
подпись, дата

Е.Н.Яблоков

\_\_\_\_\_  
инициалы, фамилия

## ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К КУРСОВОЙ РАБОТЕ

Описание цифровых устройств с помощью Verilog.

по дисциплине: Схемотехника.

РАБОТУ ВЫПОЛНИЛИ

СТУДЕНТЫ ГР.

1842



07.06.2021

\_\_\_\_\_  
подпись, дата

А.В.Герасимец

\_\_\_\_\_  
инициалы, фамилия

Санкт-Петербург, 2021

## 1. Постановка задачи

Схема моделирования работы преобразователя двоично-десятичного кода в двоичный на базе микросхемы 74184.

## 2. Схема устройства

Микросхема 74184 содержит только пять входов для 6-разрядного двоично-десятичного кода. Это связано с тем, что самые младшие разряды (LSB) двоичного и двоично-десятичного кодов оказываются одинаковыми. Поэтому вход А микросхемы представляет собой разряд, который следует за самым младшим разрядом 6-разрядного двоично-десятичного кода. Например, если на входах EDCB имеется кодирование LLLLH (L — низкий уровень напряжения на данном входе, H — высокий), это соответствует десятичным числам 2 и 3, поскольку самый младший разряд 6-разрядного двоично-десятичного кода, который проходит через схему и не управляется ею, для десятичного числа 2 равен L, а для десятичного числа 3 — H. В обоих случаях появляющийся на выходах Q5 — Q1 код равен LLLH.

Если входы микросхемы 74184 находятся в таком логическом состоянии, которое больше не соответствует двоично-десятичному кодированию, то есть код на входах больше десятичного числа 39 равного двоично-десятичному коду HHHLL(H), тогда на всех выходах Q5 — Q1 устанавливается напряжение уровня H.

Выходы Q6, Q7 и Q8 микросхемы 74184 используются лишь для формирования сигналов с обратным кодом.

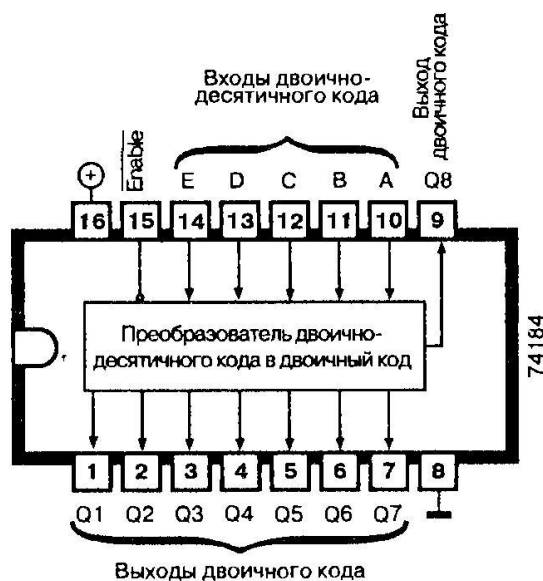


Рисунок 1 – Микросхема 74184

**Таблица истинности 74184**

Десятичное число	Входы (двоично-десятичный код)					Выходы (двоичный код)				
	E	D	C	B	A	Q <sub>5</sub>	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>
0-1	0	0	0	0	0	0	0	0	0	0
2-3	0	0	0	0	1	0	0	0	0	1
4-5	0	0	0	1	0	0	0	0	1	0
6-7	0	0	0	1	1	0	0	0	1	1
8-9	0	0	1	0	0	0	0	1	0	0
10-11	0	1	0	0	0	0	0	1	0	1
12-13	0	1	0	0	1	0	0	1	1	0
14-15	0	1	0	1	0	0	0	1	1	1
16-17	0	1	0	1	1	0	1	0	0	0
18-19	0	1	1	0	0	0	1	0	0	1
20-21	1	0	0	0	0	0	1	0	1	0
22-23	1	0	0	0	1	0	1	0	1	1
24-25	1	0	0	1	0	0	1	1	0	0
26-27	1	0	0	1	1	0	1	1	0	1
28-29	1	0	1	0	0	0	1	1	1	0
30-31	1	1	0	0	0	0	1	1	1	1
32-33	1	1	0	0	1	1	0	0	0	0
34-35	1	1	0	1	0	1	0	0	0	1
36-37	1	1	0	1	1	1	0	0	1	0
38-39	1	1	1	0	0	1	0	0	1	1

### **Описание микросхемы 74161**

Для сброса показаний счетчика 74161 на вывод 1 (Rasyn) подается кратковременный импульс напряжения низкого уровня. Эта функция сброса выполняется асинхронно и устанавливает на всех четырех выходах напряжение низкого уровня независимо от состояния других входов. Если на вход загрузки Load микросхемы 74161 подается напряжение низкого уровня, то при следующем положительном фронте тактового импульса код, находящийся на входах P0 — P3, загружается в счетчик. Для синхронного счета чисел с несколькими разрядами без применения дополнительных логических элементов используют входы PE и TE микросхемы 74161 в качестве разрешающих, а также выход CO (выход сигнала переноса). Соединение происходит следующим образом:

- первый (самый младший) разряд: на входы PE и TE подается напряжение высокого уровня, выход CO соединяется с входами PE и TE второго разряда и с входом PE третьего разряда и т.д.;
- второй разряд: выход CO второго разряда соединяется с входом TE третьего разряда и т.д.;
- все ступени синхронно управляются входом синхронизирующих сигналов благодаря тому, что входы тактовых импульсов всех ступеней соединены друг с другом. Входы сброса также включаются параллельно.

### 3. Схема

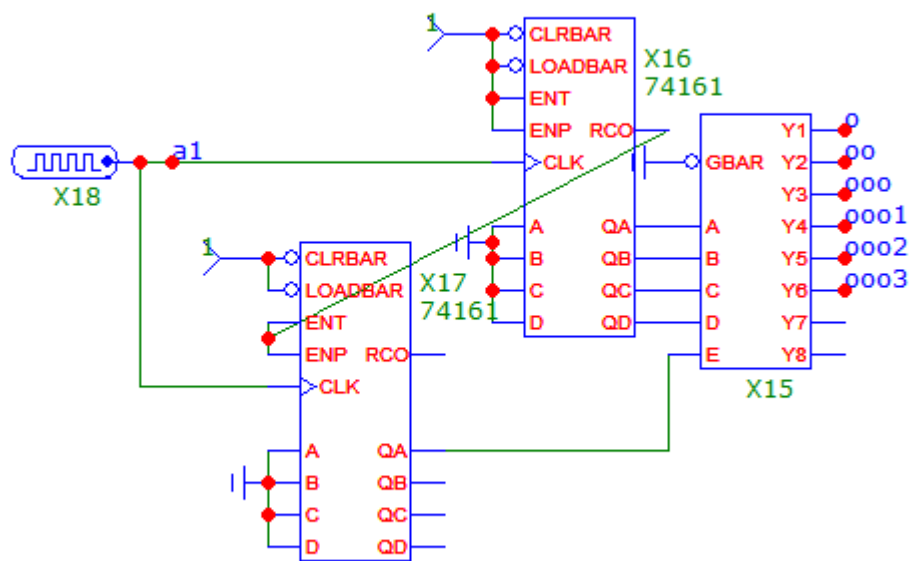
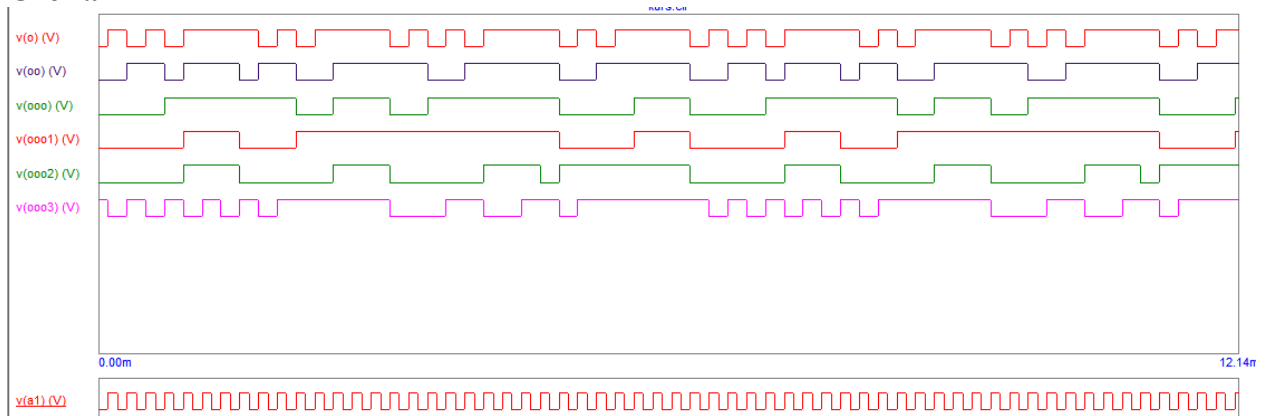


Рисунок 2 – Итоговая схема

### 4. Листинг основного модуля:

```
`timescale 1ns / 1ps
module Module(
    output [7:0] Y,
    input EN,
    input RST,
    input CLK,
    output [4:0] A_E
);
    Counter cnt(.RST(0),.clk(CLK),.EN(1),.cnt_out(A_E[3:0]), .RCO(s_RCO_0));
    Counter Cntn(.RST(0),.clk(s_RCO_0),.EN(1),.cnt_out(A_E[4]));
    M74184
    mo(.A(A_E[0]),.B(A_E[1]),.C(A_E[2]),.D(A_E[3]),.E(A_E[4]),.Q1(Y[0]),.Q2(Y[1]),.Q3
    (Y[2]),.Q4(Y[3]),.Q5(Y[4]),.Q6(Y[5]),.Q7(Y[6]),.Q8(Y[7]),.gbar(EN));
endmodule

module M74184(
```

```

input A,B,C,D,E,gbar,
output reg Q1,Q2,Q3,Q4,Q5,Q6,Q7,Q8
);
always @(*)
begin
    if(gbar) begin
        {Q6,Q5,Q4,Q3,Q2,Q1} <= 5 * {E,D} + {C,B,A};
    end
end
endmodule

```

```

module Counter(EN, clk,RST,cnt_out, RCO);
input EN=1,RST=0, clk;
output reg[3:0] cnt_out= 4'b0000-1;
output wire RCO;
always @(posedge clk)
begin
    if(RST) begin
        cnt_out <= 4'b0000-1;
    end

    if(EN) begin
        cnt_out <= cnt_out + 4'b0001;
    end
end
assign RCO = !cnt_out;
endmodule

```

## 5. Листинг тестового окружения:

```

`timescale 1ns / 1ps

module test;

    // Inputs
    reg EN;
    reg RST;
    reg CLK;

    // Outputs
    wire [4:0] Y;
    wire [4:0] A_E;

    Module uut (
        .Y(Y),
        .EN(EN),
        .RST(RST),
        .CLK(CLK),
        .A_E(A_E)
    );

    initial begin
        // Initialize Inputs

```

```

        EN = 1;
        RST = 0;
        CLK = 0;

    end

    always #1 begin
        CLK = CLK+1;

    end

endmodule

```

## 6. Результаты симуляции:

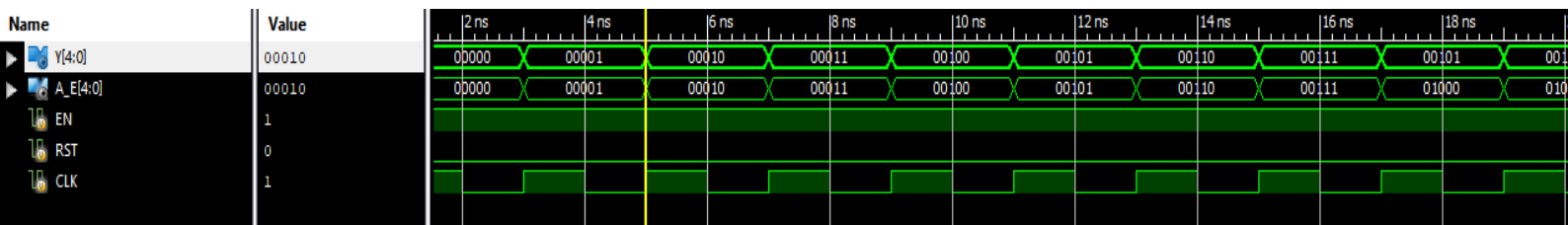
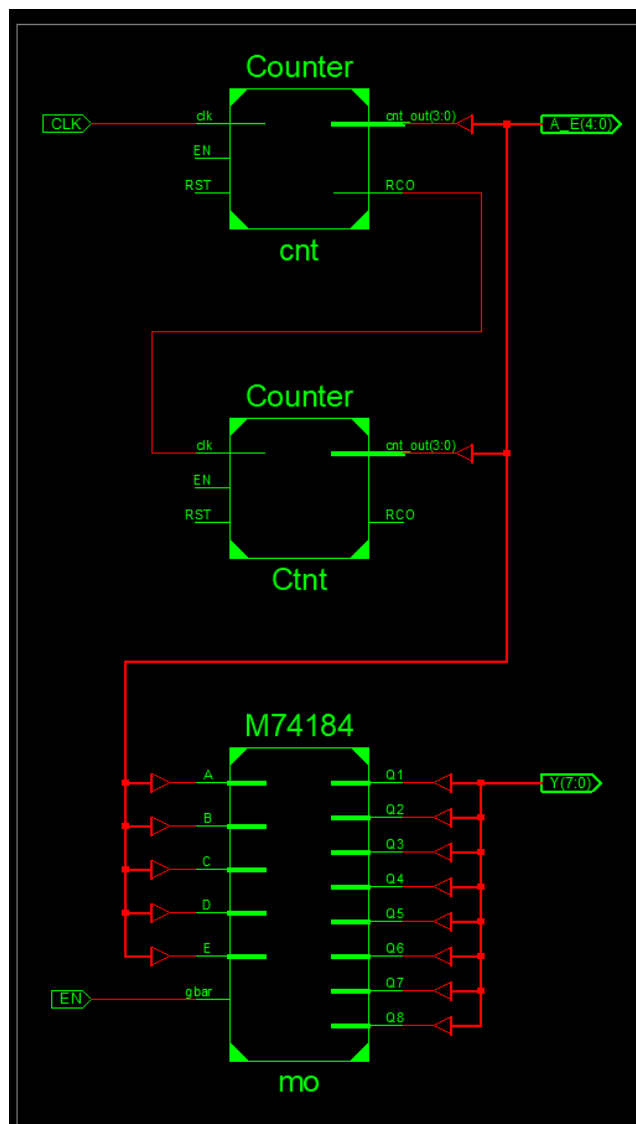


Рисунок 3 – Результат работы тестирующей программы



## **7. Выводы:**

В данной курсовой работе были получены навыки описания цифровых устройств на языке Verilog с использованием конечного автомата состояний, симуляции работы этих устройств и анализа графиков, полученных при симуляции. Написана программа реализующая счётчик 74161, преобразователя двоично-десятичного кода в двоичный на базе микросхемы 74184. Результат работы программы тестового окружения даёт понять, что при корректной работе тестируемой микросхемы программа работает правильно.

## **8. Список литературы.**

- А.Л. Стемпковский, М.Ю. Семенов. «Основы логического синтеза средствами САПР с использованием VerilogHDL». – Москва 2005 – 138 стр.
- А.К. Поляков. «Языки VHDL и Verilog в проектировании цифровой аппаратуры»