

Цель работы: изучение принципов двоичного суммирования чисел, алгоритмов построения структур сумматоров, а также моделирования их работы.

1. Построение сумматора по модулю 2.

Таблица истинности для сумматора по модулю 2:

<i>A</i>	<i>B</i>	<i>G</i>
0	0	0
0	1	1
1	0	1
1	1	0

Логическое выражение для сумматора по модулю 2:

$$G = A \oplus B = \bar{A}B + A\bar{B}$$

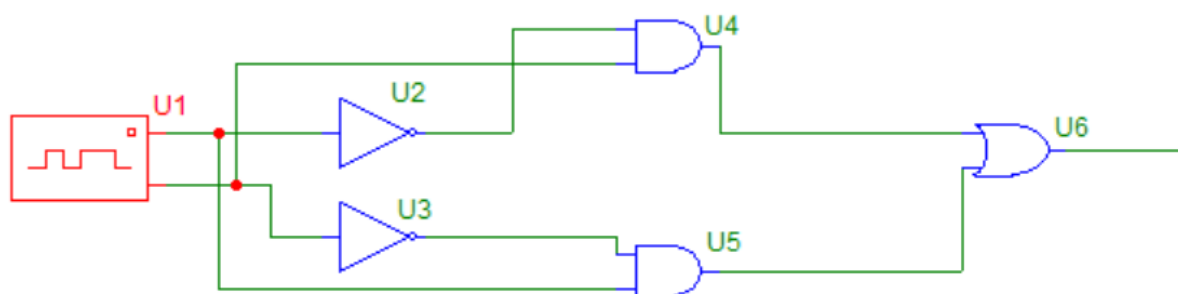


Рисунок 1 - Сумматор по модулю 2

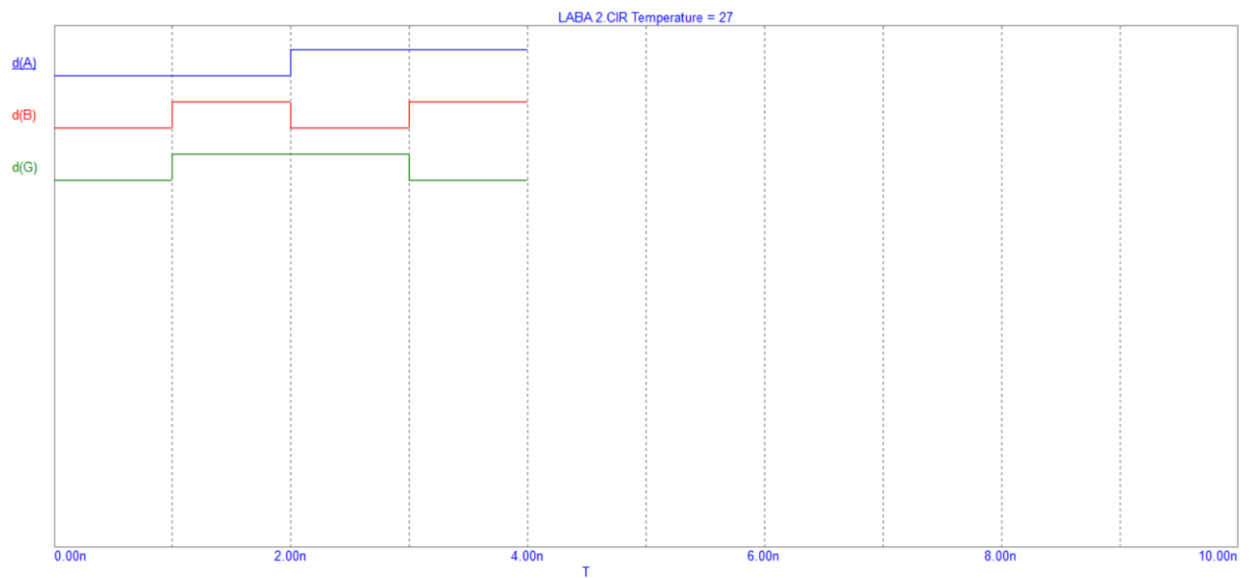


Рисунок 2 - Временная диаграмма сумматора по модулю 2

2. Реализация логической функции формирования нечетности от пяти аргументов.

Таблица 1 - Таблица истинности

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>H</i>	<i>G</i>
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	1

Минимизация СДНФ

Таблица 2 - Карта Карно для G

$ABC \backslash DH$	000	001	011	010	110	111	101	100
00		1		1		1		1
01	1		1		1		1	
10		1		1		1		1
11	1		1		1		1	

Отсюда, получаем $G = A \oplus B \oplus C \oplus D \oplus H$

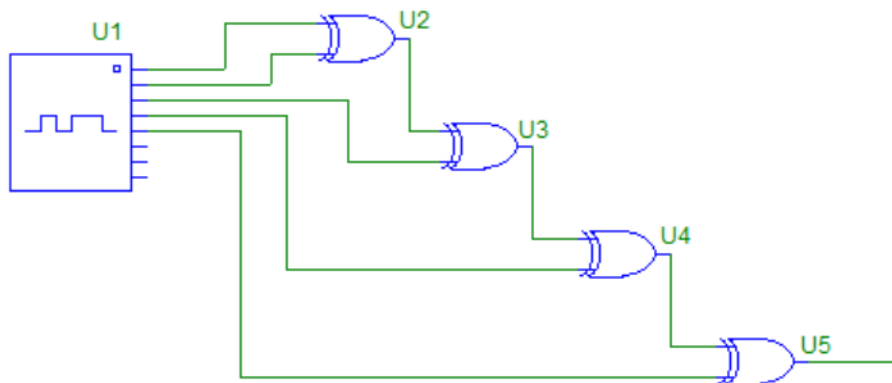


Рисунок 3 - Функция нечетности

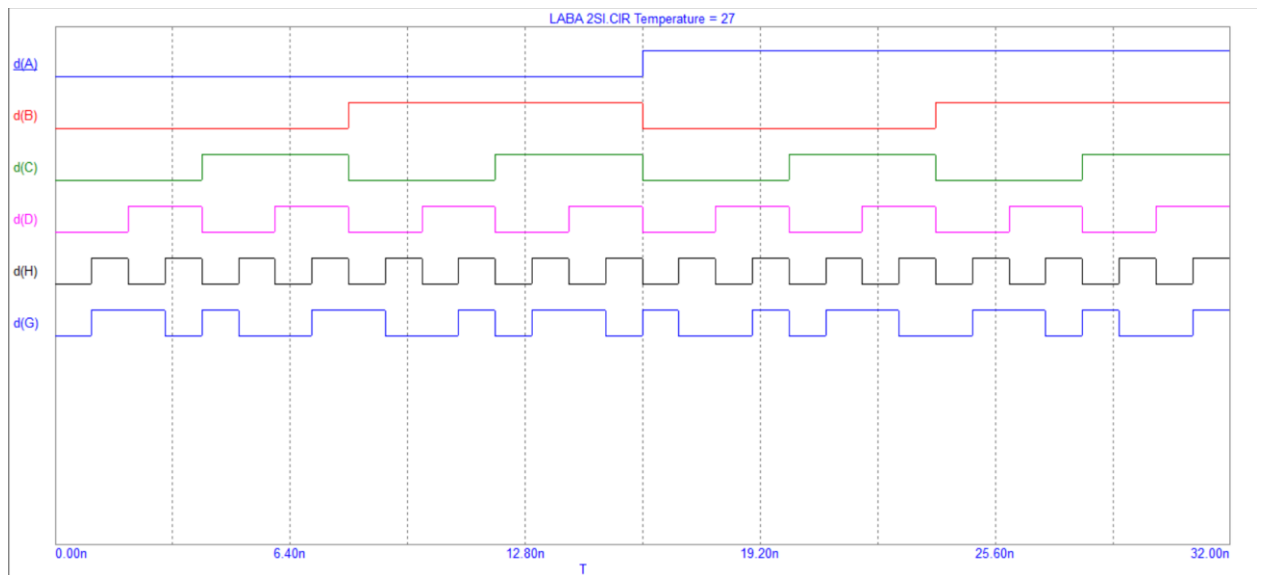


Рисунок 4 - Временная диаграмма функции нечетности

По полученным временным диаграммам можно сделать вывод о правильности работы цифровой схемы, т.к значения функции совпадают со значениями логической функции из таблицы истинности.

3. Построение схемы полного одноразрядного сумматора.

Таблица истинности для полного одноразрядного сумматора:

Таблица 3 - Таблица истинности полного одноразрядного сумматора

A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Ранее было получено, $S_i = A \oplus B \oplus P_{i-1}$

Составим СДНФ для P_i :

$$P_i = \overline{A_i}B_iP_{i-1} + A_i\overline{B_i}P_{i-1} + A_iB_i\overline{P_{i-1}} + A_iB_iP_{i-1}$$

Минимизируем с помощью карт Карно:

A_iB_i	00	01	11	10
P_{i-1}				
0			1	
1		1	1	1

После склейки получаем: $P_i = A_iB_i + P_{i-1}B_i + P_{i-1}A_i$

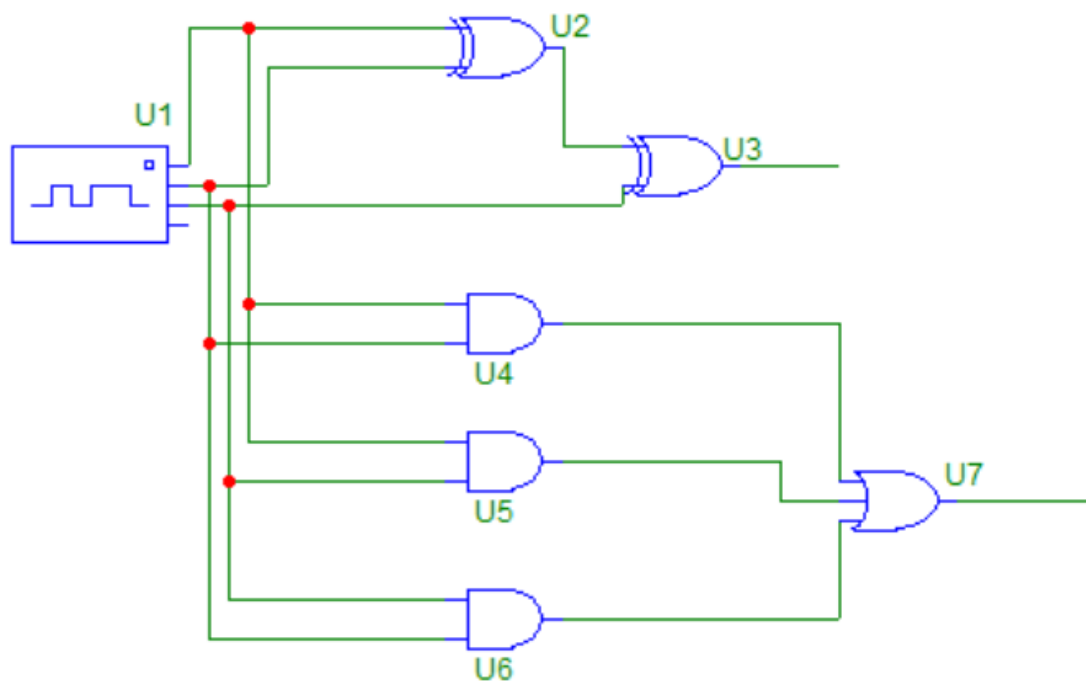


Рисунок 6 - Схема полного одноразрядного сумматора

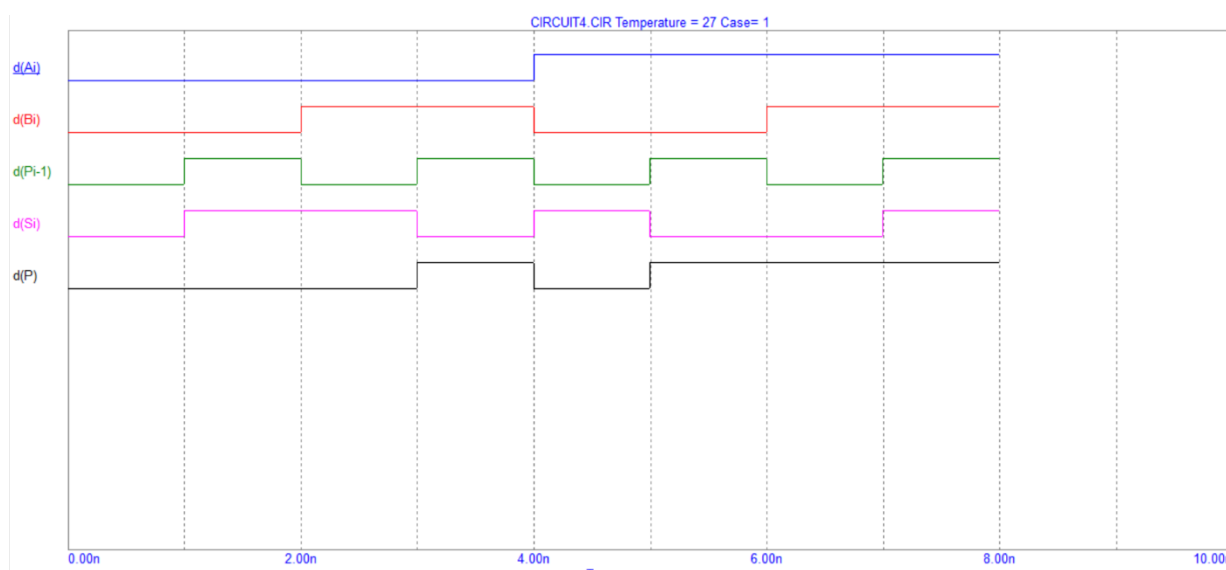


Рисунок 5 - Временная диаграмма полного одноразрядного сумматора

По полученным временным диаграммам можно сделать вывод о правильности работы цифровой схемы, т.к значения функции совпадают со значениями логической функции из таблицы истинности.

-

Важно помнить, что перенос P_i , формирующийся в предыдущем сумматоре используется в последующем, а это значит, что результат в последующем сумматоре будет формироваться с задержкой. Общую временную задержку для формирования суммы двух 4-разрядных чисел можно оценить, как $t_{\text{задержки}} = 4t_{\text{см}}$, где $t_{\text{см}}$ — время задержки на одном сумматоре.

Выводы: в ходе выполнения лабораторной работы построила и промоделировала работу сумматора по модулю 2. Реализовала логическую функцию формирования нечетности от пяти аргументов и на основе полученных результатов построила схему полного одноразрядного сумматора. Построила схему и проанализировала работу параллельного сумматора двух 4-разрядных двоичных чисел.