

Цель работы: синтез и анализ работы различных схем сравнения двоичных чисел.

1. Синтезирование логической схемы сравнения 4 -разрядных двоичных чисел  $A$  и  $B$  на равенство: на основе использования логической схемы равнозначности; на основе применения логической схемы неравнозначности.

Логическое выражение для определения равенства двух 4-разрядных чисел  $A$  и  $B$  на основе использования логической схемы равнозначности выглядит следующим образом:

$$Y = \overline{(A_1 \oplus B_1)} \cdot \overline{(A_2 \oplus B_2)} \cdot \overline{(A_3 \oplus B_3)} \cdot \overline{(A_4 \oplus B_4)}$$

Аналогичную схему сравнения двоичных чисел на равенство можно собрать на логических элементах «неравнозначность», воспользовавшись теоремой деМоргана:

$$Y = \overline{(A_1 \oplus B_1) + (A_2 \oplus B_2) + (A_3 \oplus B_3) + (A_4 \oplus B_4)}$$

2. Промоделировать работу построенных схем в системе схемотехнического моделирования Micro-Cap, оценить задержку формирования результата сравнения чисел для каждого варианта реализации. Сравнить результаты работы обоих схемотехнических вариантов.

- 2.1. Схема проверки равенства двух 4-разрядных чисел  $A$  и  $B$  на основе использования логической схемы равнозначности.

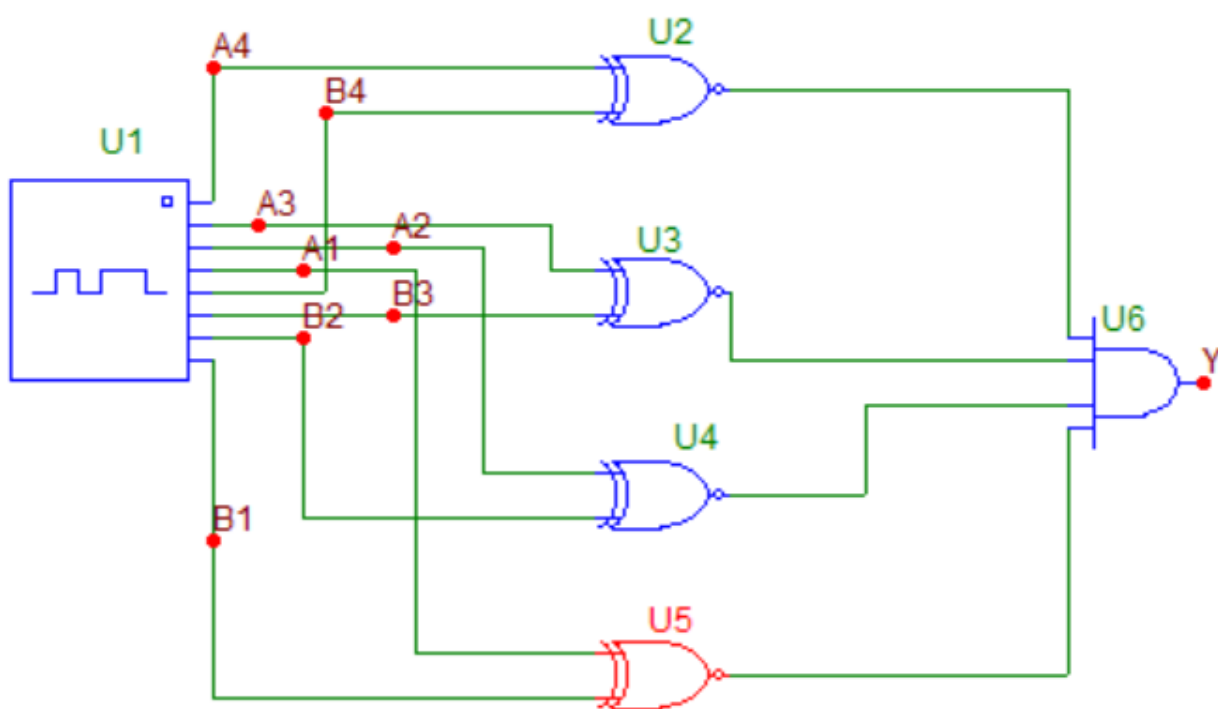


Схема 1 - Проверка на равенство на схеме равнозначности

Оценим аппаратные затраты: в схеме использовалось 5 ЛЭ, 4 из которых Xnor2 и один And4.

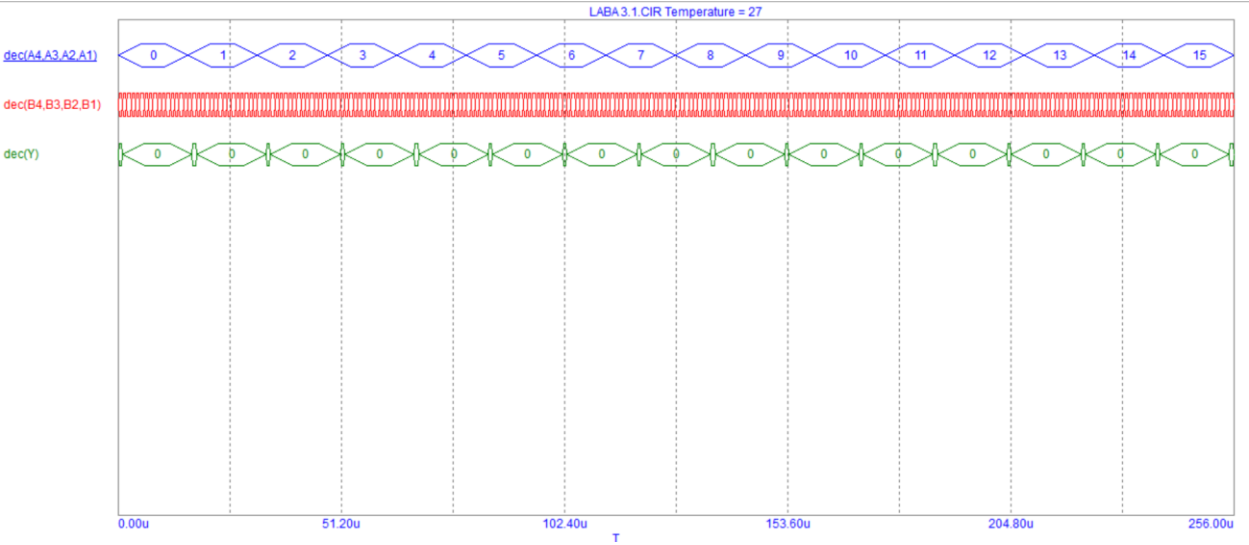


График 1 - Временная диаграмма

Для проверки корректности работы изучим поближе часть диаграммы:

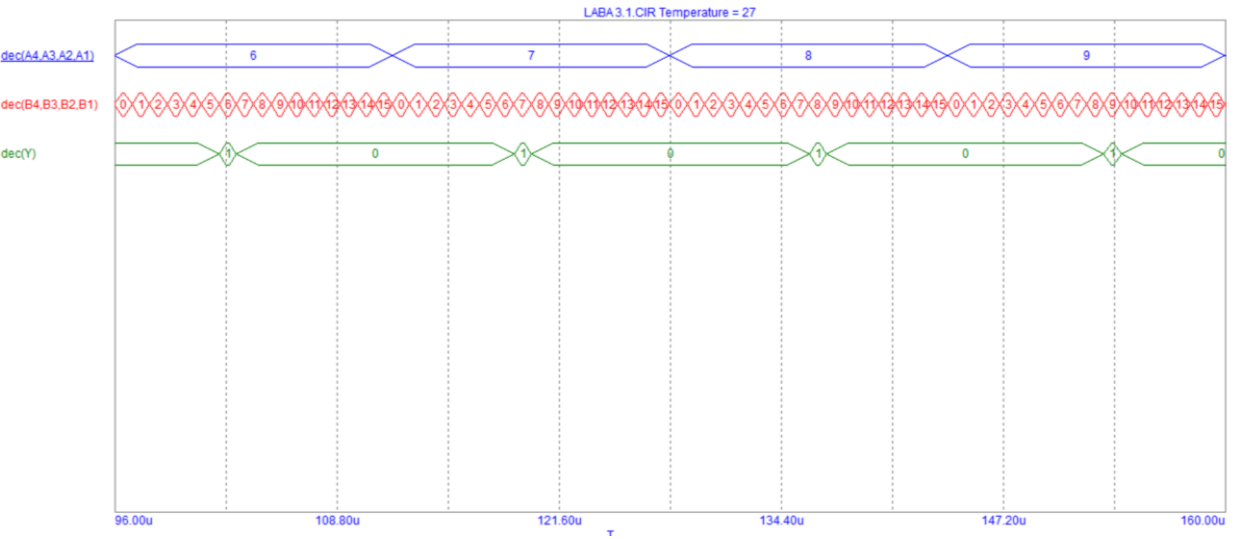


График 2 - Часть временной диаграммы

Можно сделать вывод о том, что схема работает верно, т.к.  $Y = 1$  тогда, когда  $A = B$ .

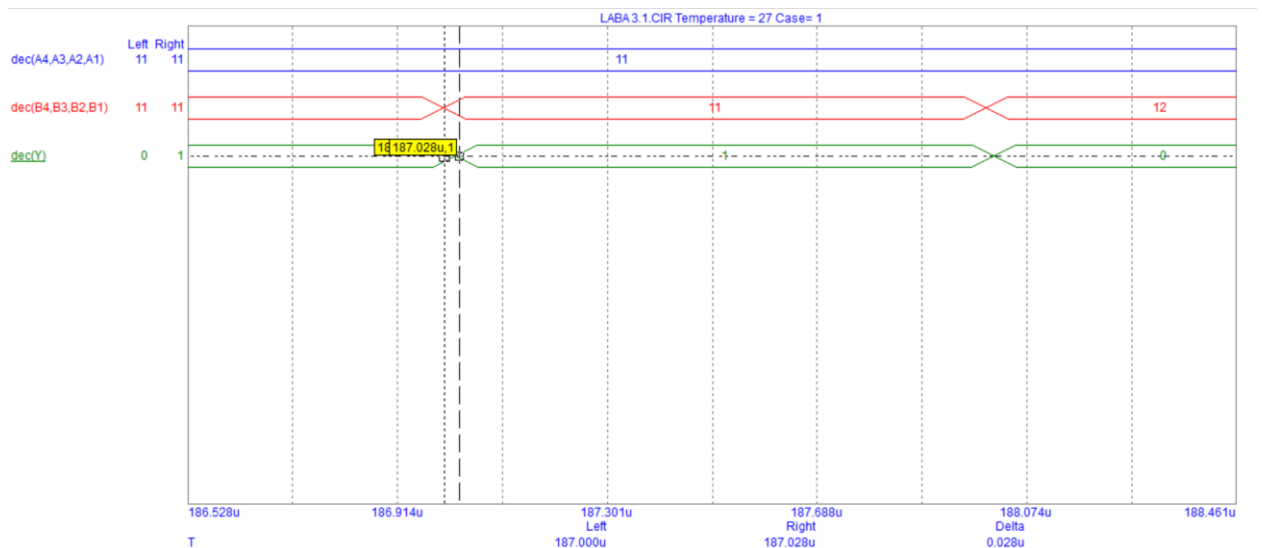


График 3 – Оценка задержки формирования результата сравнения

Опираясь на график, задержку можно оценить в 28 nS.

2.2. Схема проверки равенства двух 4-разрядных чисел  $A$  и  $B$  на основе использования логической схемы неравнозначности.

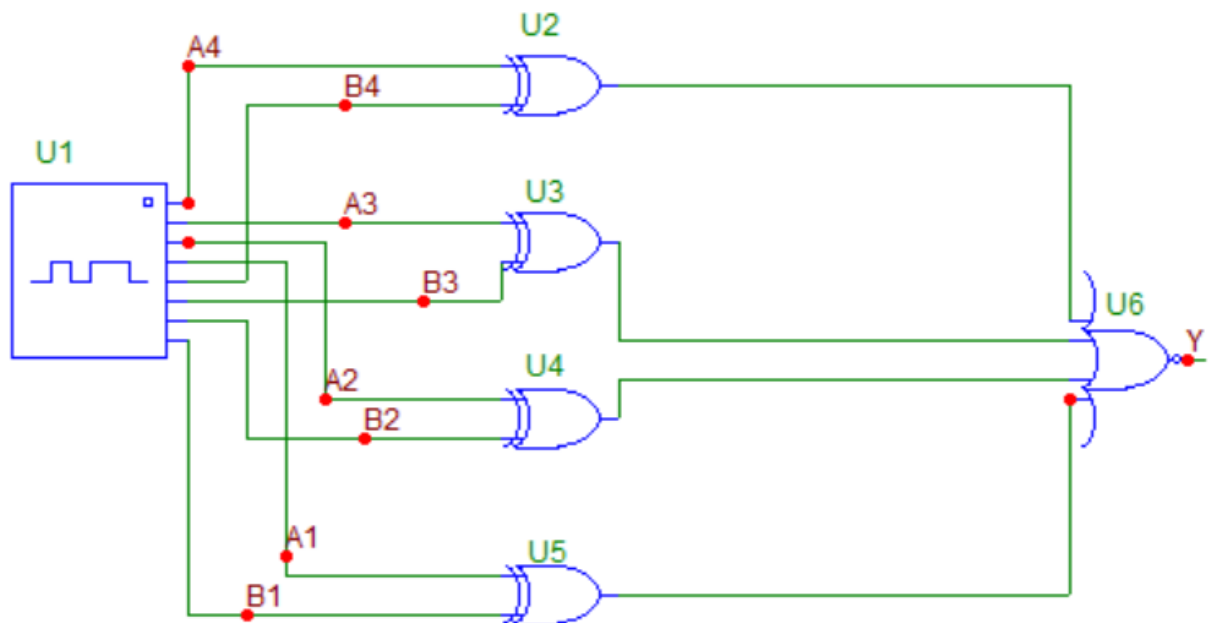


Схема 2 - Проверка равенства на схеме неравнозначности

Оценим аппаратные затраты: в схеме использовалось 5 ЛЭ, 4 из которых Xor2 и один Or4.

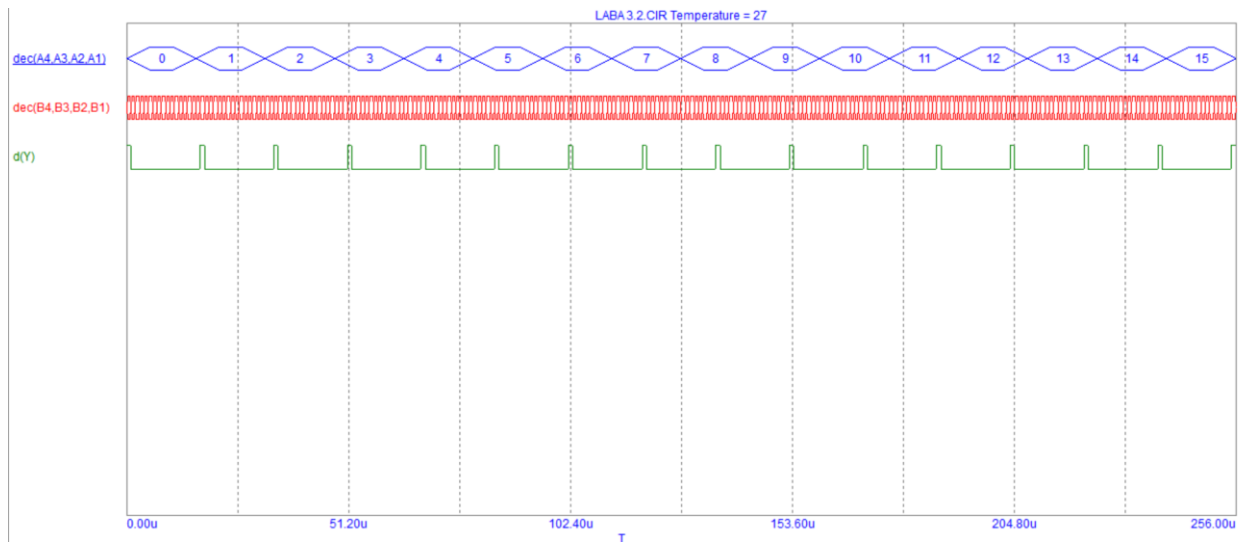


График 4 - Временная диаграмма

Для проверки корректности работы рассмотрим поближе часть диаграммы:

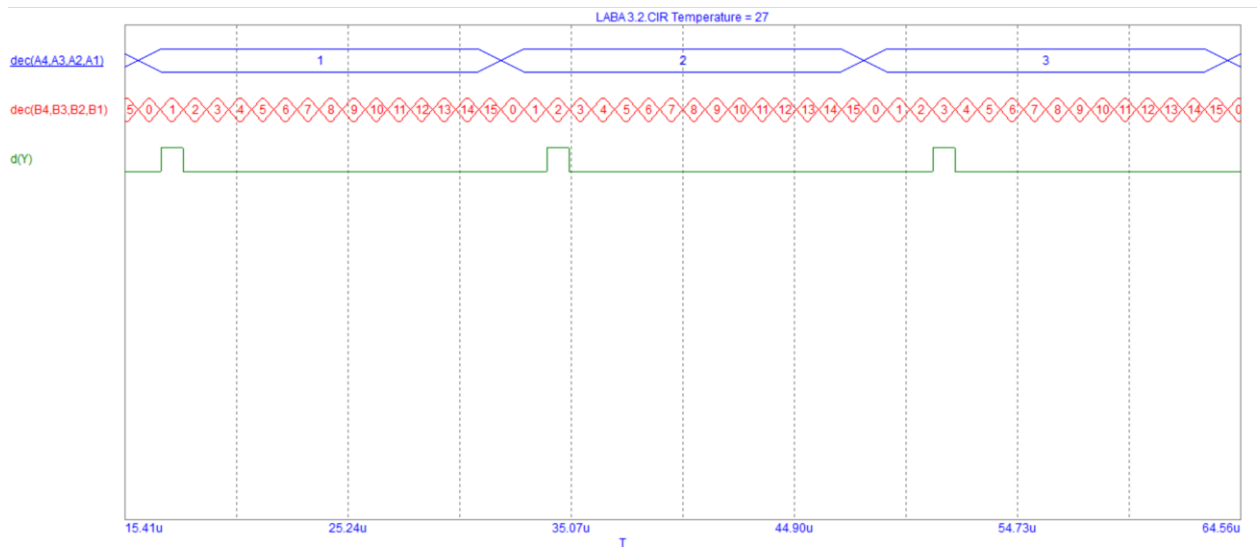


График 5 - Часть временной диаграммы

Можно сделать вывод о том, что схема работает верно, т.к.  $Y = 1$  тогда, когда  $A = B$ .

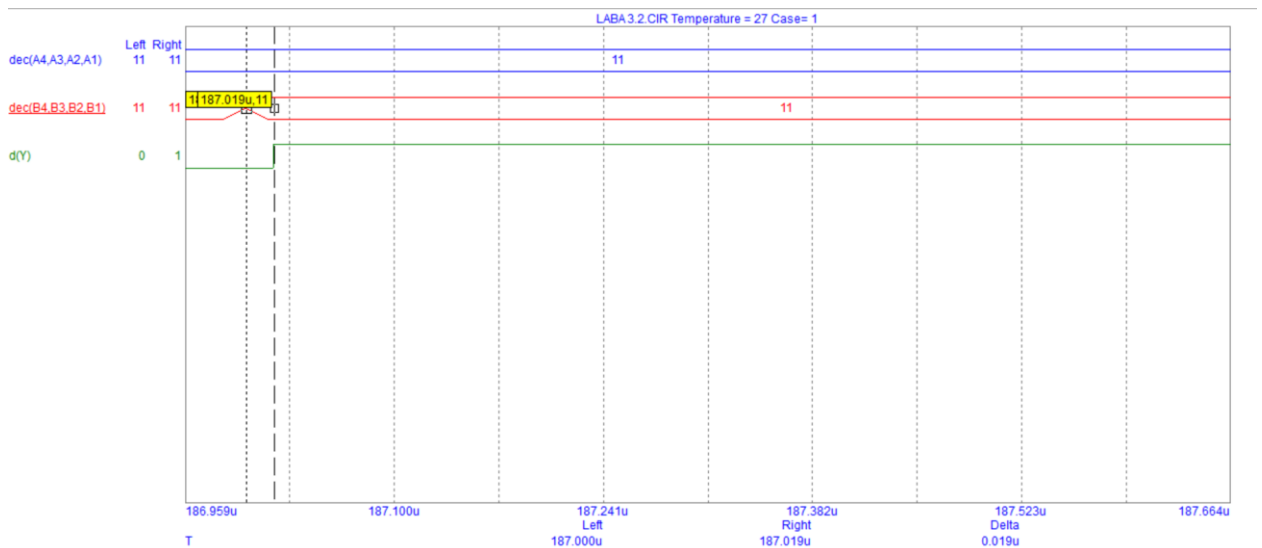


График 6 – Оценка задержки формирования результата сравнения

Опираясь на график, задержку можно оценить в 19 nS.

**Выводы:** таким образом, экспериментально была получена задержка. По полученным результатам можно сделать вывод, что схема для определения равенства двух 4-разрядных чисел  $A$  и  $B$  на основе использования логической схемы неравнозначности работает в  $\approx 1,47$  раза быстрее, чем схема на основе использования логической схемы равнозначности. Аппаратные же затраты оказались соизмеримы, в обеих схемах использовалось 5 ЛЭ с 2 и 4 входами.

3. Получить логические выражения для сравнения 5 -разрядных двоичных чисел А и В на неравенство как для последовательного варианта формирования результата сравнения чисел, так и для параллельного.

### 3.1. Последовательный алгоритм ( $A < B$ ).

Сначала составим таблицу истинности функции  $H_0$  для одноразрядных двоичных чисел А и В:

Таблица 1 - Таблица истинности для одноразрядных чисел

$A_0$	$B_0$	$H_0$
0	0	<b>0</b>
0	1	<b>1</b>
1	0	<b>0</b>
1	1	<b>0</b>

$$H_0 = \bar{A}_0 B_0$$

Далее приведена таблица истинности логической функции неравенства  $H_1$  ( $A < B$ ) для двухразрядных чисел А и В:

Таблица 2 - Таблица истинности для двухразрядных чисел

$A_1$	$A_0$	$B_1$	$B_0$	$H_1$
0	0	0	0	<b>0</b>
0	0	0	1	<b>1</b>
0	0	1	0	<b>1</b>
0	0	1	1	<b>1</b>
0	1	0	0	<b>0</b>
0	1	0	1	<b>0</b>
0	1	1	0	<b>1</b>

0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Получаем СДНФ:

$$H_1 = \bar{A}_1\bar{A}_0\bar{B}_1B_0 + \bar{A}_1\bar{A}_0B_1\bar{B}_0 + \bar{A}_1\bar{A}_0B_1B_0 + \bar{A}_1A_0B_1\bar{B}_0 + \bar{A}_1A_0B_1B_0 + A_1\bar{A}_0B_1B_0$$

Минимизируем при помощи карт Карно:

Таблица 3 - Минимизация с помощью карт Карно

$A_1A_0$ $B_1B_0$	00	01	11	10
00				
01	1			
11	1	1		1
10	1	1		

После склейки получаем:

$$H_1 = \bar{A}_1B_1 + \bar{A}_1\bar{A}_0B_0 + \bar{A}_0B_1B_0 = \bar{A}_1B_1 + H_0(\bar{A}_1 + B_1)$$

Тогда, обобщив, получаем,

$$H_{N-1} = \bar{A}_{N-1}B_{N-1} + H_{N-2}(\bar{A}_{N-1} + B_{N-1})$$

Используя полученное обобщенное выражение, для сравнения 5-разрядных двоичных чисел ( $A < B$ ) получаем:

$$H_4 = \bar{A}_4B_4 + H_3(\bar{A}_4 + B_4)$$

3.2. Параллельный алгоритм ( $A < B$ ).

$$H_4 = \bar{A}_4B_4 + \bar{A}_3B_3\bar{A}_4\bar{B}_4 + \bar{A}_2B_2\bar{A}_3\bar{B}_3\bar{A}_4\bar{B}_4 + \bar{A}_1B_1\bar{A}_2\bar{B}_2\bar{A}_3\bar{B}_3\bar{A}_4\bar{B}_4 + \bar{A}_0B_0\bar{A}_1\bar{B}_1\bar{A}_2\bar{B}_2\bar{A}_3\bar{B}_3\bar{A}_4\bar{B}_4$$

4. Моделирование логической схемы сравнения 5 -разрядных двоичных чисел А и В на неравенство для последовательного варианта формирования результата.

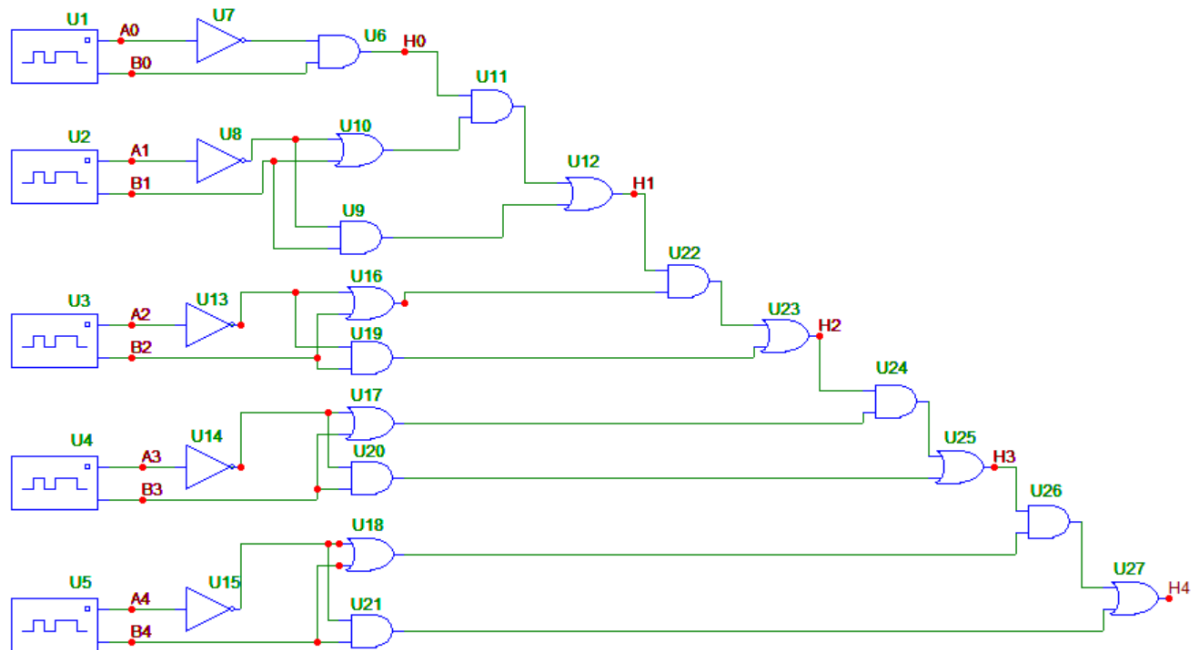


Схема 3 - Схема сравнения для последовательного формирования результата

Оценим аппаратные затраты: в схеме используется 22 ЛЭ, из которых 9 And2, 8 Or2, 5 Inverter.



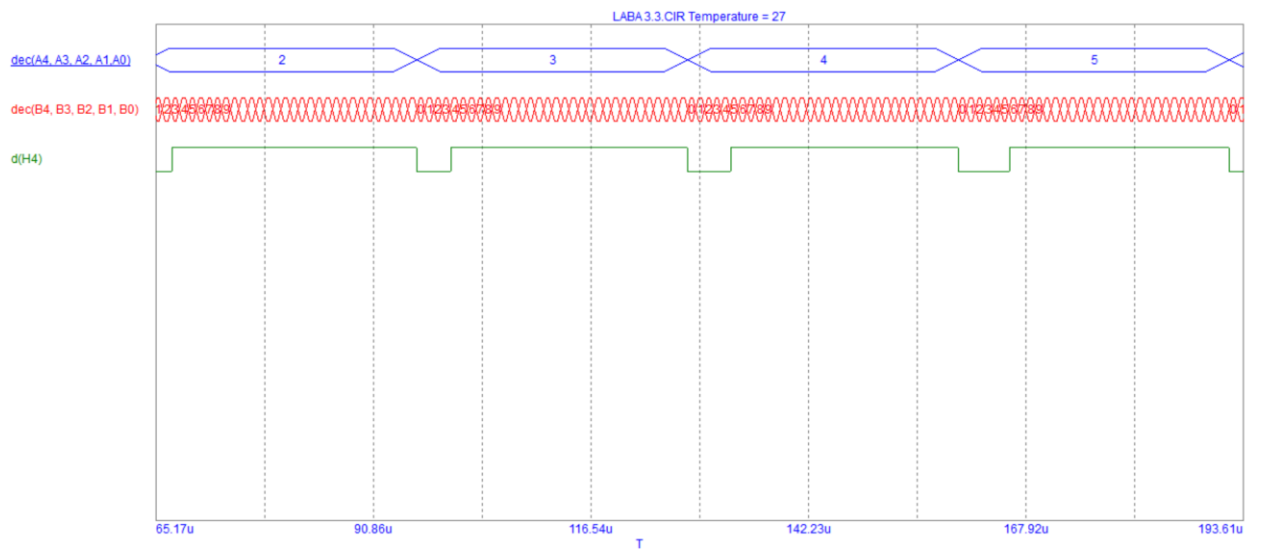


График 7 – Часть временной диаграммы схемы сравнения для последовательного формирования результата

Можно сделать вывод о том, что схема работает верно, т.к.  $Y = 1$  тогда, когда  $A < B$ .

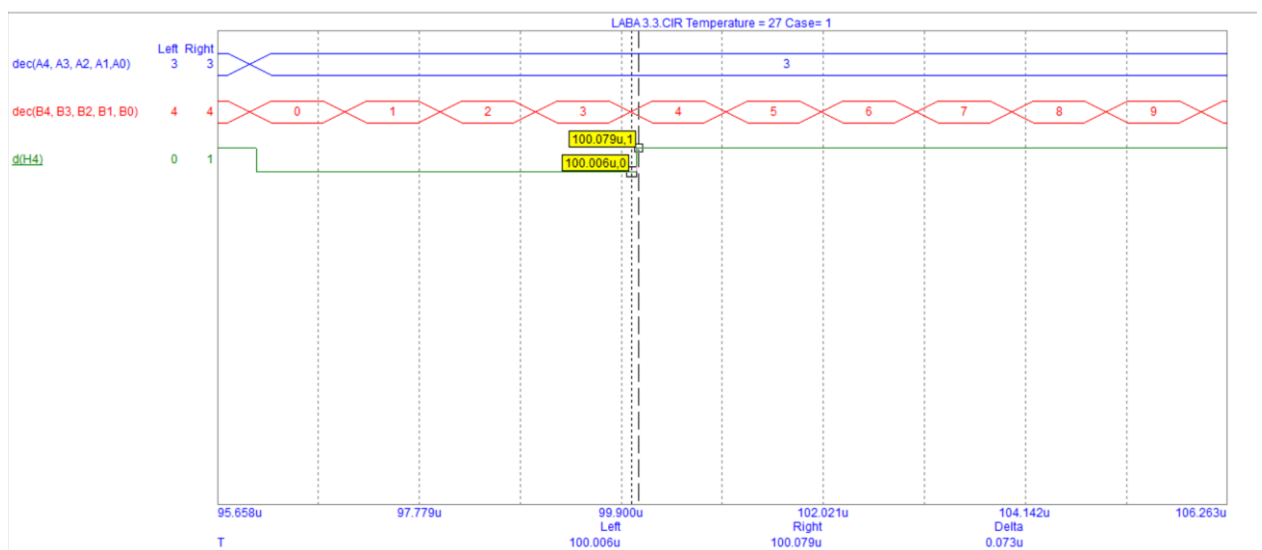


График 8 - Задержка на ЛЭ

Опираясь на график, задержку можно оценить в 73 nS.

5. Моделирование логической схемы сравнения 5 -разрядных двоичных чисел А и В на неравенство для параллельного формирования результата сравнения.

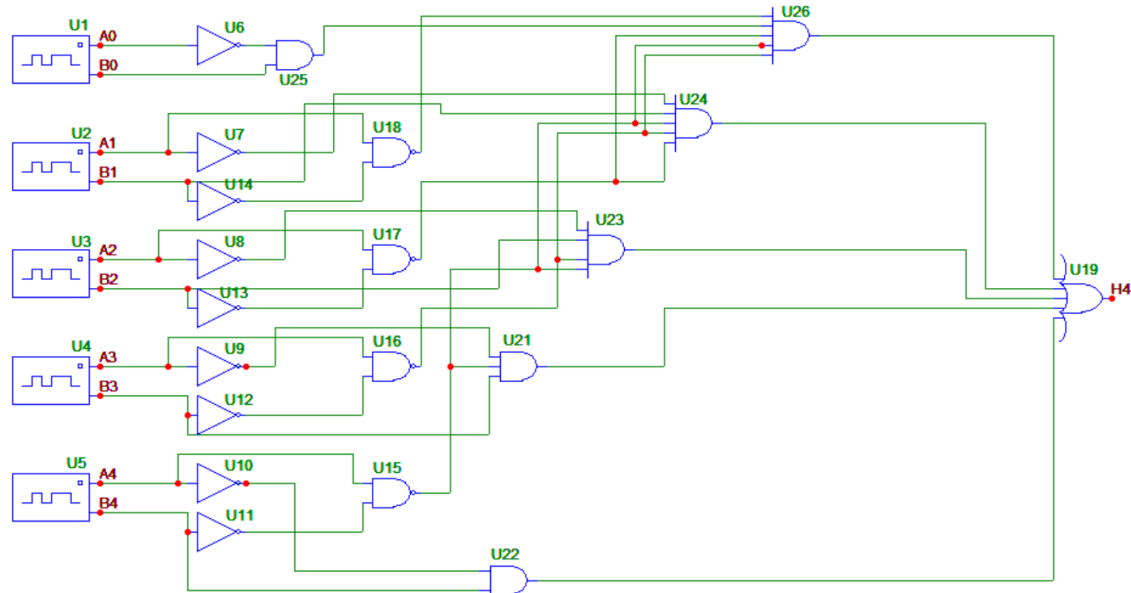


Схема 4 - Схема сравнения для параллельного формирования результата

Оценим аппаратные затраты. В схеме используется 20 ЛЭ, из которых 9 Inverter, 6 And2, 1 And3, 1 And4, 2 And5, 1 Or5.

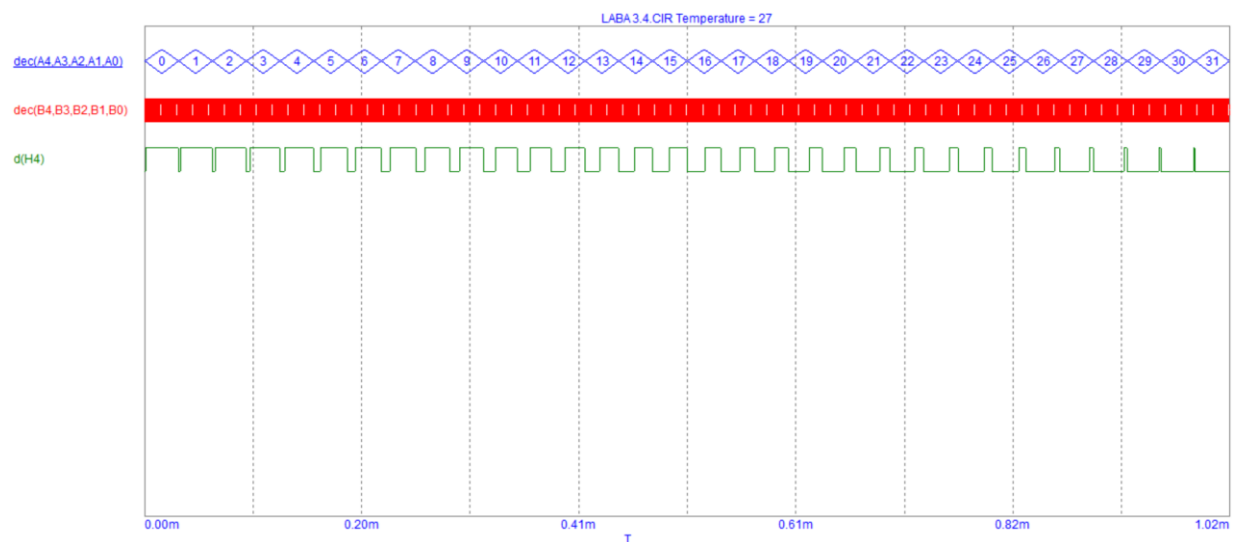


График 9 - Временная диаграмма схемы сравнения для параллельного формирования результата

Для проверки корректности работы рассмотрим поближе часть диаграммы:

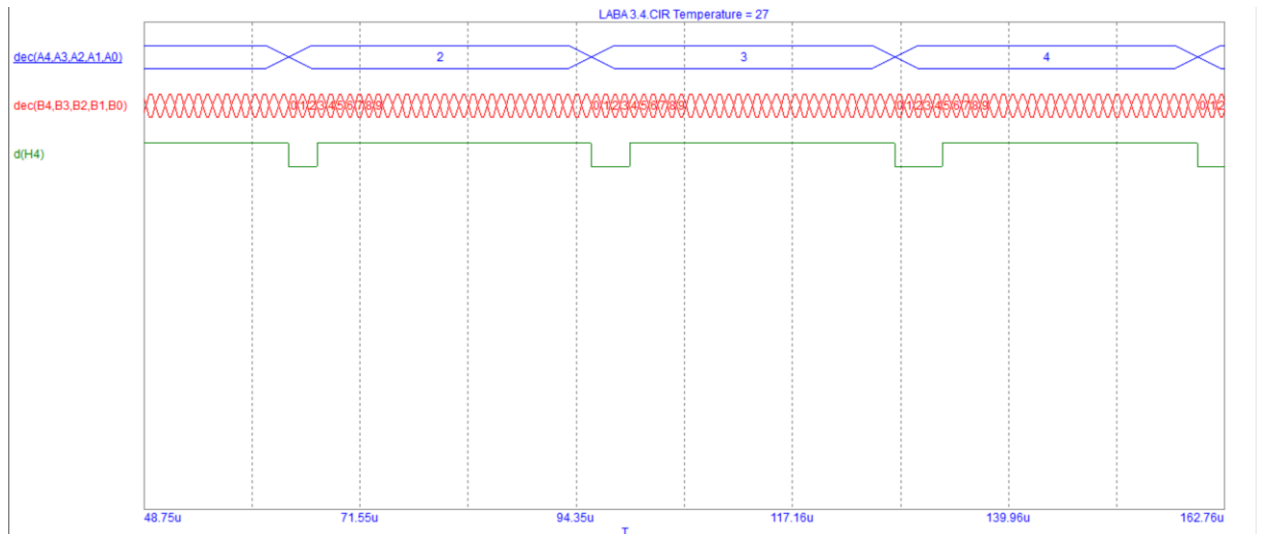


График 10 - Часть временной диаграммы схемы сравнения для параллельного формирования результата

Можно сделать вывод о том, что схема работает верно, т.к.  $Y = 1$  тогда, когда  $A < B$ .

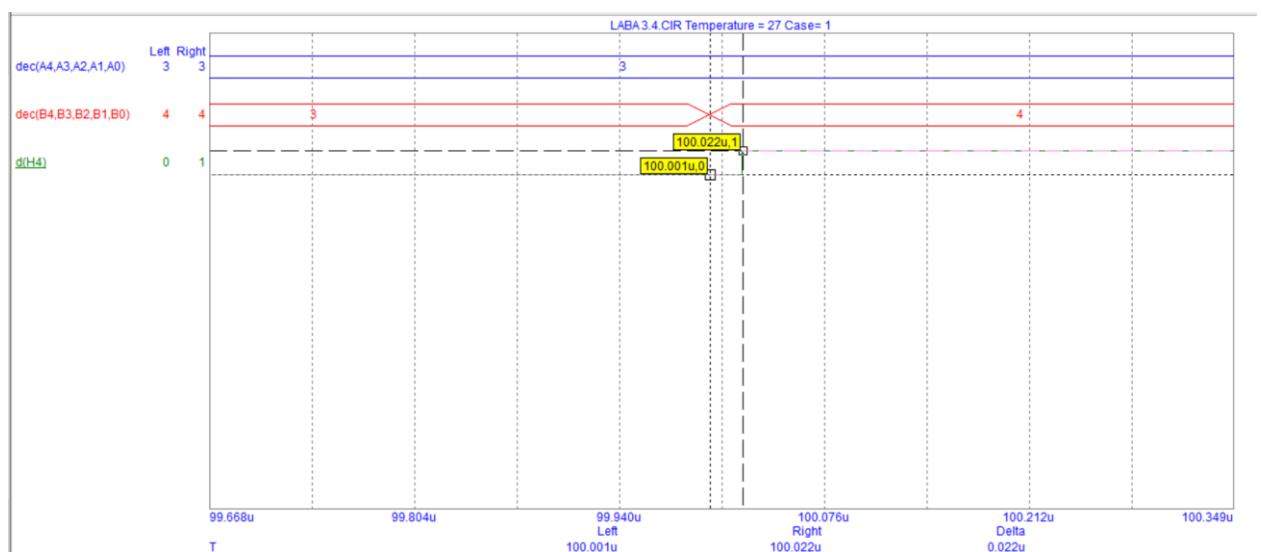


График 11 - Задержка ЛЭ

Опираясь на график, задержку можно оценить в 22 nS.

**Выводы:** таким образом, экспериментально была получена задержка. По полученным результатам можно сделать вывод, что схема для сравнения 5 -разрядных двоичных чисел А и В на неравенство для параллельного варианта формирования результата сравнения чисел формирует результат в  $\approx 3,3$  раза быстрее, чем последовательная. Однако по аппаратным затратам схема с параллельным формированием результата уступает. И хотя ЛЭ в схеме используется меньше, однако многие из них рассчитаны на большое количество входов. Если бы в схеме также использовались And2 и Or2, то количество ЛЭ оценивалось примерно в 27 элементов.

6. Вывод: в ходе лабораторной работы получила логические выражения сравнения 4 - разрядных двоичных чисел А и В на равенство на основе использования логической схемы равнозначности и неравнозначности. Промоделировала работу построенных схем в системе схемотехнического моделирования Micro-Cap. Сравнила результаты работы обоих схемотехнических вариантов, оценив временные и аппаратные затраты.

Моделировала логическую схему сравнения 5 -разрядных двоичных чисел А и В на неравенство ( $A < B$ ) для последовательного и параллельного варианта формирования результата. Сравнила результаты, оценив задержку и аппаратные затраты.