

## 1. Цель работы и задачи

**Цель работы:** освоение методики разработки страничной организации адресного пространства МК-систем с расширенным набором БИС оперативной памяти и периферийных БИС ввода-вывода и их проектирования в САПР Orcad

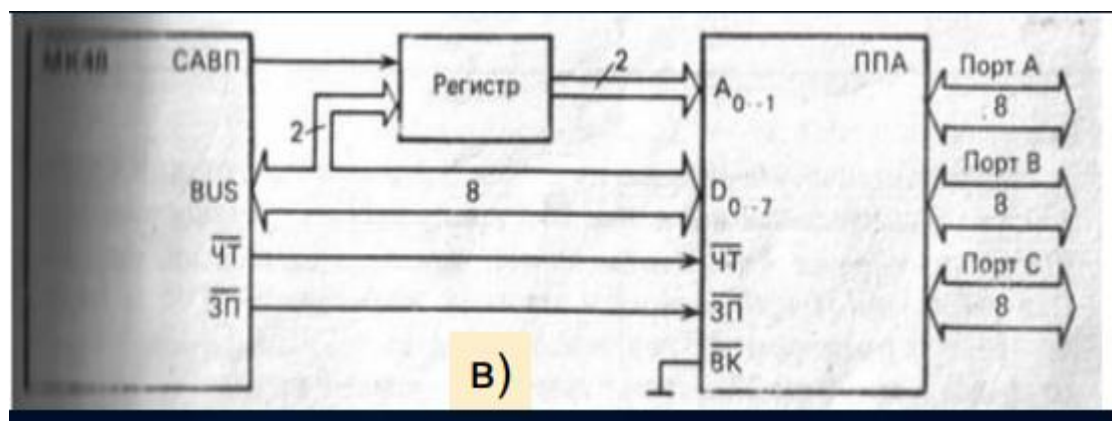
**Задача:** разработка страничной организации с единым адресным пространством внешней памятью данных (ВПД) и периферийных БИС устройств ввода-вывода (УВВ) и создание электронной версии принципиальной схемы МКсистемы.

## 2. Вариант задания и исходные данные

№ вар	ФИО студента	Тип МК	Буферный регистр адреса (PrA)	Шинный формиратор (ШФ)	ОЗУ (RAM) Объем/тип	Периферийное устройство (ПУ)
18	Собко Михаил Сергеевич	МК i8051	i8212	i8286	4 Кбайт/ 1024x8	i8251

## 3. Теоритические сведения

### Совмещение адресного пространства ВПД и УВВ



### МК-система с ВПП, ВПД и УВВ

В МК-системе требуется учитывать, что память программ и память данных имеют различные адресные пространства. Поэтому необходимо программным способом реализовать независимые механизмы «перелистывания» страниц либо ВПП, либо ВПД.

В МК-системе с расширенным вводом-выводом используется единое адресное пространство для ячеек внешней памяти данных и регистров устройств ввода-вывода.

При этом, тем не менее, требуется дополнительная аппаратная реализация селекции страниц ВПД и страниц УВВ. Как правило, страницы ВПД располагаются в начальной области адресного пространства. Для адресации регистров УВВ отводится старшая область общего адресного пространства, вслед за страницами памяти данных.

Размер физической страницы ВПД определяется емкостью БИС ОЗУ. Для размещения адресов регистров устройств ввода-вывода выделяется дополнительная физическая страница УВВ, по величине равная ФС ОЗУ. Если в адресуемом пространстве ВПД и УВВ при станичной организации в области старших адресов образуются свободные ФС, они выделяются под

резервные ФС ОЗУ. А последняя ФС отводится под ФС УВВ.

### Селекция страниц ВПД и УВВ в МК-системе

Работа с ВПД с УВВ может быть разрешена в том случае, когда нет обращения МК к ВПП, т.е. при высоком уровне на выходе PSEN микроконтроллера. Селекция ФС ОЗУ и УВВ - на основе отдельного дешифратора базового адреса ВПД и УВВ, выдаваемого через дополнительные линии порта P2. Селекция УВВ внутри ФС УВВ - на основе дешифратора или каскадов дешифраторов.

### БИС USART i8251

Схема универсального синхронно-асинхронного приемопередатчика (USART) приведена на рис. 2. USART i8251 используется как периферийное устройство и программируется МК или МП для выполнения передачи последовательных данных. Приемопередатчик принимает символы данных из МК в параллельном формате и затем преобразует их непрерывный поток последовательных данных для передачи. Одновременно он может принимать поток последовательных данных и конвертировать его в символы параллельных данных для МК или МП. USART 8251 будет сигнализировать МК всякий раз, когда он может принять новый символ данных для передачи или что он имеет принятый символ для МК. МК может читать полный статус USART в любой момент времени.

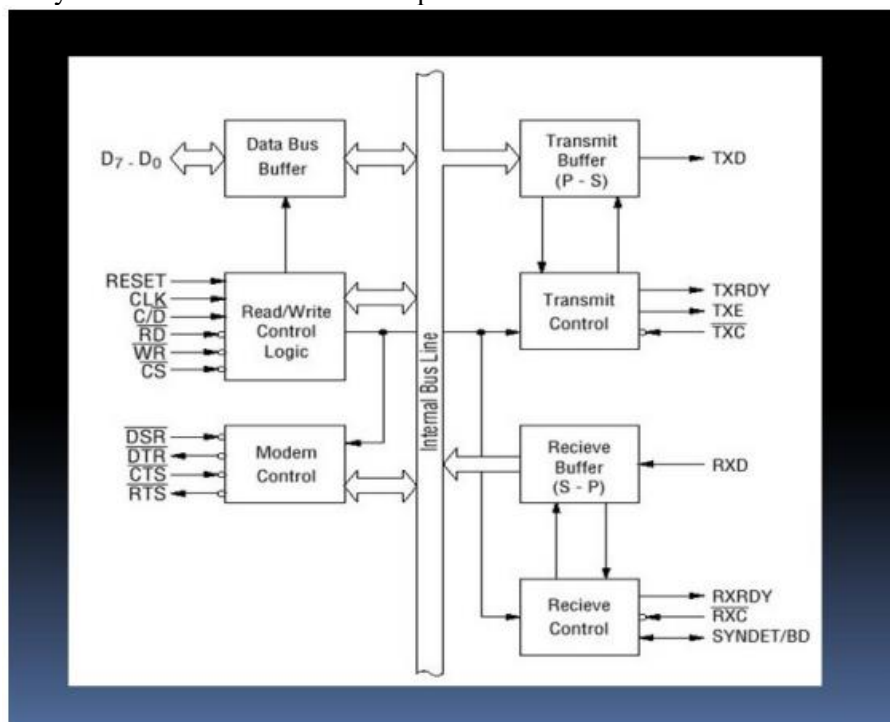


Рис. 2 – Блок-схема БИС USART i8251

Вход CLK используется для генерации внутренней синхронизации периферийного контроллера. Частота синхросигнала на входе CLK должна быть в 30 раз больше чем битовая скорость приема или передачи данных.

Вход /WR (Write – запись): низкий уровень на этом входе информирует 8251, что МК записывает данные и управляющие слова.

Вход /RD (Read – чтение): низкий уровень на этом входе информирует 8251, что МК читает данные и статусную информацию из 8251.

Вход C/D (Control/Data – Управление/Данные) совместно с входами WR/ и RD/ информирует 8251 о том, что 8-разрядное слово на шине данных является либо символом данных, управляющим словом или информацией о статусе приемопередатчика:

1 = Control/Status; 0 = Data.

Фактически вход C/D является адресным входом 8251, и к нему подключается адресный разряд A0 с шины адреса (см. рис. 1). Кодирование и типы операций в UVB i8251 приведены в табл. 2

Таблица 2 – Адресация регистров i8251

C/D (A0)	/RD	/WR	/CS	Тип операции
0	0	1	0	Символ данных из 8251 → Шина данных
0	1	0	0	Шина данных → Символ данных в 8251 [
1	0	1	0	Статус → Шина данных
1	1	0	0	Шина данных → Управляющее слово
X	1	1	0	Шина данных → 3-е состояние
X	X	X	1	Шина данных → 3-е состояние

#### 4. расчеты

Определение объема ВПД и ПЗУ:

Объем ВПД = 4 Кбайт

Объем памяти UVB = 2 байт

4096 байта + 2 байта = 4098 байт

Наименьший объем памяти, покрывающий объем 1026 байт и являющийся степенью двойки

$M = 2^{13} = 8$  Кбайт

Определение N адресных разрядов, необходимых для адресации всего объема ВПД и памяти

ПУ:  $A_0, A_1, \dots, A_{12}$

Определяем состав и конфигурацию ФС ОЗУ:

Конфигурация  $\Phi C_{O3y}$ :  $1024 \times 8 = (1024 \times 8) \times 8$

$1024 = 2^{10}$ , число адресных разрядов  $A_0, A_1, \dots, A_9$

Число БИС ОЗУ, входящих в состав  $\Phi C_{O3y}$ , равно 1

ВПД содержит 4 блока ОЗУ

Определение состава и конфигурации физической страницы (ФС) памяти ПУ:

Конфигурация  $\Phi C_{yBB}$ :  $2 \times 1$ , где 2 – число регистров ПУ, 1 – адресная линия (1 адресный разряд) 2 регистра адресуются одним адресным линией  $A_0$ ,

## 5. Разработать схему каскадной селекции физических страниц ВПД и УВВ

БИС ОЗУ										БА ФС ОЗУ		
A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
УВВ	БА2 (УВВ)									БА1 (ОЗУ)		
Регистр УВВ	каскад 4			каскад 3			каскад 2			каскад 1		
n5	n4			n3			n2			n1		

Число  $n$  разрядов  $БА_{ОЗУ} = A10 - A12 = 3$  разряда

Число  $n$  разрядов  $БА_{УВВ} = A1 - A9 = 9$  разрядов

Конфигурация  $DC_1$  для  $БА_1$ :  $3 \times 8$ , число ФС 2.

Каждый выход дешифратора селектирует объем памяти = 1024 байт.

Конфигурация  $DC_2$  для  $БА_2$ :  $3 \times 8$ , число ФС 8.

Каждый выход дешифратора селектирует объем памяти = 128 байт.

Конфигурация  $DC_3$  для  $БА_2$ :  $3 \times 8$ , число ФС 8.

Каждый выход дешифратора селектирует объем памяти = 16 байт.

Конфигурация  $DC_4$  для  $БА_2$ :  $3 \times 8$ , число ФС 8.

Каждый выход дешифратора селектирует объем памяти = 2 байт.

Количество УВВ 512

## 6. Разработать схему каскадной селекции физических страниц ВПД и УВВ и отдельно схему каскадной селекции всех УВВ

ФСПУ при страничной организации адресного пространства ВПД и памяти ПУ:

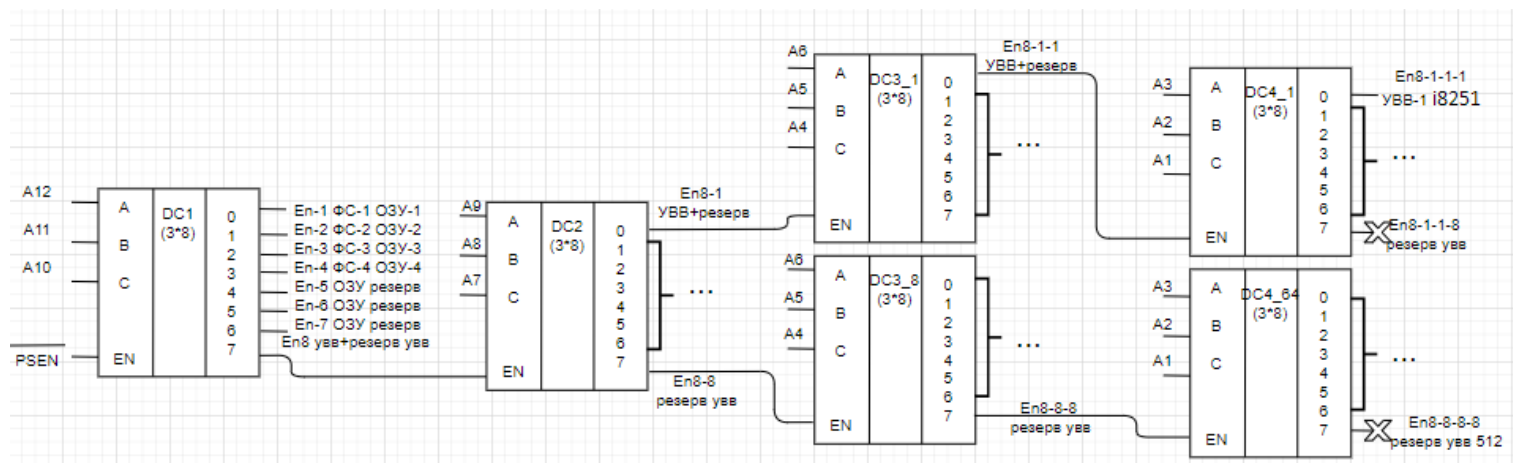
Для реализации схемы каскадной селекции необходимы:

1 дешифратор  $DC1$  ( $3 \times 8$ )

1 дешифратор  $DC2$  ( $3 \times 8$ )

8 дешифраторов  $DC3$  ( $3 \times 8$ )

64 дешифратора  $DC4$  ( $3 \times 8$ )



7. Карта памяти ВПД и ПУ для заданного варианта

общий объем памяти 8Кбайт	резерв УВВ 1022 байт	резерв УВВ 2 байт	En-8-8-8-8	8191 8190
		...		
		резерв УВВ 2 байт	En-8-1-1-2	7171 7170
	память ПУ 2 байт	УВВ(8251) 2 байта	En-8-1-1-1	7169 7168
	резерв ОЗУ 3кб	ФС-7 резерв ОЗУ	En-7	7167 6144
		ФС-6 резерв ОЗУ	En-6	6143 5120
		ФС-5 резерв ОЗУ	En-5	5119 4096
	ВПД 4 Кб	ФС-4 ОЗУ-4 1Кб БИС ОЗУ-4 1024*8	En-4	4095 3072
		ФС-3 ОЗУ-3 1Кб БИС ОЗУ-3 1024*8	En-3	3071 2048
		ФС-2 ОЗУ-2 1Кб БИС ОЗУ-2 1024*8	En-2	2047 1024
		ФС-1 ОЗУ-1 1Кб БИС ОЗУ-1 1024*8	En-1	1023 0

## 8. Блок-схема МК-системы с ВПП

