1. Цель работы

Освоение методики разработки страничной организации программной памяти МКсистем и их проектирования в САПР Orcad.

Задача:

- Составить блок-схему распределения и селекции БИС памяти в адресном пространстве МК-системы в соответствии с картой памяти программ, оформить в виде отчета и сдать коллоквиум.
- Освоить навыки работы с САПР Orcad и создать электронную версию принципиальной схемы микроконтроллерной системы с внешней памятью программ (ВПП) в соответствии с вариантом задания.

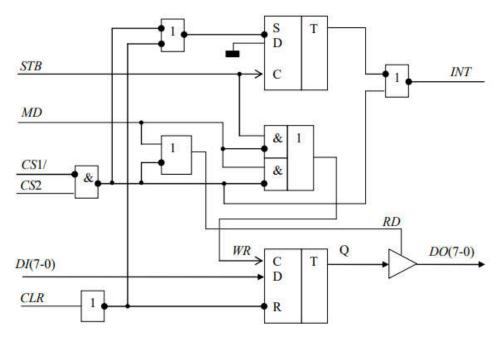
2. Вариант и исходные данные

| № Варианта | Тип МК | Буферный | ПЗУ | ППЗУ | |
|------------|----------|----------------------|----------------|-----------------|--|
| | | регистр адреса (РгА) | (Объем/тип | (Объем/тип БИС) | |
| | | | БИС) | | |
| 5 | MK i8051 | i8212 | 512байт/ 256х1 | 2 Кбайт/ | |
| | | | | 1024x8 | |

3. Теоретические сведения

Буферный регистр адреса (РгА) і8212.

Микросхема i8212 является 8-разрядным многорежимным буферным регистром, который в проектируемой МК-системе применяется для 8 младших адресных разрядов. Режим записи данных с входа DI(7-0) в восемь триггеров определяется состоянием входа режима MD. Рекомендуется задать MD=0, тогда сигнал записи WR будет формироваться по синхросигналу на входе STB. Требуется задать логический нуль на входе CS1 и логическую единицу на воде CS2 для того, чтобы RD был постоянно активным и разрешал выдачу битов адреса с прямых выходов Q триггеров на выход DO(7-0) PrA. Чтобы вход CLR не влиял на работу PrA, на него надо подать логический нуль.



Для работы МК51 требуется один источник электропитания +5В. Через четыре программируемых порта ввода-вывода МК51 взаимодействует с внешней средой в стандарте ТТЛ-схем с тремя состояниями выходов.

Корпус МК51 имеет два вывода для подключения кварцевого резонатора, четыре вывода для сигналов, управляющих режимом работы микроконтроллера и восемь линий порта 3, которые могут быть запрограммированы на выполнение специализированных (альтернативных) функций обмена информацией периферийных блоков МК-системы. Основу структурной схемы МК51 образует внутренняя двунаправленная 8-разрядная шина, которая связывает между собой все основные внутренние узлы микроконтроллера:

- резидентная память программ (РПП) объемом 4 Кбайт;
- 8-разрядное АЛУ;
- блок регистров специальных функций;
- резидентная память данных емкостью 128 байт;
- устройство управления;
- четыре 8-разрядных порта ввода-вывода (РО-РЗ)

Память программ в МК-системе реализуется на основе резидентной памяти программ () микроконтроллера и может быть расширена за счет добавления внешней памяти программ (ВПП). РПП имеет емкость 4 Кбайт и предназначена для хранения команд, констант, управляющих слов программы инициализации, таблиц перекодировки входных и выходных переменных и т.п. РПП имеет 16-разрядную шину адреса, через которую осуществляется доступ из счетчика команд или из регистра-указателя данных. Этот регистр выполняет функции базового регистра при косвенных переходах по программе или используется в командах, оперирующих с таблицами.

Совместная работа МК с РПП и ВПП

При обращение к определенному адресу, МК понимает, идет обращение в РПП или к ВПП. Если РПП, то сигнал PSEN не активный и дешифраторы отключены, если обращение к внешней памяти программ (ВПП), то доступ осуществляется с помощью низкого уровня сигнала PSEN, ALE, P2, P0.

 $(PSE\overline{N})$ - выход, разрешающий работу ВПП, подаётся на селектирующий дешифратор. (ALE) — выход стробы на буферный регистр для фиксации адреса при обращении к внешней памяти программ (ВПП). Представляет из себя синхросигнал, идентификатор машинного цикла. Порт 2 — имеет разрядность 8 бит, при обращении к внешней памяти программ (ВПП) хранит в своих младших разрядах 4 старших разряда адреса обращения. Порт 0 — имеет разрядность 8 бит, двунаправленный порт. При обращении к ВПП хранит младшие 8 разрядов адреса обращения. Также с порта BUS происходит считывание кода команды.

Страничная организация ВВП

Используется страничный способ организации памяти: происходит деление памяти на физические страницы с ячейками, равными разрядности архитектуры МК. Количество ячеек совпадает с числом БИС.

БИС памяти программ имеют:

- 1) Вход чип-селект для выборки конкретного БИС
- 2) Адресные входы для обращения к конкретной ячейке памяти. Кол-во входов зависят от кол-ва ячеек БИС.
- 3) Выходы данных. Кол-во выходов зависит от разрядности ячейки БИС.

Для формирования физической страницы с разрядностью ячейки 8 бит, будем объединять несколько БИС меньшей разрядности ячейки до достижения 8 разрядов.

Конфигурация физической страницы представляет собой описание характеристик памяти: число ячеек и разрядность архитектуры:

Конфигурация ФС=Число ячеек БИС × Разрядность блока ВВП

4. Расчет адресного пространства памяти программ системы

- Определение объем внешней памяти программ (ВПП): Объем ВПП = Объем ПЗУ + Объем ППЗУ (байт) = 0,5 Кбайт + 2Кбайт = 2,5 Кбайт.
- Определение общего объема М памяти программ в системе:

Реальный Объем ПП = Объем РПП + Объем ВПП (байт);

Объем РПП у МК і8051 = 4Кбайт;

Реальный Объем ПП = 4Кбайт + 2,5Кбайт = 6,5Кбайт = 6656

байт.

Реальный объём памяти составляет 6656 байта, то

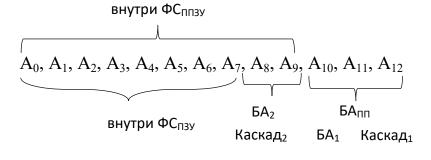
наименьший объём памяти, покрывающий его составляет:

$$M = 2^{13} = 8192$$
 байт = 8 Кбайт.

• Определение количества адресных разрядов, необходимых для адресации всего объемаМ памяти программ (ПП) в системе:

$$A_0,A_1,\dots,A_{12}.$$

- Определить состав и конфигурацию физической страницы ПЗУ
 - Конфигурация ФС ПЗУ: 256x8 = (256x1)x8
 - 256=2⁸, число адресных разрядов A0, A1,...A7
 - Число БИС ПЗУ, входящих в состав ФС ПЗУ равно 8
 - Число ФС в блоке ПЗУ равно 2
- Определить состав и конфигурацию физической страницы ППЗУ
 - Конфигурация ФС ППЗУ: 1024 x8 = (1024 x8)x1
 - 1024 = 2^10, число адресных разрядов A0, A1,... A9
 - Число БИС ППЗУ, входящих в состав ФС ППЗУ равно 1
 - Число ФС в блоке ППЗУ равно 2
- Определить Базовые адреса (БА), необходимые для страничной организации ПП



• Выбрать конфигурацию дешифраторов DC для каскадной селекции ФСППЗУ и ФСПЗУ при страничной организации адресного пространства ПП:

Дешифратор для каскада 1:

$$n = 3;$$

 $m = 2^3 = 8;$

Конфигурация DC1 (3 х 8). 3 входа и 8 выходов. Каждый выход дешифратора селектирует объем памяти = 1024байт.

Дешифратор для каскада 2:

$$n = 2;$$

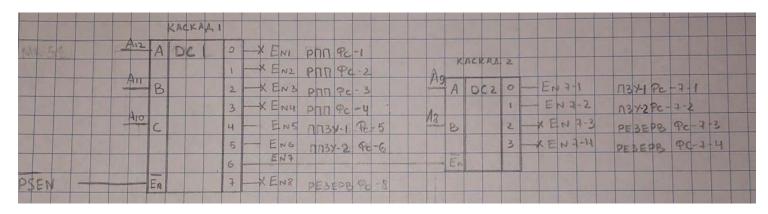
$$n = 2;$$

 $m = 2^2 = 4;$

Конфигурация DC1 (2 x 4).

2 входа и 4 выходов. Каждый выход дешифратора селектирует объем памяти = 256 байт.

• Схема каскадной селекции физических страниц ПП на базе выбранных дешифраторов



5. Привести карту памяти ПП для заданного варианта

| | | | резерв | | | | 8191 |
|------------------|-----------------|---------|--------------------|---------------------------|-------------------------|-------|------|
| | | | ППЗУ | ФС-8 1кбайт | | EN-8 | 7168 |
| | | | | | | EN-7- | 7167 |
| | | | | ФС-7-4 256 байт | | 4 | 6912 |
| | | | | | | EN-7- | 6911 |
| | резерв 1,5кбайт | | резерв ПЗУ | ФС-7-3 256 байт | | 3 | 6656 |
| | | | | ПЗУ-2 ФС-7-2 ПЗУ 256 байт | | EN-7- | 6655 |
| | | | | БИСПЗУ-2 7-2-1(256х1) | БИС ПЗУ-2 7-2-8 (256х1) | 2 | 6400 |
| | | | ПЗУ | ПЗУ-1 ФС-7-1 ПЗУ 256 байт | | EN-7- | 6399 |
| | | | 512байт | БИСПЗУ-1 7-1-1 (256х1) | БИС ПЗУ-1 7-1-8(256х1) | 1 | 6144 |
| | | | | ППЗУ-2 ФС-6 П | ІПЗУ 1кбайт | | 6143 |
| | | ввп | БИС ППЗУ-2(1024х8) | | EN-6 | 5120 | |
| | | 2,5кбай | ппзу | ППЗУ-1 ФС-5 ППЗУ 1кбайт | | | 5119 |
| | | Т | 2кбайт | БИС ППЗУ-1(1024х8) | | EN-5 | 4096 |
| | | | | | | | 4095 |
| | | | | ФС-4 1кбайт | | EN-4 | 3072 |
| адрес. про-во | Реальн | | | | | | 3071 |
| памяти | ый | | | ФС-3 1кбайт | | EN-3 | 2048 |
| програ | обьем | | | | | | 2047 |
| MM | пп | | | ФС-2 1кбайт | | EN-2 | 1024 |
| | 6,5кбай | РПП | РПП | | | | 1023 |
| 8Кбайт | Т | 4кбайт | 4кбайт | ФС-1 1кбайт | | EN-1 | 0 |

6. Блок схема МК-системы с ВПП

