

1. Цель работы.

Изучение принципов двоичного суммирования чисел, алгоритмов построения структур сумматоров, а также моделирования их работы.

2. Построение и моделирование работы сумматора по модулю 2.

2.1 Построение таблицы истинности для сумматора по модулю 2.

Таблица 1 - Таблица истинности для сумматора по модулю 2.

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

2.2 Логическое выражение для булевой функции, следующее из таблицы истинности в совершенной дизъюнктивной нормальной форме (СДНФ).

$$F = \overline{A}B + A\overline{B} = \overline{\overline{\overline{A}B}} = \overline{\overline{A}B} * \overline{A\overline{B}}$$

2.3 Построение принципиальной схемы устройства в базисе И-НЕ.

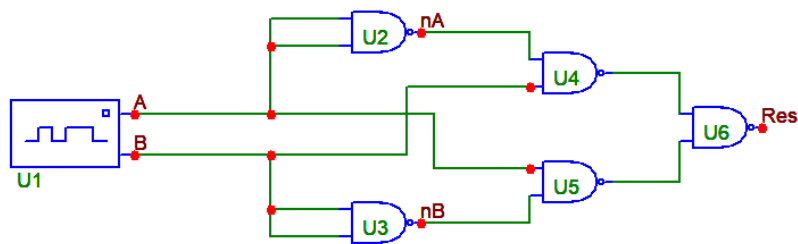


Рисунок 1. Принципиальная схема сумматора по модулю 2.

2.4 Моделирование работы схемы в системе Micro-Cap.

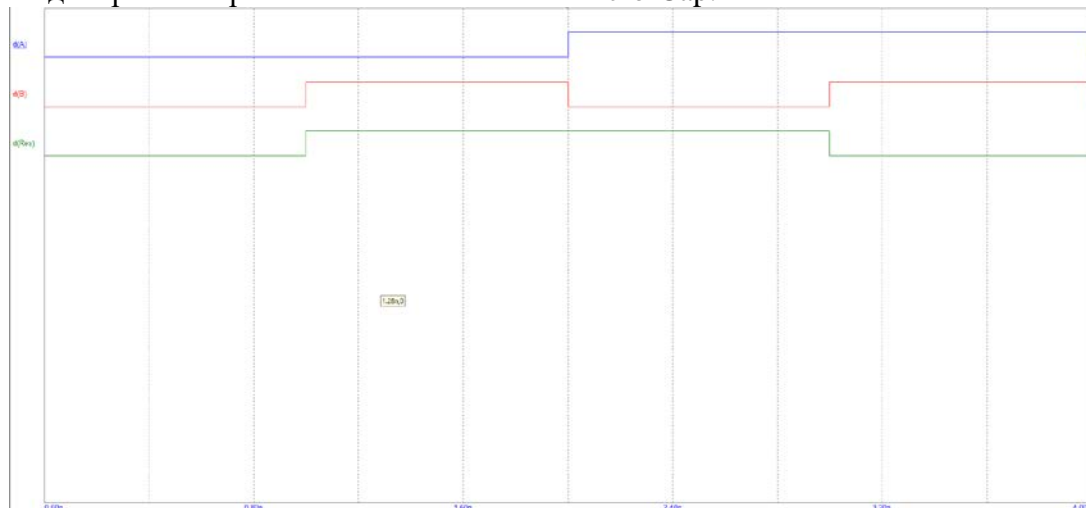


Рисунок 2. Временная диаграмма работы сумматора по модулю 2.

По временной диаграмме видно, что схема работает в соответствии с таблицей истинности.

3. Реализовать логическую функцию формирования нечетности от пятиаргументов.
- 3.1 Построение принципиальной схемы устройства.

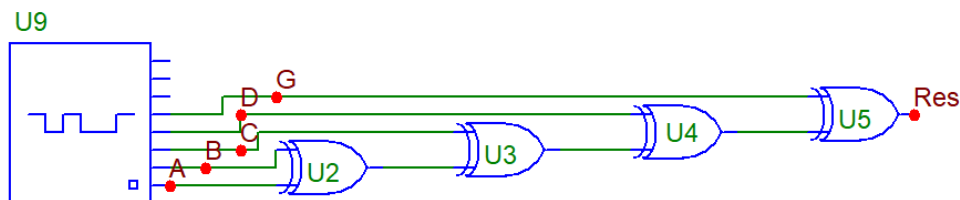


Рисунок 3. Принципиальная схема функции нечетности от пяти аргументов.

- 3.2 Моделирование работы схемы в системе Micro-Cap.

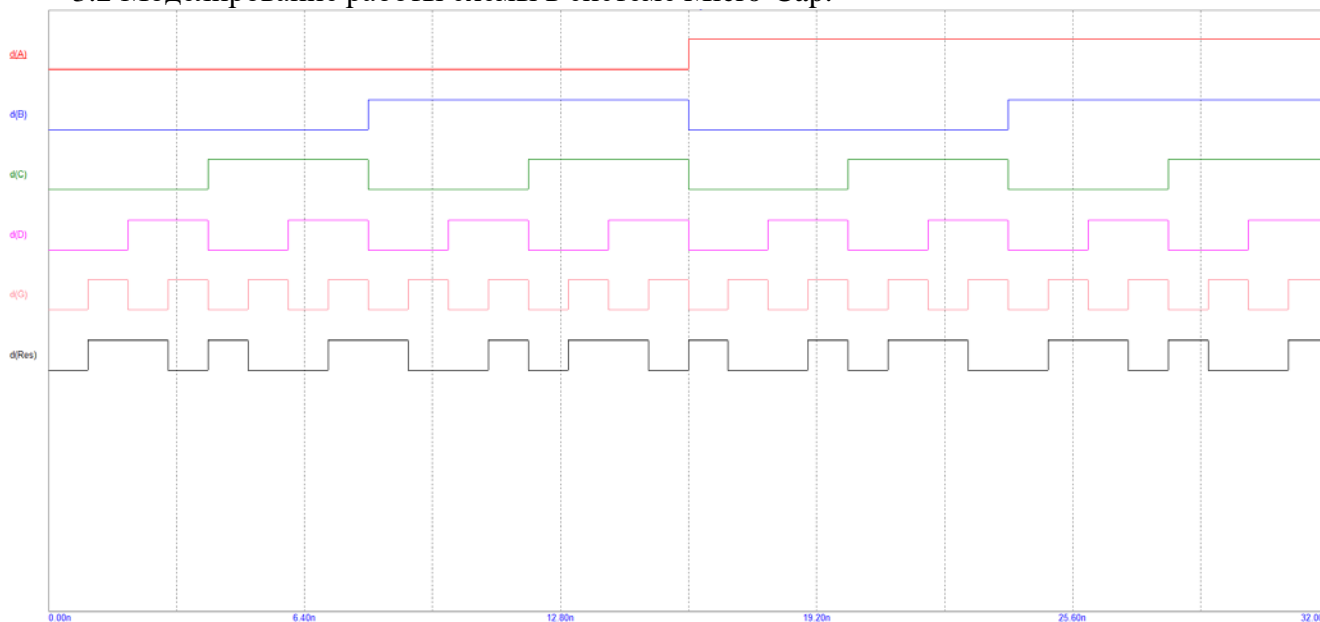


Рисунок 4. Временная диаграмма работы схемы.

По временной диаграмме видно, что схема работает верно: функция нечетности истинна, если истинно нечетное число ее аргументов.

4. На основе полученных результатов построить схему полного одноразрядного сумматора и проанализировать его работу.
- 4.1 Построение таблицы истинности для полного одноразрядного сумматора.

Таблица 2 - Таблица истинности для полного одноразрядного сумматора.

A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

4.2 Логическое выражение для S_i .

$$S_i = \overline{A_i}B_iP_{i-1} + \overline{A_i}\overline{B_i}\overline{P_{i-1}} + A_i\overline{B_i}\overline{P_{i-1}} + A_iB_iP_{i-1} = \\ = \overline{P_{i-1}}(\overline{A_i}B_i + A_i\overline{B_i}) + P_{i-1}(\overline{A_i}\overline{B_i} + A_iB_i) = A_i \oplus B_i \oplus P_{i-1}$$

4.3 Логическое выражение для P_i .

$$P_i = \overline{A_i}B_iP_{i-1} + A_i\overline{B_i}P_{i-1} + A_i\overline{B_i}\overline{P_{i-1}} + A_iB_iP_{i-1}$$

4.4 Минимизация логического уравнения P_i , полученного из таблицы истинности, с помощью карты Карно.

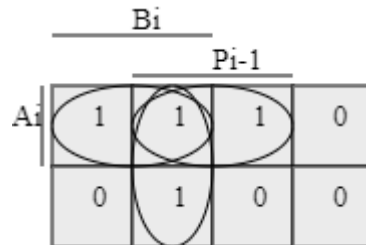


Рисунок 5. Карта Карно.

4.5 Минимизированное логическое уравнение P_i .

$$P_i = A_iB_i + B_iP_{i-1} + A_iP_{i-1}$$

4.6 Построение принципиальной схемы устройства.

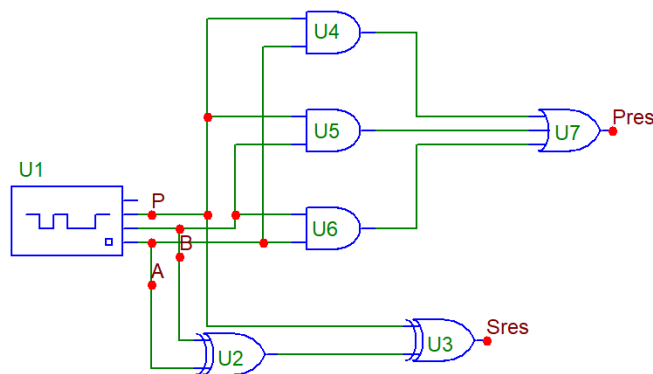


Рисунок 6. Принципиальная схема полного одноразрядного сумматора.

4.7 Моделирование работы схемы в системе Micro-Cap.

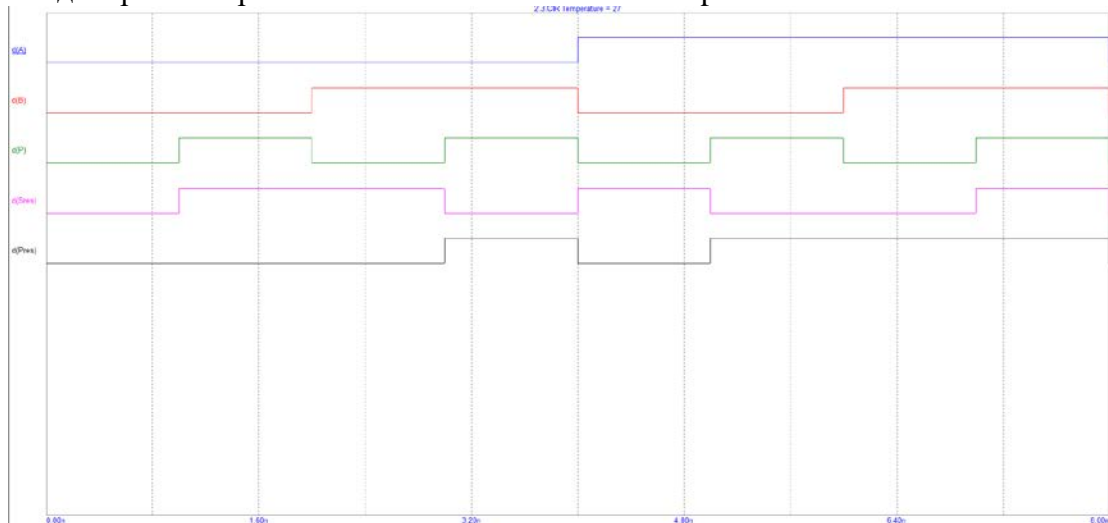


Рисунок 7. Временная диаграмма работы схемы.

По временной диаграмме видно, что схема работает в соответствии с таблицей истинности ($S_{res} = S_i$ и выход $Pres = P_i$). Следовательно можно сделать вывод, что схема построена верно.

5. Построить схему и проанализировать работу параллельного сумматора двух 4-разрядных двоичных чисел, оценить время формирования результата.

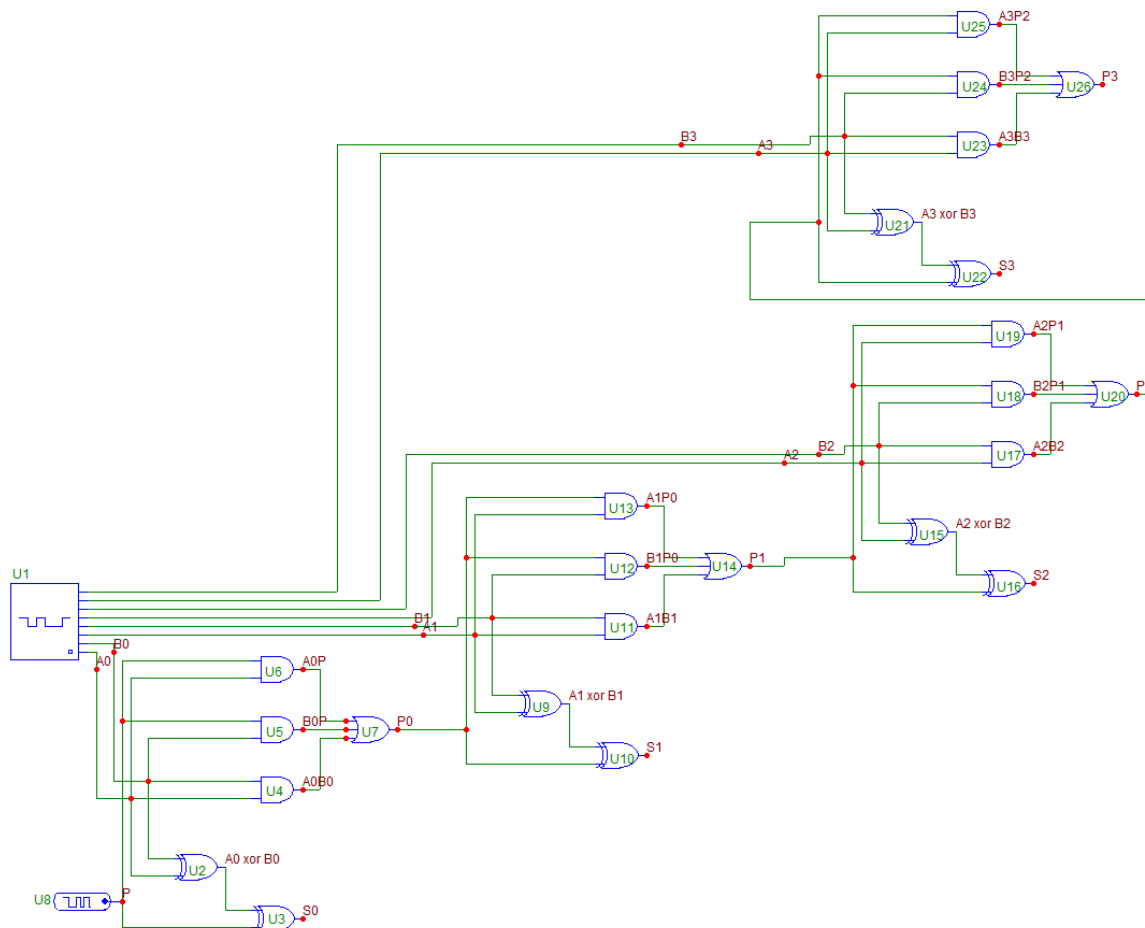


Рисунок 8. Принципиальная схема параллельного сумматора двух 4-разрядных двоичных чисел.

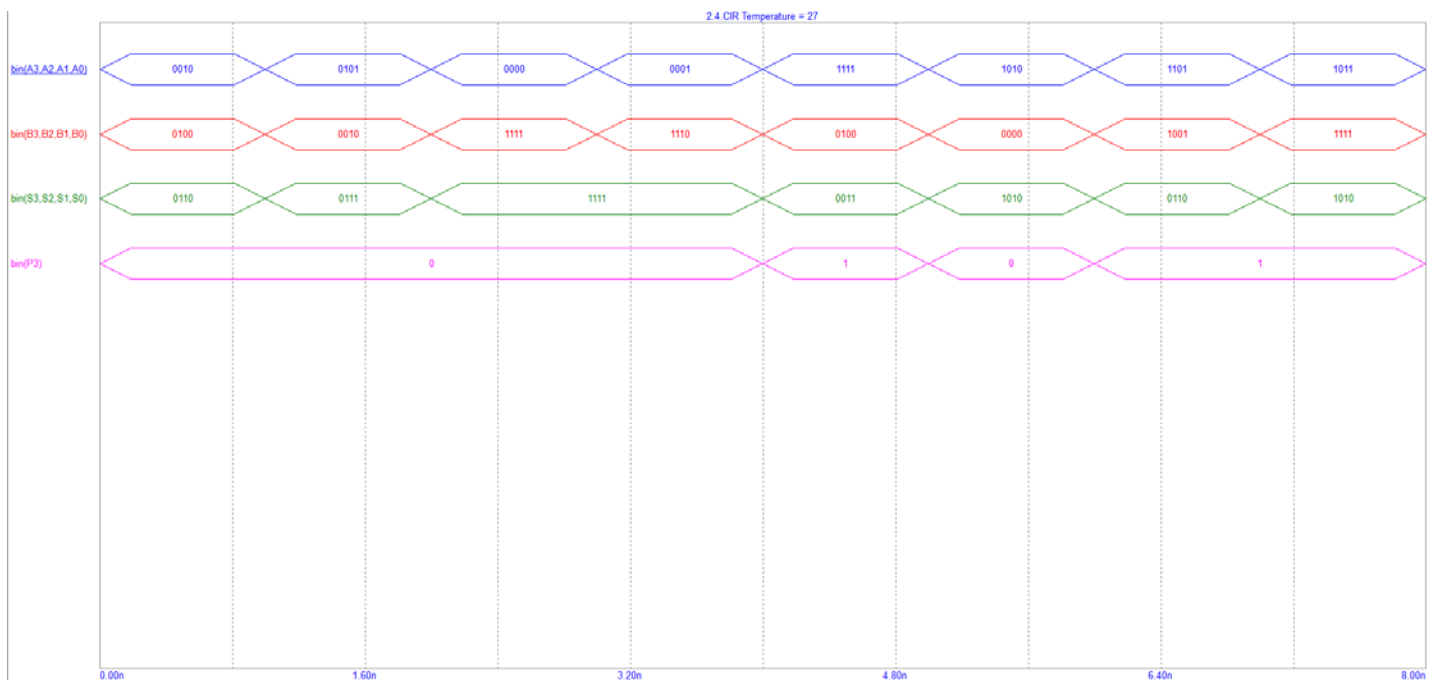


Рисунок 9. Временная диаграмма работы схемы.

По временной диаграмме видно, что схема работает верно: $A = 1111$, $B = 0100$, $A + B = S = 0011$ и перенос $P = 1$.

Из схемы можно утверждать о том, что результат S формируется поразрядно с помощью четырех полных одноразрядных сумматоров, при этом каждый следующий разряд вычисляется с учетом переноса из предыдущего разряда. Следовательно, если время работы одноразрядного сумматора обозначить как $T_{s(1)}$, тогда время получения результата сложения A и B в сумматоре двух 4-разрядных двоичных чисел можно оценить как $T_{s(4)} = 4 * T_{s(1)}$.

6. Вывод.

В результате выполнения работы была построена схема сумматора по модулю 2 и промоделирована его работа. Была реализована логическая функция формирования нечетности от пяти аргументов. На основе полученных результатов построена схема полного одноразрядного сумматора и проанализирована его работа, построена схема параллельного сумматора двух 4-разрядных двоичных чисел и проанализирована его работа, а также оценено время формирования результата.