

Laboratório 2 **- ULA e FPULA -**

Objetivos:

- Introduzir ao aluno a Linguagem de Descrição de Hardware Verilog;
- Familiarizar o aluno com a plataforma de desenvolvimento FPGA DE1-SoC e o software QUARTUS Prime da Intel;
- Desenvolver a capacidade de análise, síntese e caracterização de sistemas digitais usando HDL;

Dica: Para envio de um projeto do Quartus:

- Project/ Archive Project/Advanced e selecione também Programming output files.
- Envie apenas o arquivo .qar gerado e o arquivo .pdf do relatório em um arquivo Grupox_Lab2.zip

1) (0.0) Implementação de um driver para display de 7 segmentos Síncrono e Assíncrono

1.1 (0.0) Faça o download do arquivo lab2.zip do Moodle, deszippe em um diretório do desktop que **NÃO** contenha espaço nem caracteres especiais no nome. O arquivo Tutorial_Quartus_Prime.pdf contém instruções sobre como criar um projeto e usar em simulações e como implementar na DE1-SoC.

1.2 (0.0) Para a versão assíncrona do decoder7.v, defina-o como o toplevel e compile:

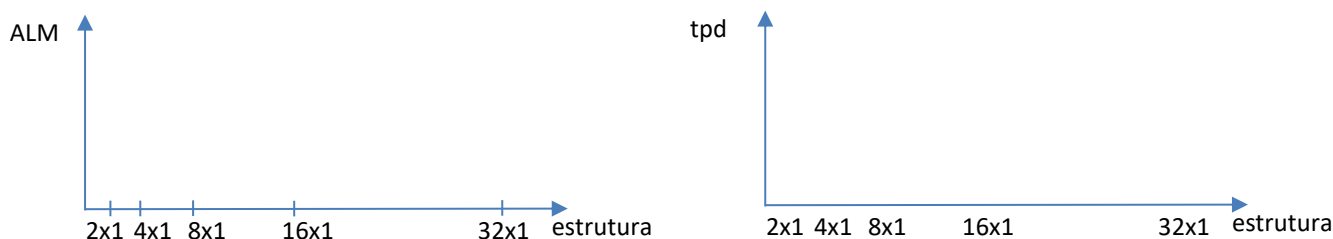
- Indique os requerimentos físicos da implementação: i) número de elementos lógicos (ALMs), ii) número de registradores, iii) quantidade de bits de memória e iv) número de blocos DSP usados;
- Veja o diagrama esquemático do circuito gerado pelo Tools/Netlist Viewers/RTL viewer
- Com o arquivo decoder7_tb.v realize a simulação funcional usando o ModelSim (Tools/Run simulation tool/RTL simulation), tire printscreens para colocar no relatório;
- Com o arquivo em forma de onda decoder7.vwf (University Program) realize a simulação funcional (verifique sempre se o Simulation settings estão com os parâmetros default), tire printscreens para colocar no relatório;
- Usando o TimeQuest (Tools/Timing Analyzer), gere a Timing Netlist e em seguida relatório Report Datasheet e indique os requerimentos temporais: i) o caminho de maior atraso, ii) maior tempo de atraso tpd.
- Defina o arquivo TopDE.v como o toplevel, sintetize na DE1-SoC e filme o funcionamento para todos os valores de entrada.

1.3 (0.0) Para a versão síncrona do decoder7.v, defina-o como toplevel e compile:

- Indique os requerimentos físicos da implementação: i) número de elementos lógicos (ALMs), ii) número de registradores, iii) quantidade de bits de memória e iv) número de blocos DSP usados;
- Com o arquivo de decode7_tb.v, realize a simulação funcional usando o ModelSim;
- Com o arquivo de forma de onda decoder7.vwf, realize a simulação funcional;
- Usando o TimeQuest, defina o clock de 50MHz, indique os requerimentos temporais: i) tempos th, tco, tsu e slacks, ii) máxima frequência de clock utilizável, iii) se há algum requerimento não atendido. Aumente a frequência para 1000GHz e repita os itens i), ii) e iii).
- Defina o arquivo TopDE.v como o toplevel, sintetize na DE1-SoC e filme o funcionamento para todos os valores de entrada.

2) (1.0) Multiplexadores:

Desenhe dois gráficos comparativos, de requerimentos físicos (número de ALMs) e temporais (tpd), dos multiplexadores com palavras de 1, 3, 7, 12 e 32 bits (5 curvas por gráfico) para as seguintes configurações de multiplexadores: 2×1, 4×1, 8×1, 16×1, 32×1. Analise criticamente os resultados obtidos.



3) (4.5) Unidade Lógico Aritmética de Inteiros:

- a) (0.5) Para a ULA de inteiros fornecida descreva suas funções e escreva a tabela de seus códigos para cada operação.
- b) (1.0) Modifique o testbench ULA_tb.v e verifique com o ModelSim cada operação implementada. Dica: Escolha valores de entrada que sejam representativos (comuns) e valores que possam gerar resultados singulares (overflow, zero).
- c) (1.0) Indique os requisitos físicos da implementação da ULA total e para cada operação separadamente: i) Número de Elementos Lógicos (ALMs), ii) Número de Registradores e iii) Quantidade de bits de memória e iv) Número de blocos DSP usados. v) Somando todos os ALMs do item i) compare com o número de ALMs da ULA total e explique a diferença. vi) Indique quais são e analise o impacto das funções com maiores circuitos no tamanho da ULA.
Dica: Defina manualmente o sinal de controle iControl no arquivo ULA.v, pois o Quartus otimiza o projeto retirando as partes não utilizadas.
- d) (1.0) Usando o TimeQuest, indique os requerimentos temporais para a ULA total e para cada operação separadamente: i) o caminho de maior atraso, ii) maior tempo de atraso tpd. iii) Indique quais são e analise o impacto das funções mais demoradas no tpd.
- e) (0.5) Defina o arquivo TopDE.v como o toplevel, sintetize na DE1-SoC e filme comprovando o correto funcionamento de acordo com o testbench criado no item b).
- f) (0.5) Verifique o quanto seu grupo consegue otimizar esta ULA em termos de requerimentos físicos e/ou temporais (sem retirar nenhuma funcionalidade!).

4) (4.5) Unidade Aritmética de Ponto Flutuante:

- a) (0.5) Para a FPULA fornecida descreva suas funções e escreva a tabela de seus códigos para cada operação.
- b) (1.0) Modifique o testbench FPALU_tb.v e verifique com o ModelSim cada operação implementada. Dica: Escolha valores de entrada que sejam representativos (comuns) e também valores que gerem resultados singulares (divisão por zero, overflow, underflow, NaN, zero).
- c) (1.0) Indique os requisitos físicos da implementação da FPULA total e para cada operação separadamente: i) Número de Elementos Lógicos (ALMs), ii) Número de Registradores e iii) Quantidade de bits de memória e iv) Número de blocos DSP usados, v) Somando todos os ALMs do item i) compare com o número de ALMs da ULA total e explique a diferença. vi) Indique quais são e analise o impacto das funções com maiores circuitos no tamanho da ULA.
Dica: Defina manualmente o icontrol pois o Quartus otimiza o projeto retirando os elementos não utilizados.
- d) (1.0) Usando o TimeQuest, defina um clock de 50MHz, indique os requerimentos temporais para a ULA total e para cada operação separadamente: i) número de ciclos necessários à execução de cada operação, ii) tempos th, tco, tsu e slacks, iii) máxima frequência de clock utilizável, e iv) se há algum requerimento não atendido. Indique quais são e analise o impacto das funções mais demoradas na máxima frequência utilizável. Aumente a frequência para 200MHz e repita os itens i), ii), iii) e iv). Analise os resultados obtidos.
- e) (0.5) Defina o arquivo TopDE.v como o toplevel, sintetize na DE1-SoC e filme comprovando o correto funcionamento de acordo com o testbench criado no item b).
- f) (0.5) Verifique o quanto seu grupo consegue otimizar esta FPULA em termos de requerimentos físicos e/ou temporais (sem retirar nenhuma funcionalidade!).