

# VLSI 설계 입문 2024\_Term\_Project

이 름 : 한지윤  
학 번 : 49004725  
담당교수 : 강석형 교수님

# 1. Ncverilog 결과

---

```
xcelium> source /tool/cadence/xcelium/v18.09/tools/xcelium/files/xmsimrc
xcelium> run
#####
Conglaturation. Your convolver works well.
The total cycle is      105815
#####
Simulation complete via $finish(1) at time 1058145 NS + 3
./tb_Convolver.v:105      $finish;
xcelium> exit
```

1. Booth 알고리즘을 이용한 곱셈을 하기 위해서 Booth.v파일 생성  
내부에 8비트 덧셈 및 뺄셈을 위한 ADD\_SUB모듈,  
1비트씩 Booth알고리즘을 위한 모듈과,  
8비트 곱셈을 하여 16비트가 출력되는 모듈 생성
2. 5\*5 총 25개의 덧셈을 빠르게 하기 위한 CSA 모듈을 트리 형식으로 연결
3. 위에서 만든 곱셈과 덧셈을 하기 위한 MAC모듈 생성
4. 98\*98이미지를 5\*5필터와 Convolution을 하기 위한 Convolver 모듈 생성  
-- 1\_RTL\_MAX directory에 저장 및 실행 --

# 1. Ncverilog 결과

0	1	2	3	4	5	6	7
98	.	.	.	.	.	.	.
196	.	.	.	.	.	.	.
294	.	.	.	.	.	.	.
392	.	.	.	.	.	.	.
490	.	.	.	.	.	.	.
588	.	.	.	.	.	.	.

Convolver모듈안에는 처음에 이미지와 필터를 불러와 5\*5내부 RAM에 저장하는 LOAD (처음 0 1 2 3 4 ... 396 데이터),  
가로로 3줄을 건너뛰며 겹치는 2줄을 시프트 시켜 15번의 사이클에 이미지를 불러오는 SHIFT\_COL (파란색으로 표기),  
가로 연산이 끝나면 세로로 3줄을 건너뛰고 마찬가지로 15번의 사이클에 이미지를 불러오는SHIFT\_ROW (빨간색으로 표기),  
연산을 위한 MAC STATE 와 결과를 내보내기 위한 FEATURE STATE,  
세로 1번 시프트 시킨 후에는 SHIFT COL과 ROW를 지나면서 겹친 16픽셀을 제외한 9픽셀을 불러오는 SHIFT\_9 (초록색으로 표기)  
마지막 결과가 나오면 STATE를 마치고 빠져나오는 EOC STATE로 설계.

총 105,815Cycle을 걸쳐 Convolution결과를 완료함.

## 2. OpenRoad 결과 \_ Parameter

```
=====
finish report_power
-----
Group                Internal Power    Switching Power    Leakage Power    Total Power (Watts)
-----
Sequential           5.58e-03    1.64e-06    8.17e-06    5.59e-03    64.4%
Combinational        9.16e-05    1.80e-04    1.21e-05    2.83e-04    3.3%
Clock                1.22e-03    1.58e-03    2.75e-07    2.80e-03    32.3%
Macro                0.00e+00    0.00e+00    0.00e+00    0.00e+00    0.0%
Pad                  0.00e+00    0.00e+00    0.00e+00    0.00e+00    0.0%
-----
Total                6.89e-03    1.76e-03    2.05e-05    8.67e-03    100.0%
~
=====
finish report_wns
-----
wns -0.17
~
=====
finish report_design_area
-----
Design area 1065 u^2 91% utilization.
[WARNING GUI-0076] QStandardPaths: XDG_RUNTIME_DIR not set, defaulting to '/tmp/runtime-24EE43424'
Elapsed time: 0:02.06[h:]min:sec. CPU time: user 1.91 sys 0.29 (107%). Peak memory: 173692KB.
~
```

Total\_Power = 8.63e-03

Design\_Area = 1065

Utilization = 0.91

Clk\_period = 0.075

WNS = -0.17

위와 같이 최종 결과가 나온 것을 알 수 있다.

조건은 다음 페이지에 config에 나와있다.

## 2. OpenRoad 결과 \_sdc, config

```
set clk_name core_clock
set clk_port_name clk
set clk_period 0.075
set clk_io_pct 0.02

set clk_port [get_ports $clk_port_name]

create_clock -name $clk_name -period $clk_period $clk_port

set non_clock_inputs [lsearch -inline -all -not -exact [all_inputs] $clk_port]

set_input_delay [expr $clk_period * $clk_io_pct] -clock $clk_name $non_clock_inputs
set_output_delay [expr $clk_period * $clk_io_pct] -clock $clk_name [all_outputs]
~
```

Constraint.sdc

Clk\_Period를 조절해가며  
WNS가 최소화가 되게 조절했다.

Config.mk

각 조건들을 바꿔가며 최적화를 시켰다.

Score를 계산해 본 결과 : -3.59

```
export DESIGN_NICKNAME = 2024_term_project
export DESIGN_NAME = Convolver
export PLATFORM = nangate45

export VERILOG_FILES = $(sort $(wildcard ../../2024_term_project/${DESIGN_NICKNAME}/*.v))
export SDC_FILE = ./designs/nangate45/2024_term_project/constraint.sdc
#export SDC_FILE = ../../2024_term_project/Constaint/constraint.sdc

export CORE_UTILIZATION = 80
export CORE_ASPECT_RATIO = 1
export CORE_MARGIN = 2
export PLACE_DENSITY = 0.85
```