

# UART FIFO Diagram

Semicon\_Academi 2기  
7조 / 한치윤

⚙️ 효율적인 비동기 직렬 통신을 위한 버퍼 구현



# 목차

## 1. 개요

1-1. UART

1-2. 설계 목적

## 2. UART

2-1. 구조 및 동작 원리

2-2. Tx

2-3. Rx

## 3. FIFO

3-1. 구조 및 동작 원리

개 요

# UART



## 주요 특징

- ✓ 비동기 통신 → Clk 신호 X
- ✓ 직렬 통신 → 1btt 씩 전송
- ✓ 하드웨어 기반 / 간단한 프로토콜



## 활용

- ✓ MCU 간의 통신
- ✓ 센서와 같은 외부 장치와의 통신
- ✓ PC와 외부 장치 간의 통신

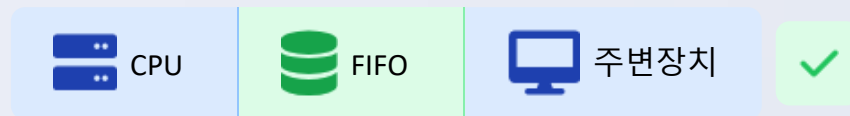
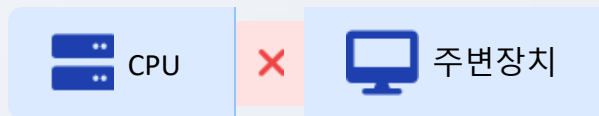
# UART\_FIFO 설계 목적

## ⚠ 문제점

- 🔧 장치 간 처리속도 차이
- 🚫 데이터 처리 지연으로 오버런 발생
- ❌ 수신 데이터 유실 위험 증가

## ✅ FIFO 버퍼로 해결

- 🗄 임시 데이터 저장공간 제공
- ↔ 송수신 간 데이터 흐름 조절
- 📂 다중 데이터 일괄 처리 가능

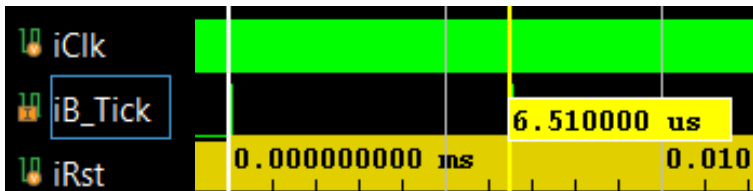


UART

# UART

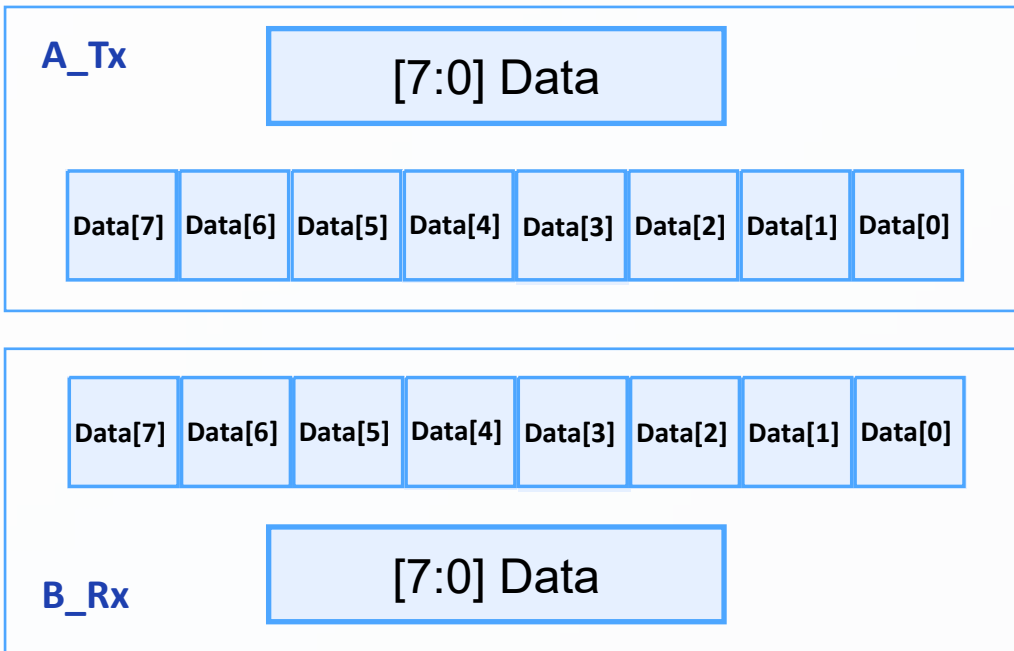
## UART 구성요소

- ⌚ Timing을 위한 동기화 신호 발생기  
6.51us 마다 Tick을 내보내는 Tick\_Gen  
(  $6.51\mu s = 1/(9600 \times 16)s$  )



- ✎ 데이터를 수신하는 Receiver (Rx)
- 👤 데이터를 송신하는 Transmitter (Tx)

## UART 동작 원리



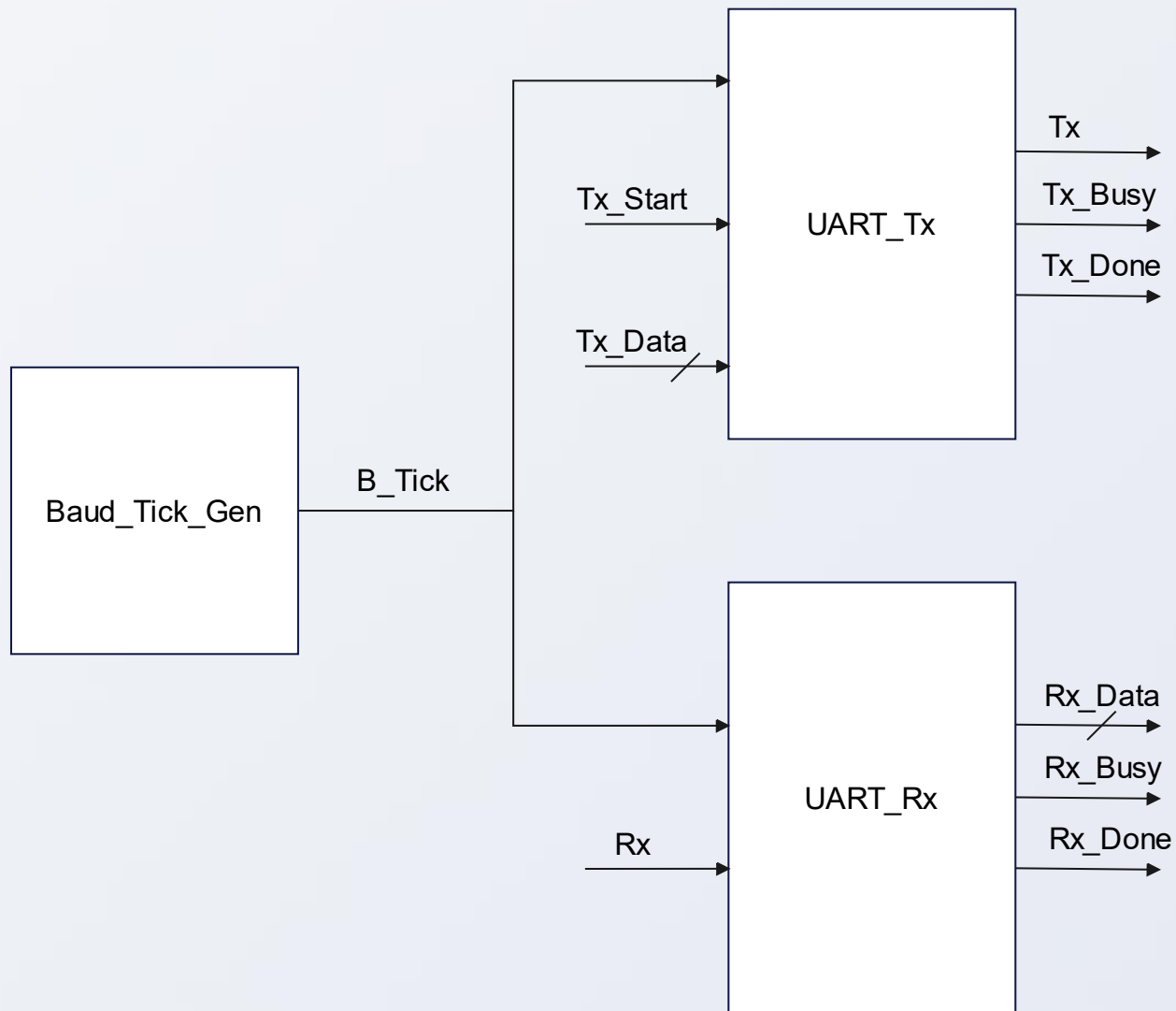
↻ 데이터를 직렬 데이터로 변환

👤 데이터를 전송

✎ 데이터를 수신

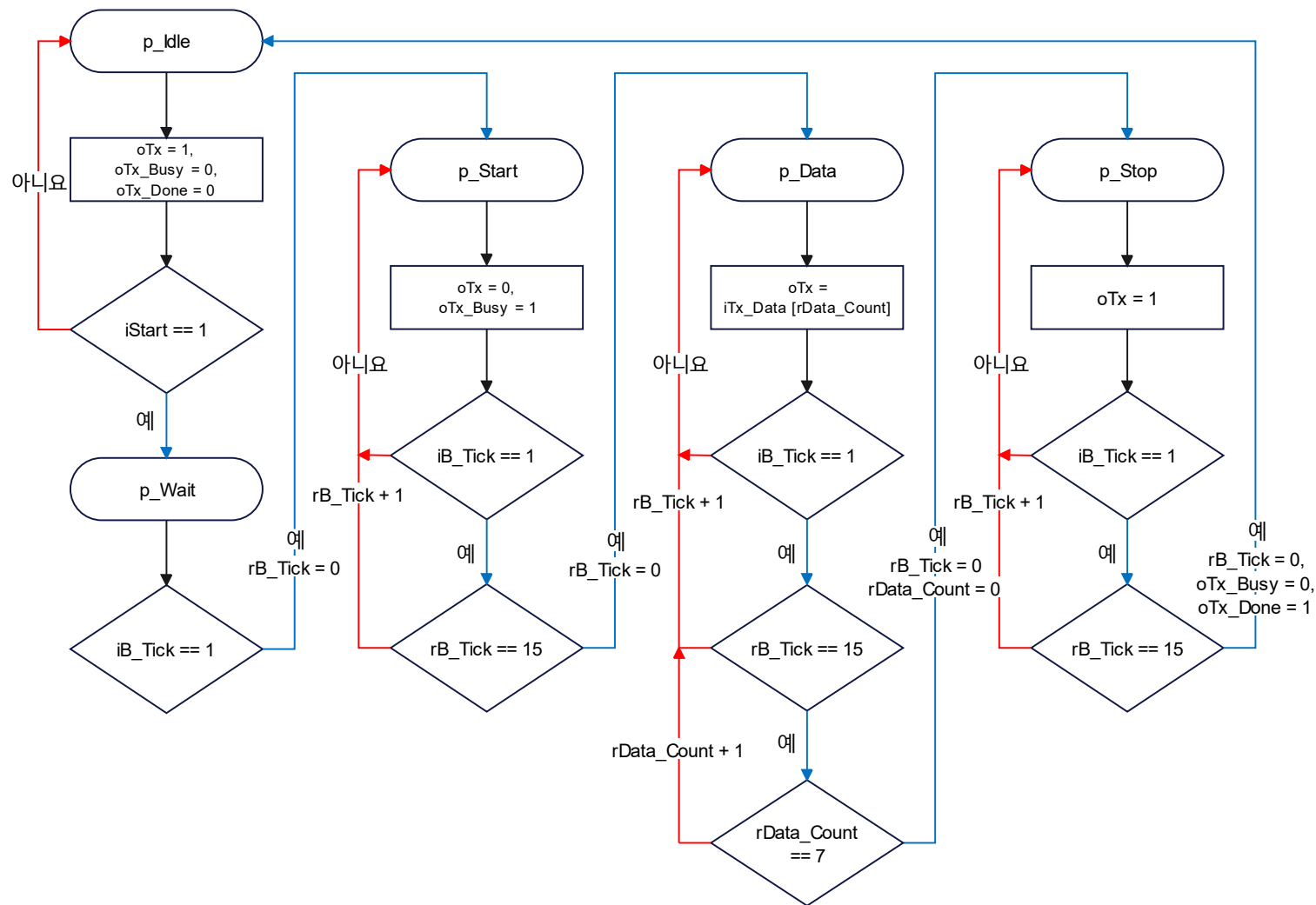
↻ 데이터를 병렬 데이터로 변환

# UART 구조

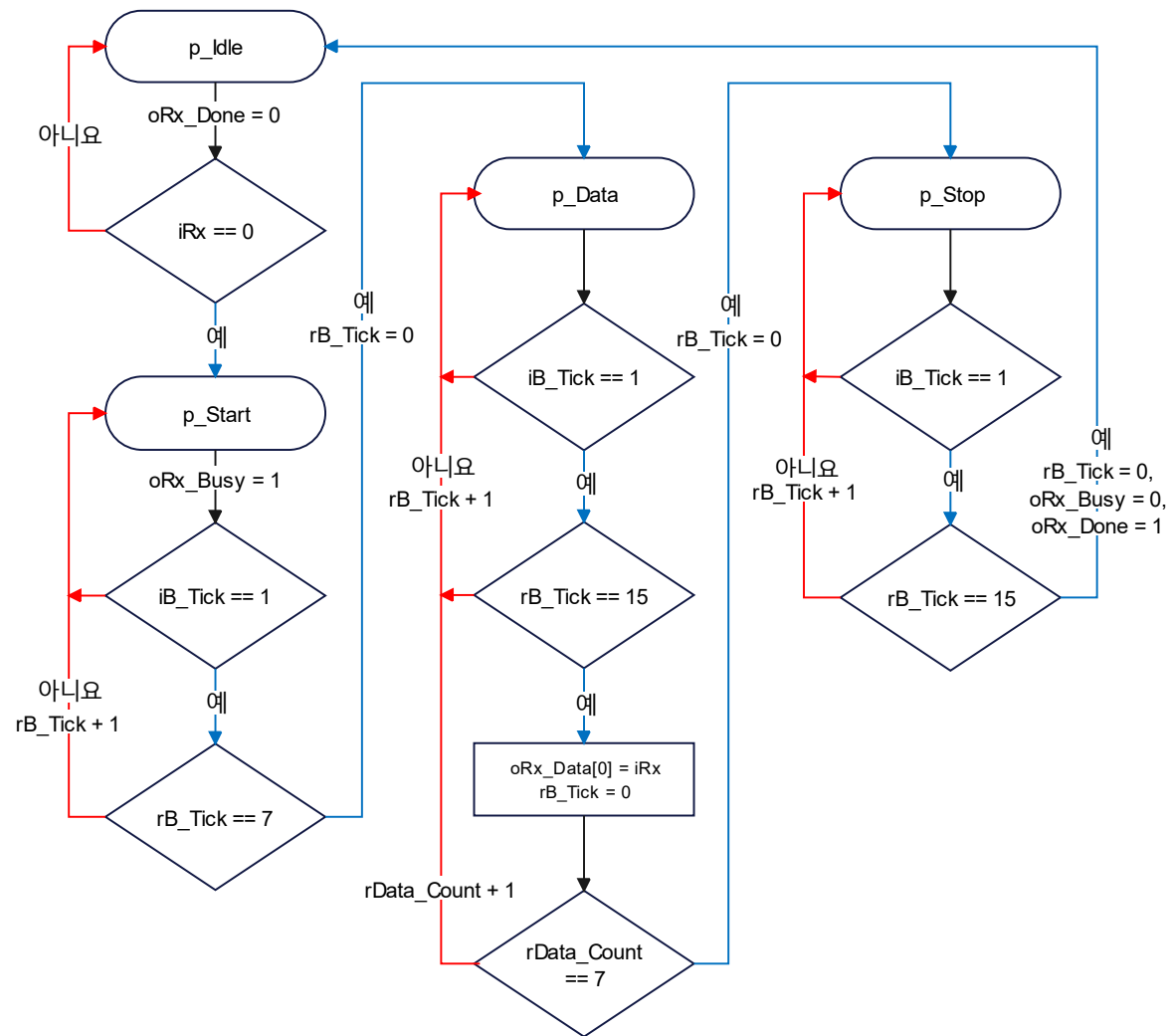




# UART\_Tx ASM



# UART\_Rx ASM



FIFO

# FIFO

## FIFO 구성 요소



메모리 배열 (memory Array)  
데이터를 저장하는 공간



쓰기 포인터 (Wr\_Ptr)  
다음 데이터 쓰기 위치 지정



읽기 포인터 (Rd\_Ptr)  
다음 데이터 읽기 위치 지정



원형 큐 구조  
제한된 메모리 사용

## FIFO 동작 원리



Rd\_Ptr

다음 읽기 위치 : 0



Wr\_Ptr

다음 쓰기 위치 : 3



동일 클럭 도메인에서 동작  
포인터가 독립적으로 이동하며 데이터 관리



쓰기 동작 :  $W++$  후 이동



읽기 동작 :  $R++$  후 이동

$W = R + 1$  : Empty

$W + 1 = R$  : Full

# FIFO

## 제어 신호 동작

### Full

쓰기 포인터가 읽기 포인터 추월시  
오버플로우 방지 역할

### Empty

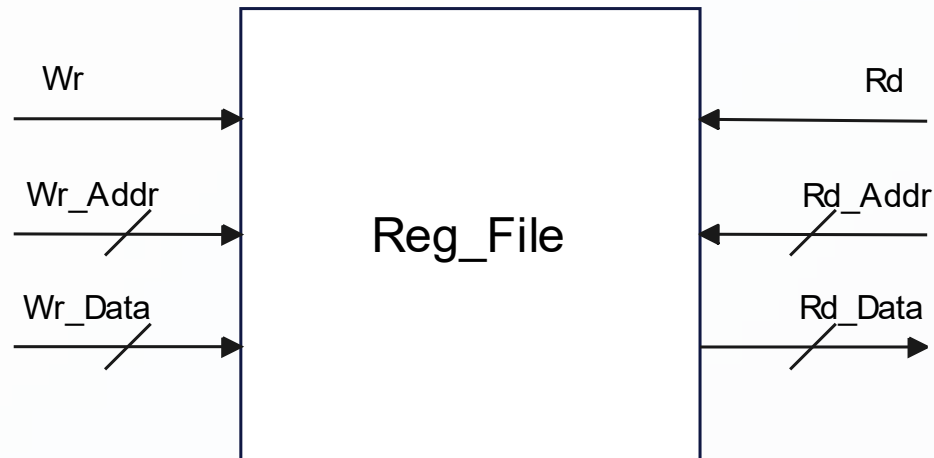
읽기 / 쓰기 포인터 위치 동일시  
언더플로우 방지 역할

### 메모리 읽기 / 쓰기 활성화 신호

Wr == 1 : 데이터 쓰기

Rd == 1 : 데이터 읽기

## 메모리 구조



## 듀얼 포트 메모리



Full/Empty 신호는 안정적인 FIFO 동작을 위한 요소

# FIFO 구조

