



NOME		NÚMERO	
------	--	--------	--

1. (1+1+1 valores) Considere o seguinte programa, que deve completar. Preencha apenas o que entender necessário.

PLACE	2000H	
saldo:	WORD	200
pilha:	TABLE	100H
fim_pilha:		
tab:	WORD	0
	WORD	rot1
	WORD	rot2
PLACE	0	
	MOV SP,	fim_pilha
	MOV BTE,	tab
	EI1	
	EI2	
	EI	
fim:	JMP	fim
rot1:	...	; código omitido
rot2:	PUSH	R1
	PUSH	R2
	MOV	R1, saldo
	MOV	R2, [R1]
	ADD	R2, R2
	MOV	[R1], R2
	POP	R2
	POP	R1
	RFE	

- a) Complete a zona de dados, com o necessário para a pilha e a interrupção 1 e 2 funcionarem corretamente. Para simplificar, o código da rotina de interrupção 1 foi omitido;
- b) Complete o programa principal, com o necessário para a pilha e a interrupção 2 funcionarem corretamente. O corpo do programa principal deve terminar em ciclo infinito (salto para a própria instrução);
- c) Complete a rotina de interrupção 2 ("int2"), que deve duplicar o valor da variável "saldo" (na memória).

2. (1 valor) Considere um sistema com transferência de dados por DMA em regime de bloco (transferência de uma só vez) e uma interrupção periódica. Cada bloco de dados transferido tem 1000 palavras e cada palavra transferida por DMA demora 0,5 microssegundos. Qual a frequência máxima do sinal de interrupção? Justifique.

Cada bloco demora $1000 * 0,5 \text{ microssegundos} = 0,5 \text{ milissegundos}$. Como a operação de DMA não pode ser interrompida, a frequência máxima de interrupções é de $1/0,5 \text{ ms}$, ou 2000 interrupções por segundo.

3. (2 valores) Tem de decidir entre dois processadores qual o melhor para correr a sua aplicação. O processador A tem um relógio de 3 GHz, a duração média de cada instrução é de 1,8 ciclos de relógio por instrução, e o compilador gera 200 Mega instruções. Por sua vez, o processador B tem um relógio de 2 GHz, a duração média de cada instrução é de 2,2 ciclos de relógio por instrução, e o compilador gera 100 Mega instruções. Indique qual o melhor processador. Justifique.

O tempo de execução de um programa é dado por:

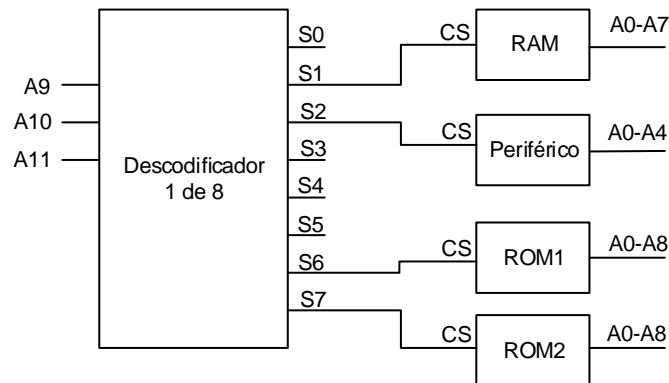
$T = (N * D) / F$ em que

T=tempo de duração, N=Número de instruções,
D=duração média ciclo de relógio,
F= frequência de relógio

$P_A = (200 * 1,8) / 3 \text{ GHz} = 120 \text{ ms}$ $P_B = (100 \text{ M} * 2,2) / 2 \text{ GHz} = 110 \text{ ms}$

Logo o melhor processador é o P_B , que tem o menor tempo de execução.

4. (3 valores) Considere o seguinte sistema de decodificação de endereços utilizado por um processador de bus de dados de 8 bits e bus de endereços de 16 bits. Preencha a tabela com o tamanho de cada dispositivo (decimal) e os endereços de início e de fim (em hexadecimal) em que esse dispositivo está ativo (não considerando endereços de acesso repetido - espelhos).



Dispositivo	Tamanho (bytes)	Início	Fim
RAM	256	0200H	02FFH
Periférico	32	0400H	041FH
ROM1	512	0C00H	0DFFH
ROM2	512	0E00H	0FFFH

5. (3 valores) Considere a seguinte tabela de verdade, relativa a uma função de quatro entradas e uma saída. Simplifique a respetiva função, preenchendo a tabela de Karnaugh e escrevendo a expressão algébrica simplificada.

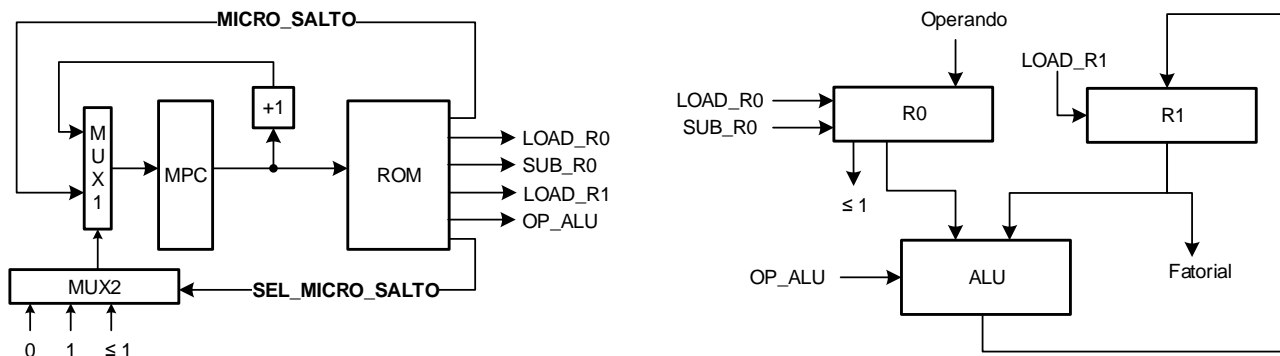
A	B	C	D	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

		CD			
		00	01	11	10
AB	00	1	1		
	01	1	1	1	
	11		1	1	
	10			1	

Z =

$$\bar{A}\bar{C} + BD + ACD$$

6. (2+1 valores) O circuito seguinte implementa a operação de fatorial do Operando, usando microprogramação. SUB_R0 decrementa R0 de uma unidade. O sinal ≤ 1 fica ativo (a 1) sempre que $R0 \leq 1$. A ALU suporta 4 operações (especificadas por OP_ALU): na sua saída pode aparecer $R0+R1$, $R0*R1$, 0 ou 1.



- a) Preencha a tabela seguinte com os sinais necessários para implementar o divisor. Indique apenas os sinais relevantes em cada ciclo de relógio e deixe em branco as restantes células.

Endereço	Microinstrução (RTL)	LOAD_R0	LOAD_R1	SUB_R0	OP_ALU	SEL_MICRO_SALTO	MICRO_SALTO
0	$R0 \leftarrow \text{Operando}; R1 \leftarrow 1$	SIM	SIM		1		
1	$(\leq 1): MPC \leftarrow 5$					≤ 1	5
2	$R1 \leftarrow R1 * R0$		SIM		$R0 * R1$		
3	$R0 \leftarrow R0 - 1$			SIM			
4	$MPC \leftarrow 1$					1	1
5	$MPC \leftarrow 5$					1	5

- b) Quantos bits de largura deve ter a ROM, no mínimo?

9

7. (1+1 valores) Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento direto, com uma capacidade de 2048 palavras e blocos de 8 palavras.

- a) Indique o número de bits de cada um dos campos em que o endereço se divide para acesso à *cache*.

Etiqueta	4
Índice	8
Palavra dentro do bloco	3
Byte dentro da palavra	1

- b) Na execução de instruções do tipo MOV R1, [R2], o núcleo do PEPE verificou que, em média, o valor pretendido estava na cache 90% das vezes, caso em que este demorava 3 ns a obter. Medindo-se um tempo médio de acesso de 5,7 ns, qual será o tempo de acesso a um valor quando este não está na cache?

30

ns

8. (2+1 valores) Considere um processador com 24 bits de endereço, endereçamento de byte e suporte para memória virtual com páginas de 4K bytes. A memória física tem uma capacidade de 1 Mbyte.

a) Preencha a tabela seguinte:

Dimensão do espaço virtual	16 M
Dimensão da página física	4 K
Número de páginas virtuais	4 K
Número de páginas físicas	256

- b) Suponha que a TLB é uma *cache* totalmente associativa de 4 entradas, inicialmente vazia. Preencha o seu conteúdo após os acessos aos endereços virtuais seguintes e assumindo que a TLB será preenchida de cima para baixo, à medida que for sendo necessário.

Acessos realizados	
Endereço virtual	Endereço físico
23BA52H	34A52H
17BA4EH	5CA4EH
23BA0CH	34A0CH
158054H	AE054H
47F054H	04054H
17B1FEH	5C1FEH

TLB	
Página virtual	Página física
23B	34
17B	5C
158	AE
47F	04