

NOME		NÚMERO	
------	--	--------	--

1. (1,5 + 1,5 valores) Considere o seguinte programa, que usa rotinas de interrupção para alterar o valor de um display hexadecimal.

PLACE 1000H
 contador: WORD 6
 pilha: TABLE 100H
 fim_pilha:

tab: WORD 0
 WORD rot1
 WORD 0
 WORD rot3

PLACE 0

MOV SP, fim_pilha
MOV BTE, tab

MOV R2, contador

EI1
EI3
EI

fim: JMP fim

rot1: **PUSH R1**
 MOV R1, [R2]
 SUB R1, 2 ; decrementa
 MOV [R2], R1 ; atualiza contador
POP R1
RFE

rot3: **PUSH R1**
 MOV R1, [R2]
 ADD R1, 1 ; incrementa
 MOV [R2], R1 ; atualiza contador
POP R1
RFE

- a) Complete a zona de dados, o programa principal e as rotinas de interrupção (do lado direito) com o necessário para as interrupções 1 e 3 funcionarem corretamente;
- b) Suponha que os pinos das interrupções 1 e 3 (sensíveis ao flanco ascendente) estão ligadas ao mesmo relógio, cuja frequência é de 1 Hertz. Assumindo que o primeiro pedido de interrupção é feito no instante 0 (quando o programa arranca), indique de seguida a sequência dos 8 primeiros valores que as rotinas de interrupção escrevem no contador, bem como o número da interrupção em que cada valor é escrito e o tempo em segundos (desde que o programa arranca) em que aproximadamente essa escrita ocorre.

Tempo	0	0	1	1	2	2	3	3
Interrupção	1	3	1	3	1	3	1	3
Valor	4	5	3	4	2	3	1	2

2. (1,5 + 1,5 valores) Uma transmissão de dados é feita por um barramento série assíncrono, com bit de paridade, 2 stop bits e um ritmo de transmissão de 10.000 bits/seg.

- a) Indique qual o tempo mínimo necessário para enviar 10.000 bytes de dados. Justifique;

Para transmitir um byte, para além dos 8 bits de dados é preciso enviar um start bit, um bit de paridade e dois stop bits, ou seja, 12 bits no total.
Para transmitir 10.000 bytes é assim preciso transmitir 120.000 bits. Com uma taxa de transmissão de 10.000 bits/seg, a transmissão demora 12 segundos.

- b) Suponha agora que um programa demora T_1 segundos a executar, gastando 60% deste tempo em processamento e no fim transmite os 10.000 bytes da alínea anterior, usando para tal o tempo mínimo possível, o que corresponde a 40% do tempo de execução do programa. Se o ritmo de transmissão de dados duplicar (dos 10.000 bits/seg para 20.000 bits/seg), mantendo-se todas as restantes condições, o tempo total de execução do programa passou a ser T_2 . Qual a melhoria $M=T_1/T_2$ verificada no desempenho? Justifique.

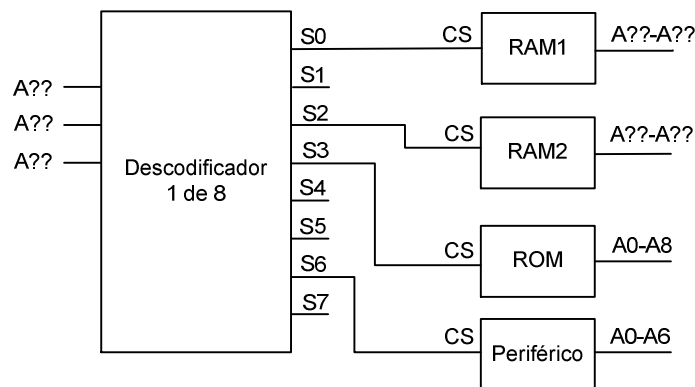
$$T_1 = 0,6 T_1 + 0,4 T_1$$

$$T_2 = 0,6 T_1 + 0,2 T_1 \text{ (tempo de comunicação passou para metade)}$$

$$T_2 = 0,8 T_1$$

$$M = T_1/T_2 = 1,25$$

3. (3 valores) Considere o seguinte sistema de descodificação de endereços utilizado por um processador de bus de dados de 8 bits e bus de endereços de 16 bits. Pretende-se que cada saída do descodificador fique ativa em 1 K endereços consecutivos (dimensão da fatia de endereços de cada saída). Preencha a tabela com os bits de endereço a que o descodificador e cada dispositivo devem ligar, a capacidade (decimal) e os endereços de início e de fim (em hexadecimal) em que cada dispositivo está ativo (não considerando endereços de acesso repetido - espelhos).



Dispositivo	Bits de endereço	Capacidade (bytes) (decimal)	Início (hexadecimal)	Fim (hexadecimal)
Descodificador	A10-A12			
RAM1	A0-A8	512	0000H	01FFH
RAM2	A0-A9	1 K	0800H	0BFFH
ROM	A0-A8	512	0C00H	0DFFH
Periférico	A0-A6	128	1800H	187FH

4. (2 valores) Considere a seguinte tabela de verdade, relativa a uma função de quatro entradas e uma saída. Simplifique a respetiva função, preenchendo a tabela de Karnaugh e escrevendo a expressão algébrica simplificada.

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

		CD			
		00	01	11	10
AB	00	1	1		
	01	1	1	1	1
	11		1	1	
	10	1			

Z =

$$\bar{A}\bar{C} + \bar{A}B + BD + \bar{B}\bar{C}\bar{D}$$

5. (1 + 2 valores) Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento direto, com uma capacidade de 1024 palavras e blocos de 8 palavras.

- a) Quantos bits são precisos para indicar qual o bloco em que cada palavra se situa (campo índice)?

7

- b) Suponha que o tempo de acesso em caso de *hit* e de *miss* é de 5 ns e 40 ns, respetivamente. Se o tempo médio de acesso for de 8,5 ns, qual é a *hit rate* média? Justifique.

O tempo médio de acesso é dado por:

$$8,5 \text{ ns} = \text{HR} * 5 \text{ ns} + (1 - \text{HR}) * 40 \text{ ns} \quad (\text{HR} - \text{Hit rate})$$

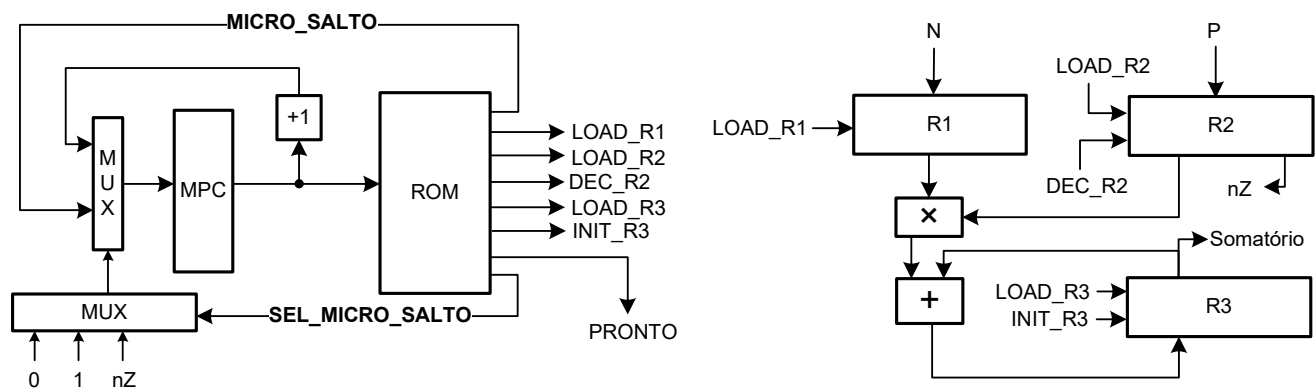
Resolvendo,

$$\text{HR} = 0,9 \text{ ou } 90\%$$

6. (2 + 1 valores) Pretende-se construir um circuito microprogramado que implemente o somatório

$$\sum_{i=0}^{P-1} N * (P - i)$$

em que $N, P > 1$. O diagrama seguinte descreve o circuito. Os registos R1 e R2 recebem N e P, respetivamente. O registo R3 vai acumulando o resultado das somas sucessivas. O sinal DEC_R2 decrementa R2 de uma unidade. O sinal INIT_R3 inicializa R3 a zero. O sinal nZ está ativo (vale 1) quando R2 é diferente de zero e o sinal PRONTO é ativado quando o resultado está pronto.



a) Preencha a tabela seguinte com os valores necessários para implementar a funcionalidade descrita. Indique apenas os sinais relevantes em cada ciclo de relógio e deixe em branco as restantes células.

Endereço na ROM	Microinstruções	PRONTO	LOAD_R1	LOAD_R2	DEC_R2	INIT_R3	LOAD_R3	SEL_MICRO_SALTO	MICRO_SALTO
0	R1 ← N R2 ← P R3 ← 0		SIM	SIM		SIM			
1	R3 ← R3 + R1 * R2						SIM		
2	R2 ← R2 - 1				SIM				
3	(R2 != 0): MPC ← 1							nZ	1
4	PRONTO ← 1 MPC ← 4	SIM						1	4

b) Quantos bits de largura deve ter no mínimo a ROM de microprograma?

11

7. (1,5 + 1,5 valores) Pretende executar um programa que necessita de 12 Mbytes de memória. O computador de que dispõe tem apenas 512 KBytes de memória física, mas o seu processador suporta memória virtual com páginas virtuais de 4 Kbytes (com endereçamento de byte).

a) Preencha a tabela seguinte com os valores que decorrem desta informação.

N.º mínimo de bits do espaço virtual	24
N.º de páginas físicas existentes	128

- b) Suponha que a TLB é totalmente associativa de 8 entradas e a memória física disponível para o programa está localizada a partir do endereço 30000H. Após reset, o processador acede aos seguintes endereços virtuais:

203B8H
4B35AH
3A1A0H
1E5BEH
4BFFEH
208FCH

Indique, na tabela a seguir, um possível estado do conteúdo da TLB imediatamente após estes acessos. Arbitre o que for necessário (não há solução única) e preencha apenas o que for relevante.

Posição da TLB	Bit validade	N.º página virtual (hexadecimal)	N.º página física (hexadecimal)
0	1	20	30
1	1	4B	31
2	1	3A	32
3	1	1E	33
4	0		
5	0		
6	0		
7	0		