



NOME		NÚMERO	
------	--	--------	--

1. (1+1+1 valores) Considere o seguinte programa, que deve completar. Preencha apenas o que entender necessário.

PLACE	2000H	
registo:	WORD	0FFFFH
pilha:	TABLE	100H
fim_pilha:		
tab:	WORD	0
	WORD	0
	WORD	int2
PLACE	0	
	MOV SP,	fim_pilha
	MOV BTE,	tab
	EI2	
	EI	
fim:	JMP	fim
int2:	PUSH	R1
	PUSH	R2
	MOV	R1, registo
	MOV	R2, [R1]
	SHR	R2, 1
	MOV	[R1], R2
	POP	R2
	POP	R1
	RFE	

- a) Complete a zona de dados, com o necessário para a pilha e a interrupção 2 funcionarem corretamente;
- b) Complete o programa principal, com o necessário para a pilha e a interrupção 2 funcionarem corretamente. O corpo do programa principal deve terminar em ciclo infinito (salto para a própria instrução);
- c) Complete a rotina de interrupção 2 (“int2”), que deve deslocar a variável “registo” de 1 bit para a direita.

2. (1 valor) Numa transmissão de dados por um barramento série assíncrono, com bit de paridade e 2 stop bits, a um ritmo de transmissão de 1000 bits/seg, indique o tempo mínimo para transmitir 30.000 bytes de dados.

Para transmitir um byte, para além dos 8 bits de dados é preciso enviar um start bit, um bit de paridade e dois stop bits, ou seja, 12 bits no total.  
Logo, para enviar 30.000 bytes é preciso enviar 360.000 bits. A 1000 bits por segundo, o tempo mínimo é 360 segundos, ou 6 minutos.

3. (2 valores) Tem de decidir entre dois processadores qual o melhor para correr a sua aplicação. O processador A tem um relógio de 2 GHz, a duração média de cada instrução é de 2 ciclos de relógio por instrução, e o compilador gera 200 Mega instruções. Por sua vez o processador B tem um relógio de 3 GHz, a duração média de cada instrução é de 3 ciclos de relógio por instrução, e o compilador gera 220 Mega instruções. Indique qual o melhor processador. Justifique.

O tempo de execução de um programa é dado por:

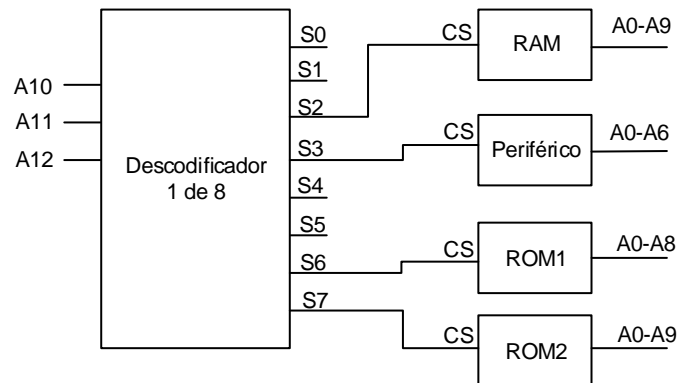
$T = (N \cdot D) / F$  em que

T=tempo de duração, N=Número de instruções,  
D=duração média ciclo de relógio,  
F= frequência de relógio

$P_A = (200M \cdot 2) / 2GHz = 200 \text{ ms}$     $P_B = (220 \cdot 3) / 3GHz = 220 \text{ ms}$

Logo o melhor processador é o  $P_A$ , que tem o menor tempo de execução.

4. (3 valores) Considere o seguinte sistema de decodificação de endereços utilizado por um processador de bus de dados de 8 bits e bus de endereços de 16 bits. Preencha a tabela com o tamanho de cada dispositivo (decimal) e os endereços de início e de fim (em hexadecimal) em que esse dispositivo está ativo (não considerando endereços de acesso repetido - espelhos).



Dispositivo	Tamanho (bytes)	Início	Fim
RAM	<b>1K</b>	<b>0800H</b>	<b>0BFFH</b>
Periférico	<b>128</b>	<b>0C00H</b>	<b>0C7FH</b>
ROM1	<b>512</b>	<b>1800H</b>	<b>19FFH</b>
ROM2	<b>1 K</b>	<b>1C00H</b>	<b>1FFFH</b>

5. (3 valores) Considere a seguinte tabela de verdade, relativa a uma função de quatro entradas e uma saída. Simplifique a respectiva função, preenchendo a tabela de Karnaugh e escrevendo a expressão algébrica simplificada.

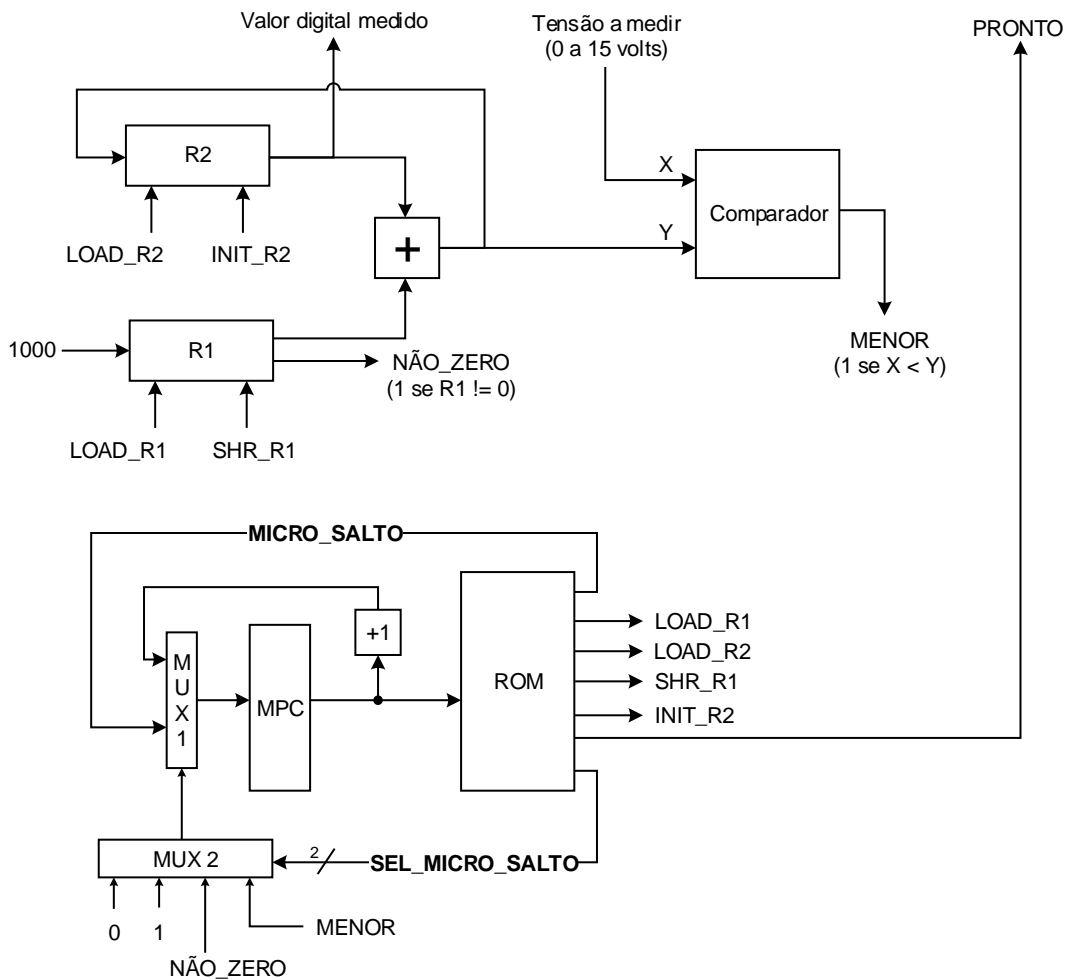
A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

		CD			
		00	01	11	10
AB	00				
	01		1	1	1
	11	1	1	1	
	10	1	1		

Z =

$$\bar{A}\bar{C} + BD + \bar{A}BC$$

6. (2+1 valores) Considere o circuito seguinte, que implementa um voltímetro digital (medidor de tensão de 0 a 15 volts, em que o resultado é apresentado como um número binário de 4 bits). O voltímetro funciona por aproximações sucessivas, comparando a tensão de entrada com um resultado parcial cada vez mais perto do valor final. Começa por comparar com metade da escala (1000), depois com 1100 ou 0100 (consoante o resultado da comparação) e assim sucessivamente para afinar o resultado.



a) Preencha a tabela seguinte com os sinais necessários para implementar o divisor. Indique apenas os sinais relevantes em cada ciclo de relógio e deixe em branco as restantes células.

Endereço	Microinstrução (RTL)	LOAD_R1	LOAD_R2	SHR_R1	INIT_R2	PRONTO	SEL_MICRO_SALTO	MICRO_SALTO
0	R1 ← 1000b; R2 ← 0;	<b>SIM</b>			<b>SIM</b>			
1	(X < Y) : MPC ← 3						<b>MENOR</b>	<b>3</b>
2	R2 ← R2 + R1;		<b>SIM</b>					
3	R1 ← R1 >> 1			<b>SIM</b>				
4	(R1 != 0) : MPC ← 1						<b>NÃO_ZERO</b>	<b>1</b>
5	PRONTO ← 1; MPC ← 5					<b>SIM</b>	<b>1</b>	<b>5</b>

b) Quantos bits de largura deve ter no mínimo o sinal MICRO\_SALTO?

3

7. (1+1 valores) Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento direto, com uma capacidade de 512 palavras (blocos de 4 palavras).

a) Indique o número de bits de cada um dos campos em que o endereço se divide para acesso à *cache*.

Etiqueta	<b>6</b>
Índice	<b>7</b>
Palavra dentro do bloco	<b>2</b>
Byte dentro da palavra	<b>1</b>

- b) Na execução de instruções do tipo MOV R1, [R2], o núcleo do PEPE verificou que nuns casos o valor de R1 demorava 3 ns a obter, noutros 20 ns, e que em média demorava 6,4 ns. Qual a taxa de insucesso (miss rate) da *cache* com este programa?

**20** %

8. (3 valores) Considere um processador com 32 bits de endereço, endereçamento de byte e suporte para memória virtual com páginas de 4K bytes. Assuma que a memória física tem uma capacidade de 4 Mbytes e que a TLB é uma *cache* totalmente associativa de 4 entradas, cujo conteúdo é numa dada altura o indicado na tabela da esquerda. Acabe de preencher as outras duas tabelas para este exemplo concreto.

Válida	Página alterada	Nº de página virtual	Nº de página física
1	1	23BAH	68H
0	0	7BAH	3BH
1	1	158FCH	3AH
1	0	2B5DH	28H

Dimensão do espaço virtual	<b>4 Gbytes</b>
Número de páginas virtuais	<b>1 M</b>
Número de páginas físicas	<b>1 K</b>

Endereço virtual	Endereço físico
<b>158FCB6CH</b>	3AB6CH
23BAE4AH	<b>68E4AH</b>
<b>2B5D813H</b>	28813 H
23BAA18H	<b>68A18H</b>