

Architecture d'accélérateur matériel de calcul pour le décodage de signaux neuronaux dans une interface cerveau-machine

Joe Saad *

Univ. Grenoble Alpes, CEA, List, F-38000 Grenoble, France
joe.saad@cea.fr

Résumé

Il est aujourd'hui possible de lire des intentions de mouvement sans que cela relève, pour autant, de science-fiction. En effet, les techniques d'acquisition des signaux cérébraux vont de l'électroencéphalographie (EEG), non invasive mais limitée en précision, à l'implant d'électrodes dans le cerveau pour une meilleure résolution spatio-temporelle mais au prix d'un risque élevé de complications physiologiques. L'électrocorticographie (ECoG) est une technique épidurale faisant un compromis entre bonne résolution et faible risque d'infection ce qui permet son utilisation dans des interfaces cerveau-machine. Une équipe de chercheurs et d'ingénieurs au CEA-LETI/Clnatec a déjà fait la preuve de concept d'une interface cerveau-moelle-épineuse qui a permis la restauration de la marche chez des patients paraplégiques grâce au décodage des signaux cérébraux correspondant à l'intention de marche. « Lire des pensées » correspond ainsi non seulement à l'acquisition des signaux du cerveau mais aussi à une étape ultérieure de traitement et de décodage afin de pouvoir les utiliser, par exemple, dans la commande de mouvement d'effecteurs de suppléance fonctionnelle chez des patients tétraplégiques. Ces traitements mathématiques (transformées en ondelettes, transformées de Fourier, multiplications tensorielles en grande dimension...) nécessitent des capacités de calculs élevées et par conséquent énergivores. Le prototype actuel conçu par le CEA-LETI/Clnatec utilise un ordinateur portable (consommation proche de 100W) porté dans un sac-à-dos par le patient, restreignant l'application à un contexte clinique au vue des limites de portabilité et de temps d'autonomie. À long terme, l'objectif est d'embarquer les calculs dans un implant cérébral qui devra répondre à un budget de puissance de moins de 100mW, soit une réduction d'un facteur 1000X par rapport à l'existant. Pour relever ce défi, il sera nécessaire d'explorer, dans le cadre de cette thèse, des solutions innovantes et au-delà de l'état de l'art actuel sur trois aspects principaux : l'optimisation des algorithmes de décodage et d'apprentissage, l'exploration de nouvelles architectures matérielles à faible consommation énergétique et la conception d'un circuit intégré spécifique à l'application (ASIC) adapté. Cette thèse s'inscrit dans la continuité des travaux existants, mais visera des solutions innovantes permettant le décodage de signaux neuronaux de façon rapide et efficace.

Mots-clés : Accélérateur matériel, Circuits intégrés, Système sur puce, Ondelettes.

*. Le texte a été relu par Adrian Evans et Ivan Miro Panades.