



Projeto de Sistemas Digitais

**4º ano - 1º semestre
Recurso - 5 de Fevereiro 2013**

Duração máxima: 2h30m, sem consulta.

[4 valores]

- 1 - Quando se realiza o projeto de sistemas digitais partindo de modelos RTL (por exemplo, em Verilog HDL), um dos passos fundamentais consiste na síntese lógica ou síntese RTL, que traduz modelos comportamentais descritos numa HDL em modelos estruturais ao nível lógico. Das HDL correntes usadas na especificação de sistemas digitais (Verilog e VHDL), apenas um subconjunto das suas construções é aceite por ferramentas de síntese, seguindo um conjunto de regras bem definidas para a codificação de forma a garantir a correta tradução automática de modelos abstratos para circuitos lógicos.
- a) Apresente duas regras de codificação em Verilog HDL que devem ser seguidas para: (i) a modelação de circuitos sequenciais síncronos com sinal de relógio e (ii) para a representação de circuitos combinatórios.
- b) Explique em que medida o não cumprimento das regras que referiu em a) pode comprometer o projeto. Para justificar a sua resposta, apresente exemplos ilustrativos relativos à modelação incorreta de circuitos síncronos e combinatórios.

(nota: se entender conveniente pode responder às duas alíneas numa mesma resposta)

[4 valores]

- 2 - Pretende-se desenvolver um sistema digital para eliminar eventuais transições indesejáveis resultantes das oscilações de tensão motivadas pela abertura e fecho de contactos elétricos, como acontece quando se liga ou desliga um interruptor para gerar um sinal digital. Esse sistema deverá ter uma entrada *I* onde é ligado um sinal proveniente de um botão de pressão (sendo por isso assíncrona em relação ao sinal de relógio) e uma saída *O* que produz uma réplica do sinal de entrada depois de “filtrado” da seguinte forma: o sinal de entrada é amostrado a uma frequência de 100 Hz; se em 5 amostras consecutivas for igual a 1 (ou seja, em 50 ms), a saída é colocada com 1, sendo 0 no caso contrário; a saída *O* deverá ser síncrona com o sinal de relógio.
- a) Construa um módulo Verilog sintetizável que implemente a função descrita. Admita que o sinal de relógio tem frequência igual a 100 MHz e que este módulo recebe também um sinal de habilitação de relógio (*clock enable*) com a frequência de 100 Hz. Complemente o seu código com comentários adequados que ajudem a explicar a abordagem seguida.
- b) Se a entrada *I* não for convenientemente sincronizada com o sinal de relógio antes de ser utilizada no sistema que controla a saída *O*, o circuito poderá não realizar corretamente a função pretendida. Referindo-se à implementação que apresentou em a), explique se isso se aplica ou não ao sistema que desenvolveu.

[2 valores]

- 3 - Síntese de alto nível é um processo de síntese de sistemas digitais que permite automatizar a construção de sistemas digitais capazes de implementar uma função dada na forma de um programa ou de um algoritmo. Descreva sucintamente em que consiste este processo de síntese, referindo-se às diferenças em relação à síntese RTL que utilizou durante os projetos laboratoriais.

[6 valores]

- 4 - Considere o seguinte módulo Verilog que representa um circuito que implementa um filtro FIR de 7 coeficientes constantes. Os coeficientes representam números com sinal em complemento para dois, representando valores em vírgula fixa com 1 bit para a parte inteira e 15 bits para a parte fracionária. Os dados de entrada e de saída (*din* e *dout*) são inteiros de 16 bits com sinal em complemento para dois, recebidos e produzidos a cada ciclo do sinal de relógio.

```
1: module recurso_psd_1213(reset, clk, din, dout);
2:   input reset, clk;
3:   input  [15:0] din;
4:   output [15:0] dout;
5:   reg  [15:0] h[0:6];
6:   reg  [15:0] x[0:6];
7:   reg  [33:0] yr;
8:   integer i;
9:
10:  initial // Initialize the constant filter coefficients:
11:  begin
12:    h[0] = 16'hEF6D; h[1] = 16'h0F5C; h[2] = 16'h2F4A; h[3] = 16'h3FC3;
13:    h[6] = 16'hEF6D; h[5] = 16'h0F5C; h[4] = 16'h2F4A;
14:  end
15:
16:  always @(posedge clk)
17:    if (reset)
18:      for(i=0; i<7; i=i+1) x[i] <= 16'd0;
19:    else
20:      begin
21:        x[0]<=din;
22:        x[1]<=x[0]; x[2]<=x[1]; x[3]<=x[2]; x[4]<=x[3]; x[5]<=x[4]; x[6]<=x[5];
23:        yr <= h[0]*x[6] + h[1]*x[5] + h[2]*x[4] + h[3]*x[3] +
24:              h[4]*x[2] + h[5]*x[1] + h[6]*x[0];
25:      end
26:  assign dout = yr[33:18];
27: endmodule
```

- Desenhe um diagrama de blocos RTL (representado em termos de registos e blocos aritméticos) que represente o circuito lógico em que este modelo é traduzido por ferramentas de síntese RTL (não considere nesse diagrama a tradução da declaração “*initial*” já que esta apenas é usada para definir o valor inicial dos registos *h[i]*).
- Como se pode verificar na listagem apresentada, os coeficientes do filtro são simétricos (i.e. *h[0]=h[6]*, *h[1]=h[5]* e *h[2]=h[3]*). Modifique o código apresentado de forma a explorar esta propriedade para simplificar o circuito resultante. Apresente uma estimativa da percentagem de redução da complexidade lógica que será possível conseguir com esta transformação.
- Admita que é possível usar para sinal de relógio um sinal com uma frequência 20 vezes superior à frequência a que são apresentados os valores na entrada *din* (e produzidos os resultados na saída *dout*). Explique como poderia tirar partido disto para reduzir a complexidade do circuito. Se entender conveniente complemente a sua resposta com um diagrama de blocos ou código Verilog.

[4 valores]

- 5 - Considere o circuito representado pelo código listado na questão 4. Sabe-se que na tecnologia alvo em que se irá implementar o circuito, um multiplicador de 16x16 bits tem um tempo de propagação máximo de 5 ns e um somador de 32 bits (arquitetura *ripple-carry*) apresenta um atraso de propagação máximo de 6 ns.

- Com base nos valores dados, mostre que o circuito apresentado não poderá trabalhar com um sinal de relógio de 100 MHz, mas que poderá ser capaz de atingir uma frequência máxima de 10 MHz.
- Admita que se pretende utilizar aquela função para processar um sinal que é apresentado na entrada *din* com a mesma frequência do sinal de relógio e igual a 50 MHz. Mostre como transformar o sistema dado num circuito *pipelined* que possa ser capaz de atingir o desempenho desejado.

__-:-__ fim __-:-__