



EEC0055 - Projeto de Sistemas Digitais

4º ano - 1º semestre

Recurso - 1 de fevereiro de 2021

Duração: 1h30m, sem consulta.

[4.5 valores]

1 - Considere o processo de projeto de sistemas digitais para tecnologias microeletrónicas integradas que foi estudado em PSDi. Diga, justificando devidamente, se são verdadeiras ou falsas as afirmações seguintes [nota: responder apenas “Verdadeiro” ou “Falso” sem qualquer justificação vale zero!]

- a) O número de ciclos de relógio requerido por um circuito síncrono para realizar uma certa sequência de operações nunca é alterado no decorrer dos processos de otimização realizados na fase de síntese RTL.
- b) Uma primeira estimativa para a frequência máxima admissível para o sinal de relógio de um circuito síncrono é obtida realizando o processo de simulação pós-síntese.
- c) Apesar de após a síntese física as ferramentas de projeto terem calculado um valor de 10 MHz para a frequência máxima do sinal de relógio, o circuito pode ter características que permitam ao projetista garantir a sua operação correta com um sinal de relógio de frequência francamente mais elevada, por exemplo 100 MHz.

[1.5 valores]

2 - Imagine que no projeto de um sistema de processamento de dados tem de implementar um multiplicador combinacional para operandos de 64 bits, que terá de processar sequências longas (admita 10k) de dados que são aplicados nas suas entradas a cada ciclo do sinal de relógio. Os operandos provêm de registos e o resultado é também carregado diretamente para um registo. Esse multiplicador é construído com a síntese do seguinte código Verilog:

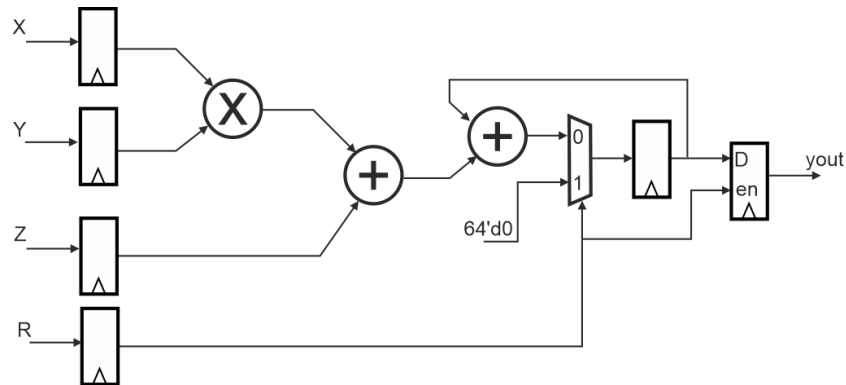
```
always @(posedge clock)
if ( reset )
    Y <= 64'd0;
else
    Y <= A * B;
```

Na aplicação em que esse módulo se insere sabe-se que um dos operandos (sempre o mesmo, por exemplo **A**) pode apresentar sequências longas com algumas centenas de valores iguais a zero ou iguais a ± 1 , enquanto o outro operando **B** assume valores que podem ser quaisquer.

Diga de que forma pode explorar esse conhecimento para conseguir reduzir o consumo de energia associado a esse bloco multiplicador, apresentando um diagrama de blocos que ilustre a sua solução.

[4 valores]

3 - No circuito digital da figura as entradas **X**, **Y** e **Z** e a saída **Yout**, bem como todas as ligações internas, são de 18 bits, sendo a entrada **R** apenas 1 bit. Os operadores aritméticos que realizam a multiplicação e a soma são implementados como circuitos combinacionais. Este circuito realiza o cálculo do somatório $\sum_k (X_k * Y_k + Z_k)$, onde os valores X_k , Y_k e Z_k , são aplicados nas entradas **X**, **Y** e **Z** a cada ciclo de relógio e o número N de elementos a somar é determinado por uma máquina de estados externa que controla a entrada **R**.

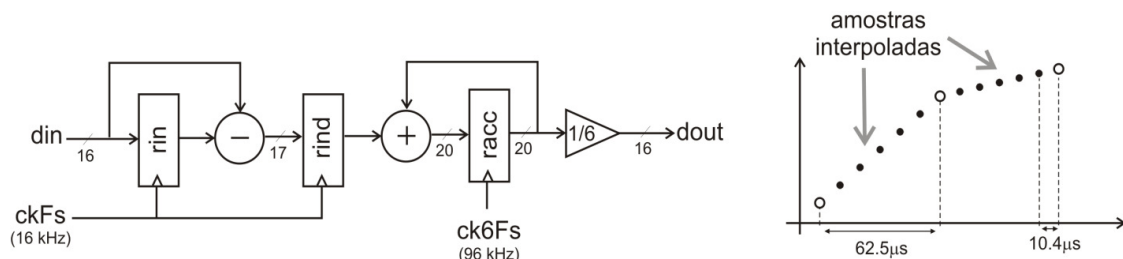


- Construa um modelo RTL como um módulo Verilog sintetizável que represente este circuito. A entrada **en** no registo da direita representa o seu sinal *clock enable*. Todos os registos devem ter um sinal global de *reset* síncrono que os carrega com o valor zero.
- Para calcular a expressão referida tem que existir pelo um ciclo de relógio de intervalo entre cada dois conjuntos de dados consecutivos, para carregar o registo de saída e iniciar o acumulador com zero. Modifique o circuito de forma a eliminar a necessidade desse ciclo de espera, admitindo que o controlador que define o valor de **R** é ajustado para ficar coerente com a solução que propõe. Apresente um diagrama de blocos e/ou código Verilog que permitam perceber a solução apresentada.

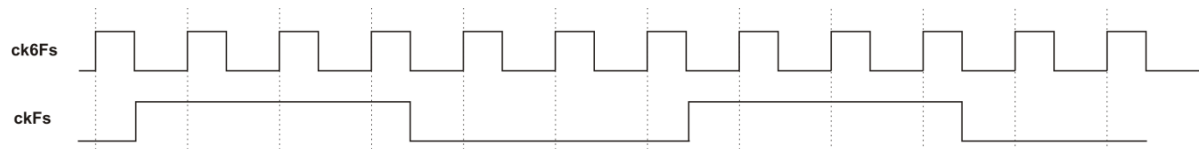
[6 valores]

4 - A figura representa o diagrama de blocos de um circuito digital interpolador, que aumenta em 6X a frequência de amostragem de um sinal de entrada realizando interpolação linear. Os sinais de entrada e saída são palavras de 16 bits, representando valores com sinal em complemento para dois.

O circuito é composto por um primeiro andar que opera com um sinal de relógio de frequência $F_1=16$ kHz e que calcula a diferença entre a amostra atual e a amostra anterior) e um segundo andar (integrador) que usa um outro sinal de relógio com a frequência $F_2 = 96$ kHz. O bloco final implementa um ganho de 1/6 que é necessário para que a saída **dout** tenha a mesma amplitude do que a entrada **din**.



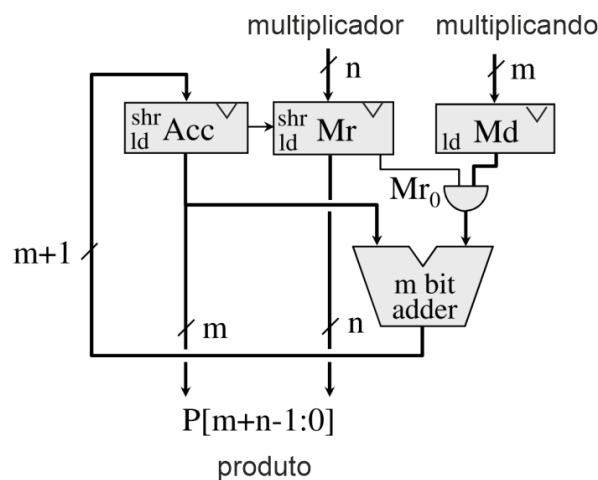
- O bloco final deve realizar o produto da saída do registo **racc** por 1/6 ou a divisão por 6. Diga, justificando, qual solução adotaria, tendo em conta que se pretende minimizar complexidade lógica do circuito resultante e atendendo também à frequência do sinal de relógio que alimenta o registo **racc**. Admita que no projeto em que este circuito é usado existe também um sinal de relógio de 2.4 MHz que é usado por outros módulos.
- Este circuito usa dois sinais de relógio, **ckFs** e **ck6Fs**, que são gerados a partir do mesmo sinal de relógio global de 2.4 MHz, de acordo com o diagrama temporal mostrado na figura a seguir. Apresente um modelo Verilog sintetizável que produza os sinais **ckFs** e **ck6Fs** a partir do relógio global de 2.4 MHz (**ck**).



- c) Este circuito usa dois sinais de relógio com frequências diferentes, o que, em geral, pode obrigar a implementar circuitos de interface para sincronizar a passagem de dados entre os dois domínios de relógio. Admitindo que os dois sinais de relógio cumprem o diagrama temporal mostrado na alínea anterior, diga se será necessário incluir algum mecanismo para garantir o sincronismo dos dados que transitam entre as duas secções do circuito que trabalham com relógios diferentes.

[4 valores]

- 5 - A operação produto aritmético pode ser realizada por um circuito sequencial constituído por um único somador e uma estrutura de controlo baseada em contadores e registos de deslocamento, calculando o resultado do produto por acumulação iterativa dos produtos parciais obtidos para cada bit do multiplicador. A figura mostra o diagrama de blocos desse circuito, normalmente designado por multiplicador *shift-add*.



Considere um cenário em que pretende usar um multiplicador sequencial deste tipo para realizar produtos entre um operando de 64 bits (A) e outro de 8 bits (B), representando ambos valores inteiros sem sinal.

- Explique como poderia tirar partido da propriedade comutativa do produto aritmético para que, usando um multiplicador deste tipo, seja obtido um circuito que:
 - Minimize a complexidade lógica (ou *área*)
 - Maximize a frequência de relógio (suportada por este módulo isoladamente)
- Apresente uma estimativa para a relação entre as áreas e para a relação entre as frequências máximas de relógio para as soluções a-i) e a-ii).

-C= Fim =D-