



EEC0055 - Projeto de Sistemas Digitais

4º ano - 1º semestre

Exame - 24 de janeiro de 2020

Duração máxima: 2h30m, sem consulta.

[3 valores]

- 1 - As ferramentas de síntese RTL, tal como o XST (*XILINX Synthesis Technology*) da XILINX que foi usado nos trabalhos laboratoriais, permitem que o projetista especifique diversos parâmetros que orientam os processos de otimização realizados por essas ferramentas. Dois parâmetros básicos disponíveis na ferramenta da XILINX permitem definir o objetivo global de otimização do circuito (área ou rapidez) e o nível de esforço que é aplicado nesses processos.

Considere o projeto de um circuito digital síncrono com sinal de relógio e diga, justificando devidamente, se são verdadeiras ou falsas as afirmações seguintes:

[1.5 valores]

- a) Ao sintetizar um módulo Verilog que codifique uma máquina de estados (por exemplo um multiplicador sequencial) seguindo os modelos padrão esperados pela ferramenta de síntese, e usando otimização para rapidez, é possível conseguir reduzir o número de estados implementados pela máquina de estados e com isso fazer com que o circuito realize a operação para que foi desenhado num número inferior de ciclos de relógio.

[1.5 valores]

- b) Definindo o objetivo de otimização para minimização da área, é possível que a síntese RTL da declaração Verilog `always @(posedge clock) Y <= A * B;` conduza à implementação de um multiplicador sequencial que necessita de muito menos área do que um multiplicador combinacional.

[4 valores]

- 2 - Considere o projeto de um circuito digital sequencial síncrono com um único sinal de relógio que deve ser capaz de trabalhar com um sinal de relógio de 200 MHz. No final do processo de síntese RTL foi reportada uma frequência máxima para o sinal de relógio igual a 63 MHz e depois da síntese física (*place&route*) esse valor foi recalculado para 78 MHz, ambos muito abaixo dos 200 MHz pretendidos.

[1 valor]

- a) Explique de que forma as ferramentas de análise temporal estimam o valor da máxima frequência do sinal de relógio.

[1.5 valores]

- b) Diga, justificando, qual dos dois valores indicados representa a melhor estimativa para a máxima frequência do sinal de relógio.

[1.5 valores]

- c) Apesar de aqueles valores serem muito inferiores ao desejado, uma análise mais detalhada dos relatórios produzidos pela implementação, e tendo em conta o conhecimento da forma de operação do circuito, permitiu concluir que o circuito poderá efetivamente trabalhar de forma segura com o sinal de relógio de 200 MHz. Explique de que forma poderá ser possível chegar a essa conclusão.

[3 valores]

- 3 - A construção de modelos Verilog para alimentar processos de síntese RTL está condicionada por um conjunto de regras de codificação que são universalmente aceites pelas ferramentas de síntese atuais. Uma dessas regras impõe que na construção do modelo de um circuito síncrono com relógio todas as declarações de atribuição devem ser realizadas com o operador de atribuição “*non-blocking*” (`Y <= <expressão>;`).

Considere que se pretende implementar um circuito síncrono que em cada transição de relógio calcule em Y o valor definido pelo pseudo-código seguinte (a e b são sinais provenientes de registos síncronos com o mesmo sinal de relógio).

```
if ( s )
    Y = ( a * b ) / ( a + b );
else
    Y = ( a * b ) * ( a - b );
```

Para implementar esse circuito construiu-se o módulo Verilog seguinte em que foram usadas erradamente atribuições “blocking” em vez de “non-blocking”:

```
always @(posedge clock)
begin
  if ( reset )
    Y = 0;
  else
    begin
      Ym = a * b; Ys = a - b; Ya = a + b;
      if ( s )
        Y = Ym / Ya;
      else
        Y = Ym * Ys;
    end
end
end
```

[1.5 valores]

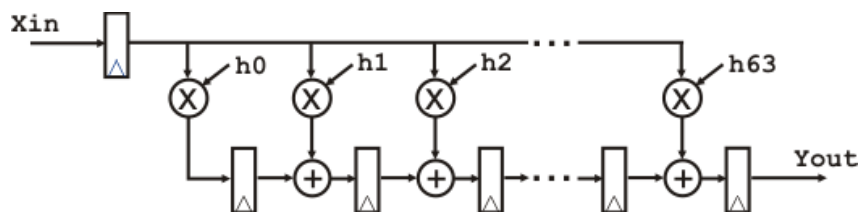
a) Diga, justificando, se o circuito digital resultante da síntese RTL deste código implementaria corretamente a função pretendida.

[1.5 valores]

b) Tendo sido detetado esse erro, a correção efetuada consistiu em simplesmente trocar todas as atribuições “=” por “<=”. Explique se essa medida é ou não a correta e se não for, mostre como isso deveria ser corrigido.

[4.5 valores]

4 - No contexto do projeto de uma aplicação de processamento digital de sinal foi necessário implementar um filtro FIR semelhante ao construído no módulo **real2cpx** mas requerendo agora um conjunto de 64 coeficientes (**h0** a **h63**, todos diferentes de zero e não necessariamente simétricos) em vez dos 8 que foram usados na implementação que realizou. A frequência de amostragem do sinal digital de entrada é 30 MHz e pretende-se usar uma frequência de relógio que seja múltipla inteira da frequência de amostragem, sendo as opções consideradas de 30 MHz, 60 MHz, 90 MHz ou 120 MHz. A saída admite uma latência máxima de 1 µs. A arquitetura proposta para este circuito é a mostrada na figura seguinte:



Para a tecnologia digital em que se pretende implementar este sistema sabe-se que, para a dimensão dos dados envolvidos, os operadores multiplicador e somador mais rápidos disponíveis apresentam tempos máximos de propagação de 10 ns e de 4 ns, respetivamente.

[1.5 valores]

a) Tendo em conta a informação disponível, diga justificando, qual é a frequência de relógio mais elevada (entre as 4 possibilidades apresentadas) que permitirá implementar o circuito tal como é mostrado na figura.

[1.5 valores]

b) Considere que é objetivo deste projeto minimizar a dimensão do circuito, o que numa primeira análise pode ser quantificado pelo número de operadores aritméticos necessários. Admitindo que é usada a frequência de relógio que indicou na alínea anterior, explique como poderia ser modificado o circuito proposto de forma a reduzir o número de operadores aritméticos (note que o circuito proposto requer 64 multiplicadores e 63 somadores).

[1.5 valores]

c) Admita agora que é necessário implementar um filtro FIR semelhante ao apresentado mas para destinado a processar um sinal com frequência de amostragem de apenas 100 kHz. Considerando que é usado um sinal de relógio de 30 MHz, explique como poderia desenvolver um circuito alternativo ao proposto de forma a reduzir significativamente a sua dimensão.

[5.5 valores]

5 - Pretende-se desenvolver um bloco digital que implemente um relógio de tempo real. O desenvolvimento do projeto deve ser conduzido para otimizar a área (complexidade lógica) e o consumo de energia. Os requisitos funcionais principais são:

- Contagem de segundos, minutos, horas, dia do mês, mês e ano;
- Contagem de ano desde 2020 até pelo menos 2100, considerando a compensação para anos bissextos;
- Acerto do relógio (escrita nos contadores) e leitura dos contadores através de uma interface série síncrono (SPI).

O circuito a construir deverá ser síncrono com um único sinal global de relógio. O sinal de relógio externo de 32768 Hz é dividido internamente para gerar o sinal de relógio interno de 1 Hz que alimenta todo o circuito. O circuito é baseado em 6 contadores com capacidade de carregamento paralelo através da interface série. Em modo de contagem de tempo os contadores são habilitados em cascata, sendo cada um incrementado quando o contador anterior atingir o valor máximo (exceto o contador de segundos, que conta a cada transição do sinal de relógio de 1 Hz).

Os 6 contadores têm os números de bits necessários à representação dos valores que contam (valores sem sinal):

Unidade de tempo	Valores a representar	Número de bits
Segundos	0 .. 59	6
Minutos	0 .. 59	6
Horas	0 .. 23	5
Dia do mês	1 .. 31	5
Mês	1 .. 12 (1=janeiro, 12 = dezembro)	4
Ano	20 .. 100 (20 = 2020, 100 = 2100)	7

[1.5 valores]

- a) Admita que os contadores de minutos e de segundos produzem as saídas **maxmin** e **maxsec**, respetivamente, que são iguais a 1 quando o valor do contador respetivo for igual a 59. Apresente um modelo sintetizável em Verilog que implemente o contador de horas. A interface deste módulo deverá ser:

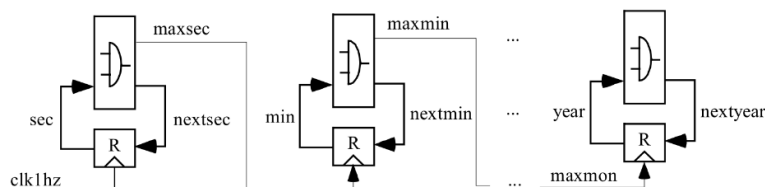
```
module count_hours(  
    input clk1hz,           // 1 Hz clock  
    input reset,            // synchronous reset, active high  
    input enable,           // global enable, active high  
    input maxmin,           // counter input  
    input maxsec,           // counter input  
    input [4:0] hours_in,   // counter input  
    input load_hour,        // load hour_in to counter  
    output [4:0] hours_out, // counter output  
    output maxhour          // set to 1 when current hour == 23  
);
```

[1.5 valores]

- b) Fazendo agora uso da saída **maxhour** do módulo construído na a), desenvolva o circuito (Verilog sintetizável) que implementa o contador de dias do mês, implementando a compensação de ano bissexto para a contagem dos dias do mês de fevereiro. Para o intervalo de anos especificado, todos os anos divisíveis por 4 são bissextos, exceto o ano 2100. Considere as entradas e saídas que entender necessárias e explique devidamente a sua solução.

[1.5 valores]

- c) Em vez de desenhar todo o circuito síncrono com o único sinal global de relógio de 1 Hz, foi proposta uma solução alternativa que consiste em usar como relógio de um contador o sinal que indica o fim de contagem do contador anterior:



Diga, justificando, se esta solução apresenta vantagens ou desvantagens em relação à proposta inicial (circuito síncrono), no que se refere a (i) área ocupada, (ii) rapidez e (iii) consumo de energia.

[1 valor]

- d) Na solução referida na alínea anterior os sinais **max...** a usar como sinais de relógio podem ser produzidos como resultado da comparação combinacional do valor do contador (por exemplo para o contador de segundos a declaração: **assign maxsec = (sec==59)?** Explique porquê e, caso a sua resposta seja negativa, apresente uma solução que garanta o correto funcionamento do circuito.

-◀ Fim ▶-