



Projeto de Sistemas Digitais 2015/2016

4º ano, 1º semestre
Recurso - 12 de fevereiro de 2016

Duração: 2h30, sem consulta

[2 valores]

1 - As linguagens padrão para descrição de hardware digital (Verilog e VHDL) podem ser usadas para construir modelos de circuitos digitais só para simulação (i.e. que não podem ser sintetizados) ou então modelos para síntese RTL (que naturalmente também podem ser simulados). Explique porque razão certos modelos Verilog só podem ser usados para simulação e diga que vantagens há em usar tais modelos num ambiente de verificação por simulação, em relação a usar apenas modelos sintetizáveis.

[1.5 valores]

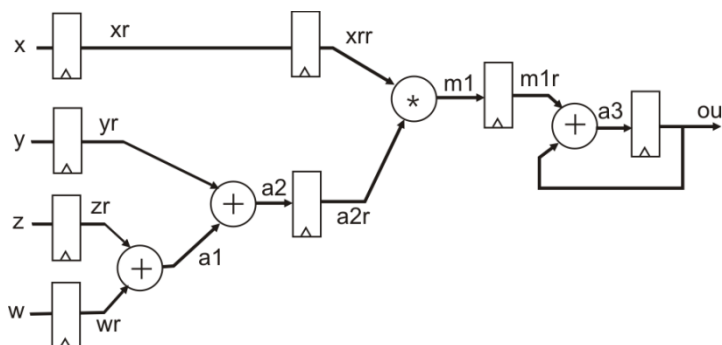
2 - Durante o processo de verificação funcional de um bloco digital, usando simulação lógica, é possível verificar se esse circuito cumpre a função para que foi projetado, satisfazendo as restrições temporais impostas no projeto? Explique.

[1.5 valores]

3 - O sinal de relógio num circuito digital síncrono não deve ser modificado por circuitos lógicos combinacionais. Explique porquê, apresentando duas razões pelas quais isso não deve ser feito e indicando as possíveis consequências de seguir essa prática.

[6 valores]

4 - Considere o *datapath* seguinte:



[2 valores]

a) Apresente um processo **always** que represente este *datapath* (use os nomes indicados para os sinais).

[2 valores]

b) Admita que conhece os tempos de propagação máximos e mínimos dos blocos funcionais representados, para as dimensões dos dados envolvidos (considere que o número de bits de cada ramo é o mesmo em todo o circuito). Explique como poderia obter uma estimativa para a frequência máxima admissível para o sinal de relógio, tendo em conta o que conhece da complexidade lógica e temporal para cada tipo de operador.

[2 valores]

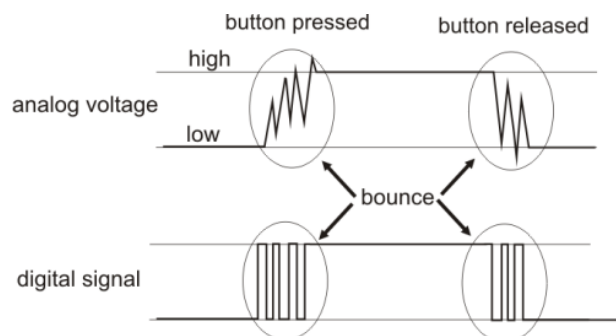
c) Considere agora o circuito que resulta removendo os 3 registos na entrada e saída do multiplicador. Explique em que condições este novo circuito é capaz de realizar a sua função de forma mais rápida do que o circuito anterior.

[2 valores]

5 - No último projeto laboratorial foi-lhe imposto usar o multiplicador sequencial dado, não podendo por isso usufruir dos multiplicadores embebidos que a FPGA tem. Imagine que não era colocada essa restrição e que podia usar esses multiplicadores combinacionais embebidos, capazes de realizar produtos de números de 18 bits com sinal, com um atraso de propagação inferior a 75 ns ($1/75\text{ns} = 13.3\text{ MHz}$). Se a frequência do sinal de relógio for mantida com o valor original (24.576 MHz), quantos multiplicadores seriam suficientes para implementar o projeto?

[4 valores]

- 6 - Quando o contacto elétrico de um interruptor abre e fecha para comutar um sinal elétrico entre dois níveis lógicos, ocorrem geralmente perturbações na tensão elétrica (*ringing* ou *bounce*) que se traduzem em transições lógicas indesejáveis antes do sinal estabilizar no seu valor final. Essas transições podem ser críticas, especialmente se esse sinal for usado como sinal de relógio num circuito lógico.



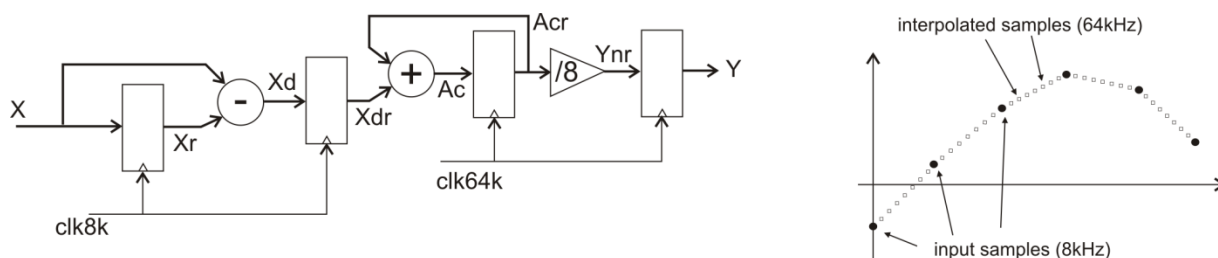
Para resolver este problema e eliminar essas transições extra, pode ser implementado um circuito de *debounce* que amostra o sinal de entrada a um ritmo baixo (por exemplo 1 kHz) e produz um sinal de saída igual a 1 (ou zero) apenas quando a entrada é vista igual a 1 (ou a zero) durante N amostras consecutivas. Valores típicos para N situam-se geralmente entre 10 e 50, correspondendo a tempos de 10 a 50 ms.

Escreva um módulo Verilog sintetizável que implemente a função descrita acima. O circuito deve trabalhar com um sinal de relógio de 100 MHz e deve ser usado para N o valor 32, sendo o sinal de entrada amostrado a uma frequência aproximadamente igual a 1 kHz. Projete o seu módulo procurando minimizar a complexidade do circuito resultante.

```
module debounce(clock100M,  
                reset,  
                pbin, // digital signal from the push-button  
                pbout); // debounced output  
  
    input clock100M, reset, pbin;  
    output pbout;
```

[3 valores]

- 7 - O circuito da figura implementa um interpolador linear que tem por entrada um sinal digital amostrado a 8 kHz, sendo o sinal de saída obtido calculando 7 novas amostras entre cada duas amostras de entrada, obtidas por interpolação linear, para gerar o sinal de saída amostrado a 64 kHz.



[1.5 valores]

- a) Os dois sinais de relógio (clk8k e clk64k com frequências de 8kHz e 64kHz, respetivamente) são derivados de um mesmo sinal de relógio de 64 MHz. Explique como gerar aqueles dois sinais de relógio a partir do sinal de 64 MHz de forma a garantir uma transferência segura de dados entre os dois domínios de relógio. Ilustre a sua resposta com um diagrama temporal.

[1.5 valores]

- b) Uma alternativa à solução proposta consiste em usar um único sinal de relógio para todo o circuito, com frequência igual à do relógio principal (64 MHz), e regular o ritmo de operação das duas partes com sinais de *clock enable* com as frequências respetivas. Explique como esta solução se compara com a original, em termos do consumo energético.

(-: Fim :-)