



EEC0055 - Projeto de Sistemas Digitais

4º ano - 1º semestre

Recurso - 11 de fevereiro de 2019

Duração máxima: 2h30m, sem consulta.

[4 valores]

- 1 - Considere o processo de projeto de um sistema digital destinado a uma plataforma reconfigurável do tipo FPGA, semelhante à utilizada nos projetos laboratoriais realizados em PSDi.

[2 valores]

- a) No desenvolvimento do 3º projeto laboratorial foram efetuadas 3 tarefas de verificação, recorrendo a simulação lógica. Considere apenas a última dessas tarefas de verificação, que deve ser realizada imediatamente antes da implementação final do circuito na FPGA. Sem particularizar para o projeto desenvolvido em PSDi, diga, justificando devidamente, se, e em que condições, esta última simulação poderá ou não ser evitada, mas sem com isso comprometer a garantia de correção do projeto.

[2 valores]

- b) Embora as tarefas de verificação sejam fundamentais para o correto desenvolvimento de um projeto destinado a dispositivos FPGA, há por vezes quem não realize devidamente essas fases fundamentais do projeto e analise apenas o comportamento final do circuito implementado. O argumento defendido é que não vale a pena perder tempo a construir *testbenches* e a simular porque se pode logo programar a FPGA (e sem custos) para ver se o circuito projetado funciona conforme o esperado, já com o dispositivo integrado no seu ambiente de operação final. Imagine que ouviu alguém a argumentar isso e diga que argumentos usou para o/a convencer a mudar essa atitude.

[4 valores]

- 2 - Uma das tarefas principais no processo de projeto é a síntese RTL, onde os modelos HDL comportamentais são traduzidos automaticamente para circuitos lógicos. Considere o projeto de circuitos sequenciais síncronos com sinal de relógio, que são compostos por dois tipos principais de elementos: *flip-flops* e blocos de lógica combinacional (na tecnologia FPGA utilizada a lógica combinacional é implementada por *look-up tables* (LUTs) de 5 e 6 entradas).

[2 valores]

- a) Diga, justificando, se antes de realizar a síntese RTL de um módulo Verilog é ou não possível antecipar o número de *flip-flops* que esse circuito irá necessitar e, caso afirmativo, se esse número será exato ou apenas uma estimativa (por excesso ou por defeito?).

[2 valores]

- b) Após a realização da síntese RTL é apresentado um valor para a frequência máxima do sinal de relógio. Diga se esse valor corresponde ao valor real da frequência máxima de relógio que o circuito final poderá suportar ou se é apenas um valor aproximado. Explique porquê.

[4 valores]

- 3 - O excerto de código Verilog abaixo contém uma declaração de atraso explícito. Como deve saber, isso não deve ser usado em modelos Verilog sintetizáveis.

```
always @(posedge clock or negedge rst)
begin
  if ( rst )
  begin
    zout <= 18'd0; ztemp <= 18'd0;
  end
  else
  begin
    ztemp <= Ra * Ra - Rb;
    #1
    zout <= ( ztemp * 1372 ) >>> 10;
  end
end
```

[2 valores]

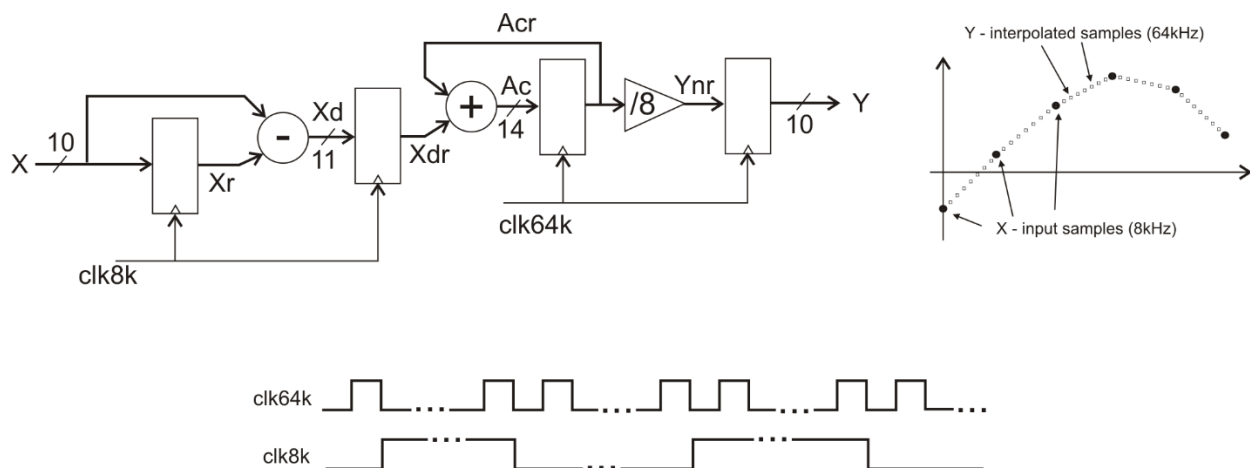
- a) Quem desenhou este modelo incluiu esse atraso porque só assim conseguiu (mas erradamente!) que a simulação funcional conduzisse aos resultados esperados. No entanto, após realizar a síntese RTL o circuito produzido já não cumpria a funcionalidade pretendida. Explique porquê e apresente um diagrama de blocos mostrando o circuito lógico representado pelo modelo dado e outro diagrama de blocos mostrando o circuito lógico que é criado pelo processo de síntese RTL.

[2 valores]

- b) Mostre como corrigir o código Verilog dado de forma a não incluir qualquer atraso, mas apresentando o mesmo comportamento do modelo dado, quando este é simulado. Admita que o período do sinal de relógio é muito maior do que o atraso definido nesse código.

[8 valores]

- 4 - O circuito da figura implementa um interpolador linear usando o mesmo algoritmo do interpolador usado no 3º projeto laboratorial, mas recorrendo a dois domínios de relógio de 8 kHz e 64 kHz (sinais de relógio **clk8k** e **clk64k**, ambos ativos no flanco ascendente). Estes dois sinais de relógio são gerados a partir de um mesmo sinal de relógio de 8 MHz. Para resolver as potenciais falhas associadas à transição de dados entre os dois domínios de relógio, esses dois sinais de relógio são gerados de forma a garantir que a transição ascendente do sinal **clk8k** está alinhada com a transição descendente do sinal **clk64k** (ver figura). O circuito recebe uma entrada **X** de 10 bits à frequência 8 KHz e produz um sinal de 10 bits à frequência de 64 KHz representando a interpolação linear entre as amostras do sinal de entrada. Os sinais de entrada **X** e de saída **Y** representam números com sinal em complemento para dois.



[1.5 valores]

- a) Apresente o código Verilog sintetizável que implementa o circuito da figura, usando os nomes dos sinais apresentados. Os operadores aritméticos devem ser implementados como circuitos combinacionais.

[1.5 valores]

- b) Construa um módulo Verilog sintetizável que produza os sinais de relógio de 8 kHz e 64 kHz a partir de um sinal de relógio de 8 MHz, respeitando a relação de fase entre eles referida no texto e ilustrada na figura. Note que esses sinais serão usados como sinais de relógio e por isso deverão ser isentos de “glitching”.

[1 valor]

- c) Como o circuito usa um sinal de relógio de 8 MHz e a parte mais rápida trabalha apenas a 64 kHz (125 menos), seria vantajoso, do ponto de vista da área ocupada, implementar os operadores aritméticos como circuitos sequenciais em vez de combinacionais? Justifique.

[1.5 valores]

- d) Explique porque razão aquela relação de fase entre os dois sinais de relógio pode garantir que não ocorrem falhas de sincronismo na transição de dados entre os dois domínios de relógio (considere que a tecnologia alvo tem características dinâmicas similares às da FPGA utilizada nos trabalhos laboratoriais).

[1.5 valores]

- e) Considere agora que este circuito é redesenhado de maneira a usar apenas um único sinal de relógio de 8 MHz, sendo as secções que trabalham aos ritmos de 8 kHz e 64 kHz controladas pelos sinais de *clock enable* **clken8k** e **clken64k**, respetivamente. Diga como podem ser gerados esses sinais de *clock enable* e que restrições temporais devem satisfazer para não ocorram as falhas de sincronismo referidas em d).

[1 valor]

- f) Diga justificando como se compara o circuito original, que usa os dois sinais de relógio, com a solução referida na alínea anterior que usa um único sinal de relógio, no que diz respeito à área e ao consumo de energia.

◀ Fim =>