




U. PORTO**FEUP** FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTOCurso **MIEEC**Data **13/09/2021**Disciplina **PSDI - Projeto de Sistemas Digitais**Ano **4º** Semestre **1º**Nome **João Alexandre da Silva Abade**

Espaço reservado para o avaliador

1: a) Sim, existem cenários onde a tecnologia alvo em que o circuito digital vai ser fundido  e onde a sua construção vai depender desta: um exemplo prático disso mesmo é a netlist (ou circuito lógico) resultante da síntese RTL, formada por blocos primitivos que estejam presentes na tecnologia alvo e que respeitem a "construção desta" segundo as normas desta.

6 b) A verificação  funcional vai detetar qual o comportamento ~~deste~~ esperado no modelo de sistema digital ~~desta~~ "desenhar" pela tecnologia (viii "viii-b", por outras palavras), portanto a tecnologia alvo ainda não condiciona o sistema digital nesta fase de simulação (condiciona, no entanto, nas fases de simulação seguintes).

4 2: a) Frequência Máxima  = Recíproco do valor máximo de tempo de propagação entre os caminhos combinacionais ~~entre~~ iniciados e terminados por registos.

$$\begin{aligned} \text{Critical Path} &= \text{Caminho entre } R_A/R_B \text{ (registos de a/b) e } R_Y \text{ (registo output y)} \\ &= T_{\text{mux}} + 2T_{\text{mux}} = 13 + 2 \times 7 = 27 \text{ ns} = \text{valor máximo} \end{aligned}$$

$$f_{\text{máx}} = \frac{1}{\text{valor máximo}} = \frac{1}{27 \text{ ns}} \approx 37 \text{ MHz} \quad \checkmark$$

Comando mais curto $\Rightarrow T_{\text{curto}} = 0,5 \text{ ms} + 2 \times (1 \text{ ms}) = 2,5 \text{ ms}$

$$f_{\text{mac}} = \frac{1}{2,5 \text{ ms}} \approx 400 \text{ MHz}$$

b) A abordagem a tomar seria reduzir o ritmo de reação de valores por partes de registos, que iniciam e terminam o "critical path", comparativamente a uma abordagem por uma questão de coerência com o enunciado, a abordagem passaria por reduzir cerca de 30% o ritmo referido).

Isto poderia ser a ajuda da ferramenta de análise temporal estática, mas, para isso, esse tipo de requisitos temporais, embora apela qualidades na simulação por "backroute", tem de ser garantidos ainda na fase de escrita de código que resulta no Modelo HDL comportamental (a falta de satisfação destes requisitos temporais na simulação por "backroute" pode levar mesmo à re-escrita de código, portanto, garantir ainda na fase de escrita de código).

3: a) i)

4

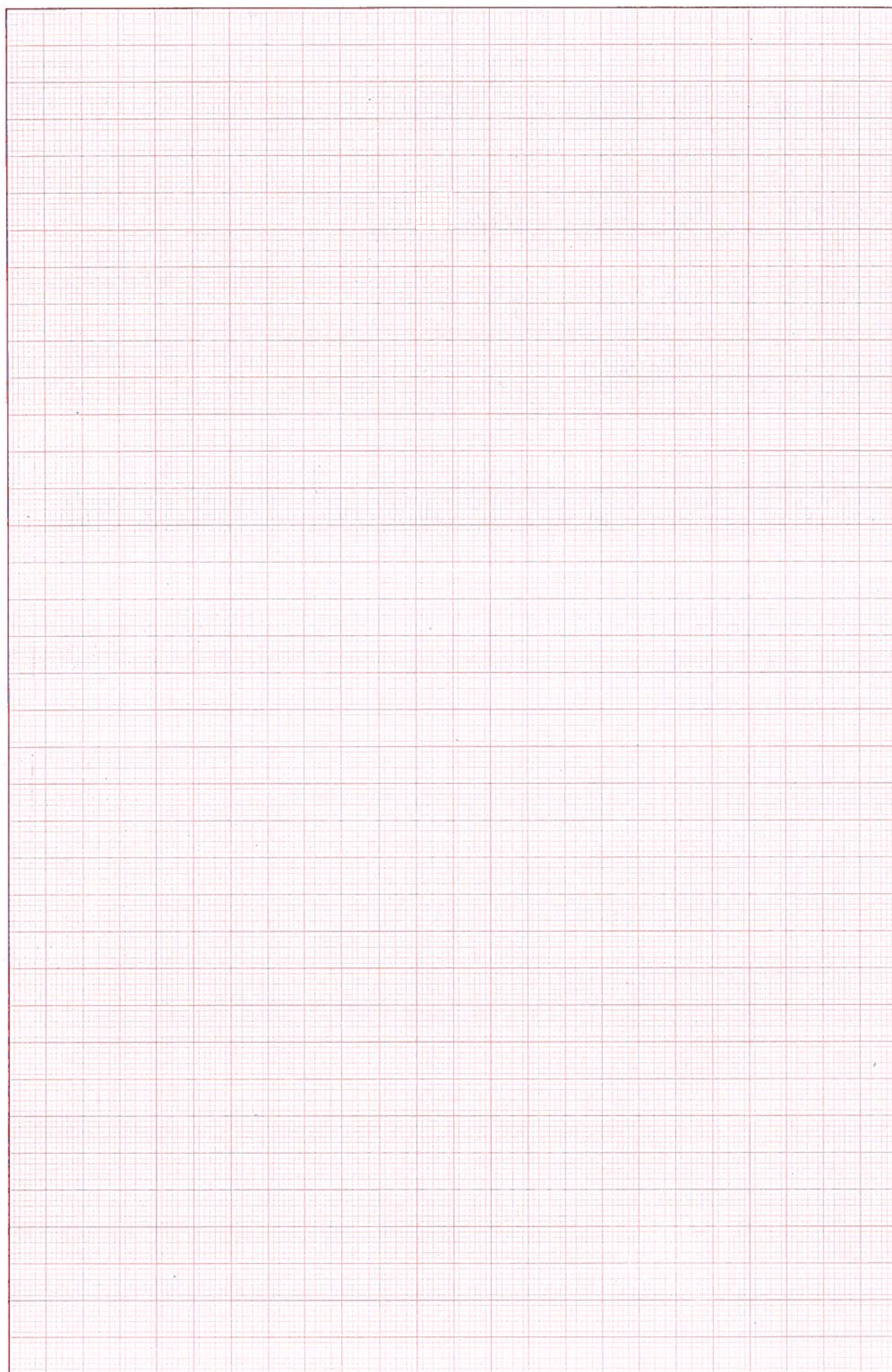
b) Apenas no exemplo i) puramente combinacionais. ✓ e o iii)

No caso ii) temos uma lata transparente (para xsel + mem para Ysel, tem valor default para Rout).

Resolução: always @ (posedge clock)

```
begin
  if (Xsel)
    Rout <= Ain;
  if (Ysel)
    Rout <= Bin;
end
```

~~temos de ter um clock ou outro clock para o clock~~



U. PORTO**FEUP** FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTOCurso MIEECData 13/09/2021Disciplina PSDIAno 4º Semestre 1ºNome maria theresa da silva oliveira4: a) ~~alterar o @ (para o clock)~~

```

wire sig_sync;
assign Tsync = 15ms;
always @ (posedge clock)
if (reset)
sig_sync <= 0;
else
begin
if (sig_sync == 0) sig_sync <= 1;
end
if (sig_sync == 1) begin
if (sig_sync - sig < Tsync)
sig_sync <= 1;
end
end
end

```

// garantir que começa com valor null

// Se sig == 1, então:
 // Se $T_{sig}/sig_sync \leq 15ms$, o valor de sig_sync é igual a 1, mas apenas por um ciclo de relógio.

Q

b) reg[19:0] reg_adicional; final_reg;

~~assign ch1in = reg[19:0];~~

Exemplo: ~~assign~~
(final ch1in) assign ch1in

~~for (i=0; i<4; i++)~~

~~begin~~
~~reg_adicional[i] <= sidetain[19:0];~~

~~final_reg <= reg_adicional[i]~~
~~end~~

assign ch1in <= final_reg / 4;

endmodule

NOTA: Outra forma seria criar quatro registros (reg_0, reg_1, reg_2, reg_3, por exemplo), guardar um de 4 samples em cada um e depois somar todos para um registro adicional e dividir por 4).

U. PORTO**FEUP** FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTOCurso MIEECData 13/09/2021Disciplina PSDIAno 4º Semestre 1ºNome mate Alexandre da Silva Chaves

5: a) O consumo de energia, entre outras coisas, ^{varia com a} ~~depende da~~ área do circuito, frequência de relógio, etc. No entanto, a nível RTL, estamos ainda na fase de definição de parâmetros, nos que ~~processos de redução de consumo de energia~~ ainda não são realizados. - F

10 b) Com um único relógio, a uma frequência que ~~de~~ seja elevada o suficiente para todas as partes, ~~ocorrerá~~ vai ocorrer um aumento do consumo de energia (por o aumento da frequência leva o aumento da potência dinâmica, e é provável que, para assegurar que todas as partes trabalhem ao mesmo ritmo, se coloque uma frequência maior de relógio). - F

10- c) O resultado final do valor de potência final não é linear, no que toca a circuitos digitais, uma vez que ainda se deve ter em conta fatores como atividade do circuito, área, fugas... - F

