

# Laboratorio de Electrónica Digital II

## Práctica 2: Circuitos Aritméticos para Números Decimales

### Sumador de Números de Punto Flotante empleando Formato de Precisión Simple del Estándar IEEE-754

#### Profesores

María Katherine Plazas O. (maria.plazas@udea.edu.co)

Luis Germán García M. (german.garcia@udea.edu.co)

Marzo 5, 2024



**Fecha de entrega:** del 19 al 21 de marzo de 2024

**Medio de entrega:** <https://virtualingenieriaudea.co/>

**Sustentación:** Horario de Laboratorio

**Valor Práctica:** 10% del curso

## 1 Introducción

En esta práctica de laboratorio, el grupo de estudiantes implementará un sistema electrónico digital para la suma de números decimales empleando el formato de precisión simple (32-bits) del estándar IEEE-754. Para esta práctica, el hardware del circuito se describirá mediante dos bloques principales, control y *datapath*. El *datapath* será la unidad encargada de manipular los datos de entrada, realizar la operación de suma y llevar el resultado a displays de 7-segmentos de

manera apropiada. Por otro lado, la unidad de control coordinará el funcionamiento del *datapath*. Cada una de las unidades mencionadas podrá a su vez tener otras sub-unidades encargadas de funciones específicas. La descripción del sumador junto con la lógica requerida para ingresar los datos y mostrar los resultados será realizada empleando el lenguaje de descripción de hardware SystemVerilog. Se deberá emplear la herramienta de simulación ModelSIM para llevar a cabo una serie de pruebas que permitan verificar el correcto funcionamiento del sumador. Finalmente, el grupo de trabajo implementará el diseño en el sistema de desarrollo DE10-Lite, donde se deberá verificar el correcto funcionamiento de todo el sistema.

## 2 Objetivo de la Práctica

Diseñar e implementar un sistema electrónico digital para la suma de números de punto flotante empleando el formato de precisión simple del estándar IEEE-754, haciendo uso del lenguaje de descripción de hardware SystemVerilog y herramientas de desarrollo para FPGAs.

## 3 Procedimiento

Para el correcto diseño e implementación del sumador, se sugiere realizar el siguiente procedimiento:

- a. Leer esta guía varias veces para comprender el sistema que se va a diseñar, identificando así los requerimientos que deberán cumplirse el día de la sustentación del trabajo.
- b. Estudiar la sección 5.3.2 Floating-Point Number Systems, del texto guía *Digital Design And Computer Architecture - ARMEdition*. Estudiar también el código fuente del multiplicador de números de punto flotante que se ha dejado en la plataforma del curso como ejemplo base para este diseño y despliegue.
- c. Elaborar un diagrama de bloques de alto nivel (*diagrama de bloques principal*) para representar el problema principal junto con las entradas y las salidas del sistema. Este diagrama incluye el bloque que contiene el sumador junto con la lógica adicional requerida para el ingreso de datos y visualización de resultados. Puede ayudarse del código fuente del multiplicador para plantear su diagrama.
- d. Describir el diseño del sumador usando SystemVerilog y emplear la herramienta de simulación ModelSIM para verificar su correcto funcionamiento. Llevar a cabo las correcciones pertinentes, si fuese el caso. Puede hacer uso de las partes que requiera del código del multiplicador.
- e. Implementar el sumador en la FPGA disponible en el sistema de desarrollo DE10-Lite (disponible en el laboratorio LED) y verificar su correcto funcionamiento. Llevar a cabo las correcciones pertinentes, si fuese el caso.
- f. Escribir un corto reporte sobre el diseño e implementación de la práctica y subirlo a la plataforma de Ingeni@ junto con los archivos principales de su diseño en Quartus Prime.

g. Sustentar el desarrollo en el horario de laboratorio correspondiente.

## 4 Especificaciones

A continuación, se indican las especificaciones que el grupo de trabajo deberá considerar para el diseño e implementación del circuito digital, representado en la Fig. 1:

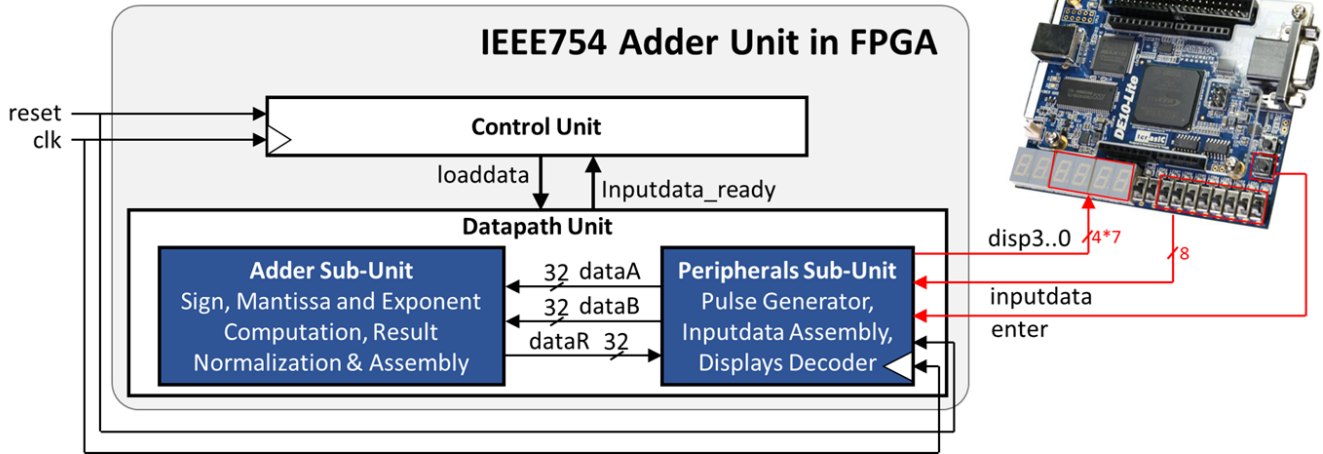


Fig. 1: Diagrama de bloques para el sumador del estándar IEEE-754

- El diseño del circuito digital deberá incluir los dos bloques que se muestran en la Fig. 1: Control y *Datapath*. La unidad de *Datapath* se encarga del flujo de los datos por todo el sistema: tomar los valores de A y B desde los suiches del sistema DE10-Lite, llevar dichos valores a registros internos de la FPGA, realizar la correspondiente operación de suma según el estándar IEEE-754 para generar R y, finalmente, llevar el resultado a los displays de 7-segmentos del mismo sistema para su visualización. En cambio, la unidad de Control se encarga de coordinar el funcionamiento de la unidad de *Datapath*.
- La unidad de Control será una simple máquina de estados encargada de coordinar el funcionamiento del *Datapath*. Después de un **Reset**, la unidad de Control le indicará al *Datapath* (**loaddata** = 1) que es el momento de cargar los valores A y B para realizar la operación. Una vez la unidad de *Datapath* haya recibido los valores de A y B, ésta le indicará a la unidad de Control (**inputdata ready** = 1), para que retire la indicación de carga de datos (**loaddata** = 0) y se proceda a realizar la adición.
- La unidad de *Datapath* se encargará de tomar los datos A y B desde los suiches del sistema de desarrollo DE10-Lite, realizar la adición de punto flotante y, finalmente, mostrar el resultado en los displays de 7-segmentos del mismo sistema (DE10-Lite). Para estas funcionalidades, se han definido dos bloques principales: *Adder* y *Peripherals Sub-Units*. Cada bloque podrá contener uno o más sub-bloques encargados de realizar determinadas tareas.

- d. La unidad de suma (*Adder Sub-Unit*) es un módulo combinacional encargado de realizar la adición entre A (**dataA**) y B (**dataB**) y generar el resultado R (**dataR**) según el formato de precisión simple del estándar IEEE-754. La unidad de adición manejará números normalizados (positivos y negativos), tanto para A y B, como para R. Adicionalmente, la unidad de adición deberá estar también en capacidad de recibir valores que corresponden con casos especiales, tales como:  $\pm 0$  (*cero*),  $\pm Infinito$ , *NaN*. Es responsabilidad del grupo de trabajo garantizar que la unidad de suma maneje apropiadamente los casos especiales.
- e. La unidad de periféricos (*Peripherals Sub-Unit*) se encargará de dos funciones esenciales:
- Carga de operandos:** los operandos A y B son valores de 32-bits (formato estándar IEEE-754) que serán cargados en 4 grupos de 8-bits cada uno, empleando para ello los suiches de la DE10-Lite (**inputdata**) y uno de los pulsadores denominado **enter**. Cada que se presiona el pulsador **enter**, la unidad de periféricos almacenará el valor (byte) dado por señal de entrada **inputdata** dentro del correspondiente registro. En total se requiere cargar un total de 8 bytes, cuatro para A y cuatro para B.
  - Visualización de datos:** tanto los operandos A y B, como el resultado R, se deberán poder visualizar en los displays de 7-segmentos de la DE10-Lite, en formato hexadecimal. Se dedicarán cuatro displays para la visualización de operandos y resultado. Los dos displays más significativos indicarán el operando y el byte que se está visualizando: A3 (MSB), A2, A1, A0 (LSB), B3 (MSB), B2, B1, B0 (LSB), R3 (MSB), R2, R1, R0 (LSB). En cambio, los dos displays menos significativos indicarán el valor del byte seleccionado. Por ejemplo, para la suma entre  $A = -18(0xC1900000)$  y  $B = 9.5(0x41180000)$ , la cual tiene como resultado  $R = -8.5(0xC1080000)$ , los operandos A y B se visualizarán durante el proceso de carga de datos como se muestra en las Figs. 2 y 3, respectivamente. Observe que se deberá ingresar primero el byte mas significativo de los operados. De manera similar, el resultado de la suma se mostrará como se indica en la Fig. 4 .

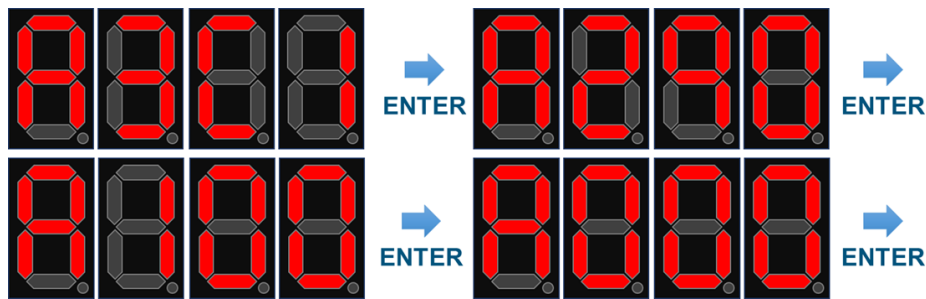


Fig. 2: Ingresando el operando A

- f. Finalmente, las entradas **clk** y **reset** son requeridas por los bloques que requieren circuitos secuenciales o memoria.

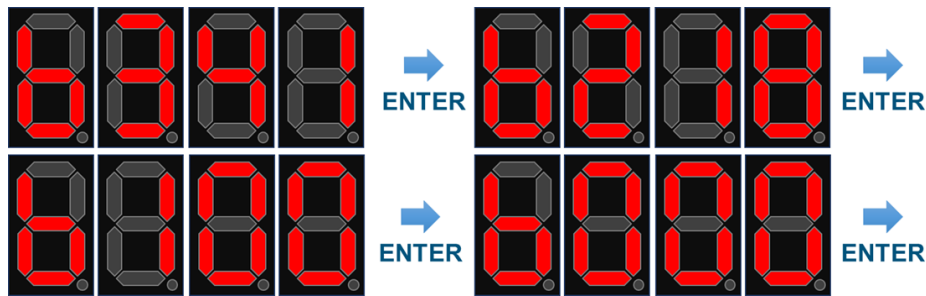


Fig. 3: Ingresando el operando B

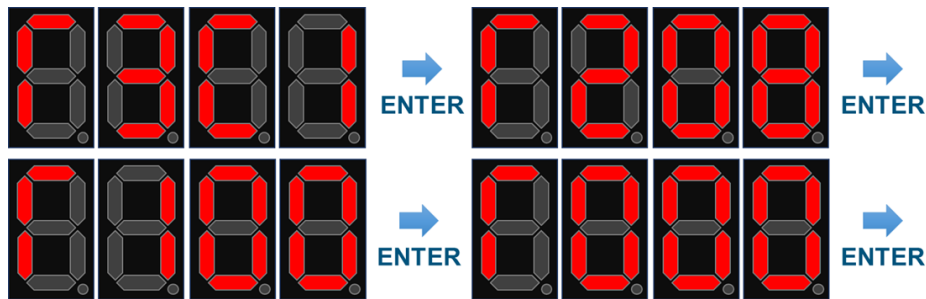


Fig. 4: Mostrando el resultado R

## 5 Entrega

El grupo de trabajo deberá escribir un breve reporte en formato IEEE, de máximo tres (3) páginas, que contenga los siguientes elementos (es posible emplear la guía para reportes en la página del curso):

- Abstract:** resumen del diseño e implementación de la práctica
- Diseño y Simulación:** diagrama de bloques del sistema y varias imágenes que muestren el resultado de la simulación realizada para las unidades *Adder*, *Datapath* y *Control*.
- Conclusiones:** dos o tres conclusiones sobre el trabajo realizado por el grupo de trabajo. Indicar el tiempo que les tomó realizar la práctica en las conclusiones.

Crear un archivo comprimido que incluya el reporte y los archivos importantes de su proyecto en Quartus Prime como se describe a continuación:

- Reporte:** archivo con extensión .pdf
- Archivos proyecto Quartus:** carpeta del proyecto en Quartus Prime Lite Edition después de realizar un *Clean Project*.

El nombre del archivo comprimido deberá tener el siguiente formato:

*p2\_primerapellidointegrante1\_primerapellidointegrante2\_horariolaboratorio.zip*.

Ejemplo: si el primer apellido de ambos integrantes es **Plazas** y **Garcia**, respectivamente, y el laboratorio es el Martes 9-12, entonces el archivo debe ser nombrado: *p2-plazas-garcia\_m9-12.zip*.

## 6 Evaluación

La evaluación de la práctica se divide en tres partes: funcionamiento (40%), sustentación (40%) y reporte / código fuente (20%). La nota del funcionamiento se asigna por igual a todos los integrantes del grupo de trabajo (máximo dos personas por equipo), mientras que la nota de sustentación es individual. La sustentación podrá realizarse de tres maneras posibles:

- a. Solicitud de cambios al código por parte del profesor de laboratorio.
- b. Un par de preguntas orales que pongan a prueba los conocimientos del estudiante sobre el desarrollo de la práctica.
- c. Una presentación corta a todo el grupo de laboratorio.

En caso un estudiante obtenga una nota inferior a 3.0 en la sustentación, la nota final de la práctica para el estudiante en mención será la que obtuvo en la sustentación, es decir, no se tendrá en cuenta el funcionamiento en el cálculo. Finalmente, en caso no se realice entrega del reporte, la nota asignada a la práctica de laboratorio será de 0.0 así se haya sustentado.

Cada grupo de trabajo deberá sustentar la práctica en un tiempo de 15 minutos, 8 minutos para revisar la implementación y 7 minutos para preguntas. Es importante tener abierto el proyecto y programada la FPGA para cuando el profesor llegue a su puesto de trabajo. No habrá tiempo para hacer correcciones de último momento.

## 7 Referencias

- a. Quartus Prime Lite Edition  
<https://www.intel.com/content/www/us/en/products/details/fpga/development-tools/quartus-prime.html>
- b. Sistema de desarrollo DE10-Lite  
<http://de10-lite.terasic.com/>
- c. Calculadora IEEE754  
<http://weitz.de/ieee/>