

Eletrônica Digital I – EE610 - Projeto Final

Nome: _____ RA: _____

Nome: _____ RA: _____

Nome: _____ RA: _____

A lista final deve ser entregue até o dia 30/06/2024

Os arquivos (.txt) dos modelos dos transistores estão disponíveis no Moodle

Use o maior RA do grupo como **ABCDEF**, exemplo: para 123456, AB=12, EF=56 e assim por diante.

Se $F = 0$ usar 10, se EF = 00 usar 100...

RA usado nas simulações: _____

I. SIMULAÇÃO SPICE DE UM INVERSOR CMOS.

Com o modelo disponível no moodle e o circuito da figura 1, pede-se:

- Com o suporte da simulação de circuitos, escolha os valores de W_n e W_p dos transistores para manter o **inversor casado** e com valor de corrente de saturação (I_{DS_sat}) de no **mínimo 1,0 mA**.
- Com os valores de W_n e W_p apresente a curva de transferência (v_O x v_I);
- Calcule matematicamente os valores de V_{OL} , V_{IL} , V_{OH} , V_{IH} , MR_H , MR_L e compare com os valores obtidos graficamente da curva de transferência (derivada).
- Apresente a curva da tensão da saída (v_O) em função do tempo. Destaque os valores dos tempos de atraso (t_{pHL} , t_{pLH} , t_R e t_f) e o tempo de atraso total.

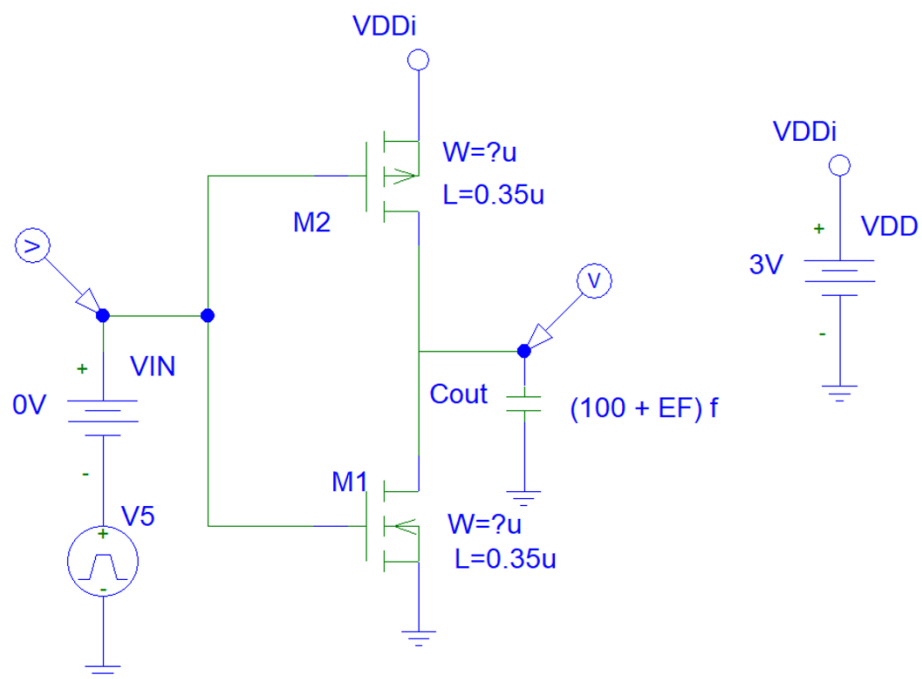


Figura 1 – Inversor CMOS

II. SIMULAÇÃO SPICE DE UM LATCH CMOS

Usando os resultados do projeto do inversor do item I, monte um *Latch* conforme as figuras 2 e 3.

- Com o elo de realimentação aberto (figura 2) e usando uma fonte DC (v_Z) na entrada do *latch*, faça o gráfico de v_Z (*dc sweep*) em função de v_W e v_Z . Apresente no gráfico os valores dos três pontos de operação do *latch* (2 pontos estáveis e um ponto instável)
- Feche o elo de realimentação (figura 3), remova a fonte da entrada e faça a simulação das variações das tensões de v_Q e $v_{\bar{Q}}$ do latch em função do tempo.
- Qual o tempo total (tempo de subida ou tempo de descida) para o *latch* atingir o valor de estabilidade (em 0 ou V_{DD})? Use a definição do tempo de atraso t_p considerando a excursão do sinal de 10% a 90%.
- Explique os mecanismos de “travamento do *latch*” e os tempos envolvidos no processo da realimentação positiva.

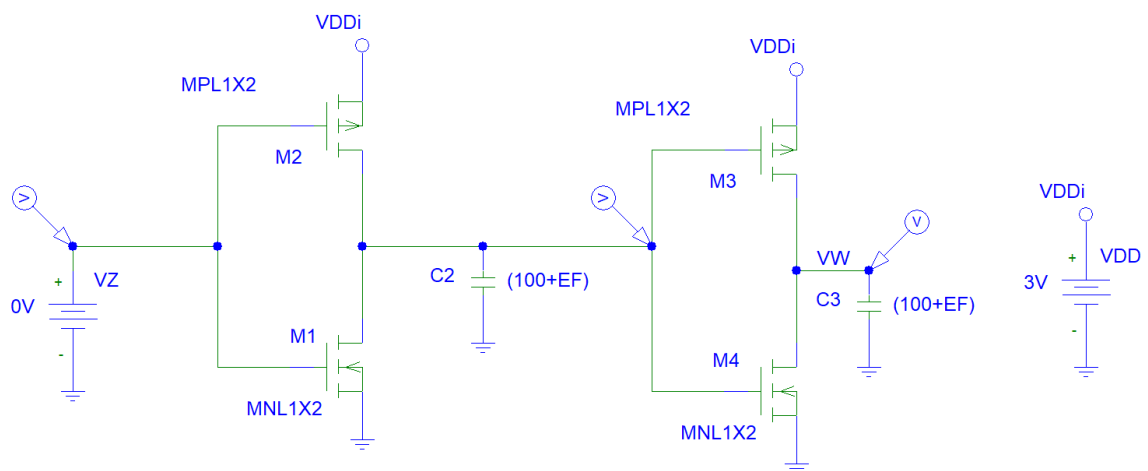


Figura 2 – Unidade básica de memória (*Latch*) CMOS com tensão de entrada

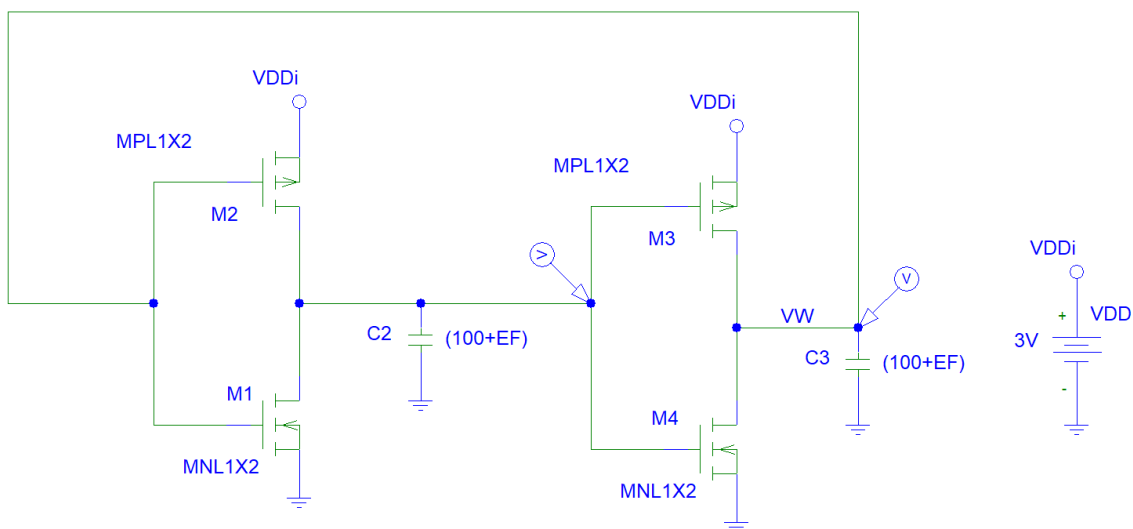


Figura 3 – Unidade básica de memória (*Latch*) CMOS com elo de realimentação

III. SIMULAÇÃO SPICE DE UM OSCILADOR EM ANEL

Usando os resultados do projeto do inversor do item I, monte um oscilador em anel com 5 estágios conforme a figura 4.

- Apresente a curva da tensão de saída em função do tempo para o oscilador. Atenção, não utilize nenhum sinal na entrada do oscilador. Em caso de não convergência, coloque um resistor para o terra no elo de realimentação com o valor teórico de $100\text{ M}\Omega$ e/ou habilite “Skip initial transiente solution”
- Utilizando a função FFT, apresente a curva do sinal da saída em função da frequência. Qual a frequência máxima (freq. fundamental) de operação do inversor?
- Qual o tempo total de atraso?
- Qual o tempo total de atraso por inversor?
- Os valores estão coerentes com os tempos de atrasos calculados no item I?
- Refaça o item **b** alterando o valor da alimentação (V_{DD}) para 2V e para 7V e compare as curvas com o resultado do item b, ou seja, com a alimentação original (3V). Monte uma tabela com os resultados obtidos ($V_{DD} \times \text{Freq.}$)
- Explique por que a frequência de operação do oscilador apresenta esse comportamento.

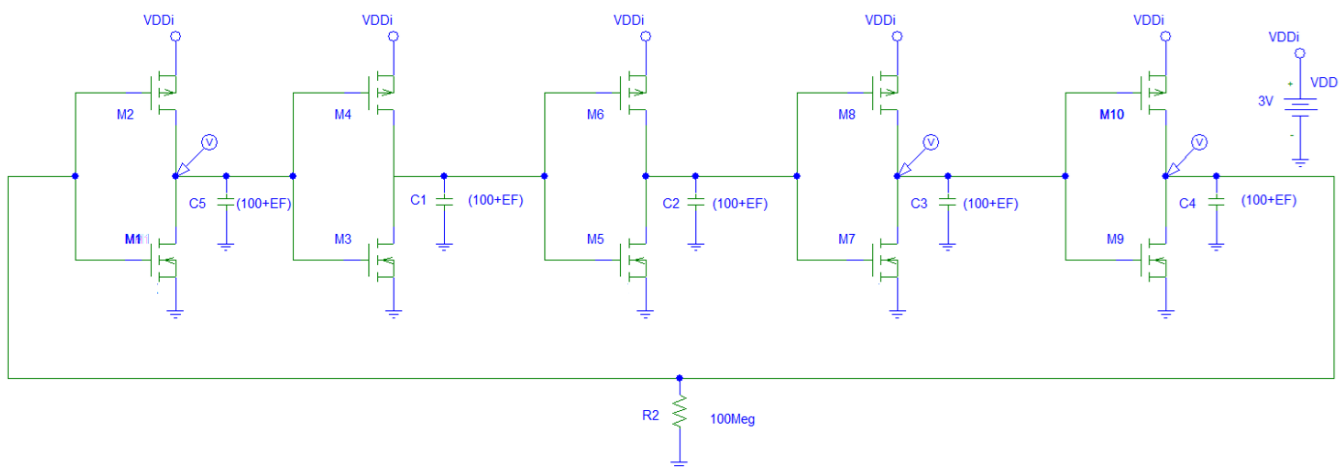
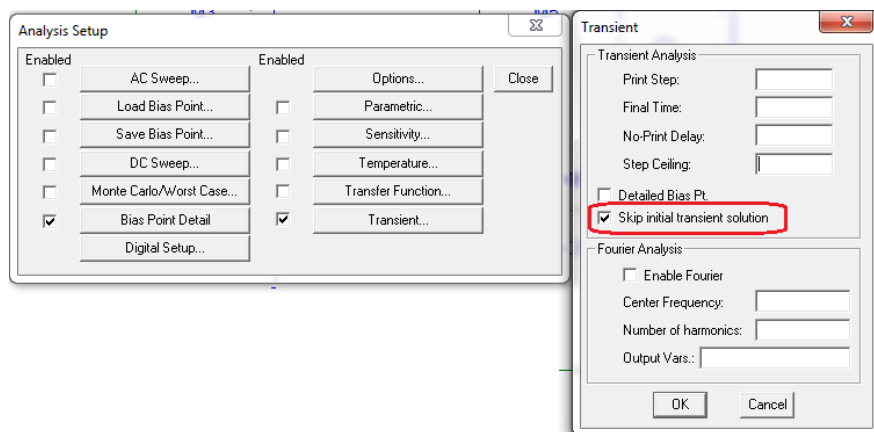


Figura 4 – Oscilador em anel



IV. SIMULAÇÃO SPICE DE UM FLIP FLOP CMOS TIPO SR COM RELÓGIO

Usando os resultados do projeto do *Latch* do item II, monte um *Flip Flop tipo SR com clock* conforme a figura 5.

- Considerando ***os mesmos parâmetros dos inversores*** projetados, encontre o valor mínimo necessário das razões de área dos transistores *SET/RESET* e *Clock* para garantir que o *flip-flop* irá chavear, considerando um valor de $V_{OL} = (V_{DD}/2) - (e/10) V$. *Dica: Considere meio circuito do Flip-Flop.*
- Nestas condições, determine a largura mínima necessária para o pulso de SET.
- Apresente o gráfico da variação da tensão e da corrente de saída (V_Q ou V_{Qb}) em função da tensão de VSET ou VRESET.
- Faça uma simulação em função do tempo considerando todos os casos possíveis da tabela verdade de um *Flip-Flop*. Não é necessário apresentar a condição para SET=RESET=1.

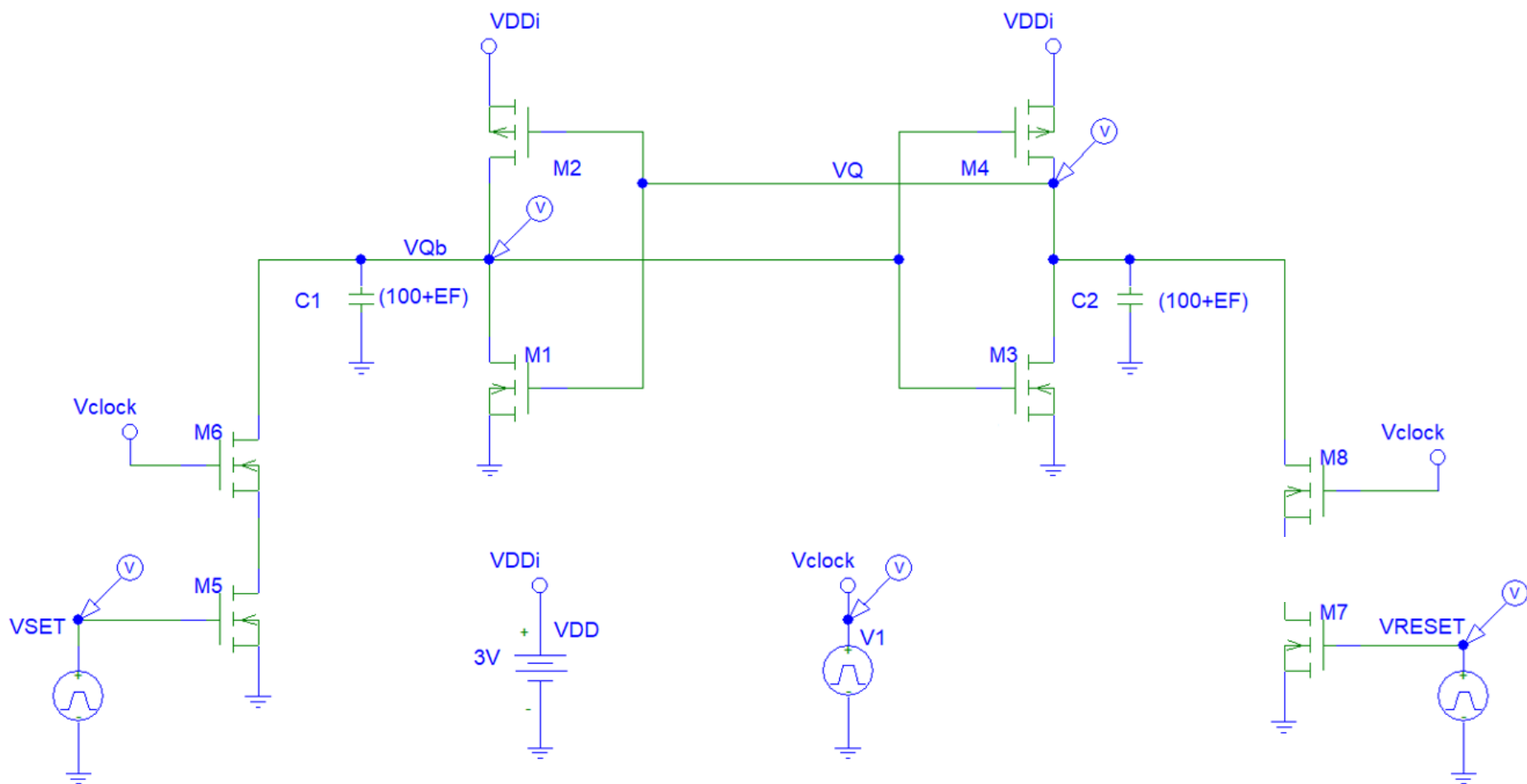


Figura 5 – Flip-flop SR CMOS com relógio