Praktikum Rechnerstrukturen (WS 11/12)

Bogen 1

Mikroprozessorsysteme

Name: .....

Bogen erfolgreich bearbeitet: .....

Department Informatik, AB TAMS
MIN Fakultät, Universität Hamburg
Vogt-Kölln-Str. 30
D22527 Hamburg

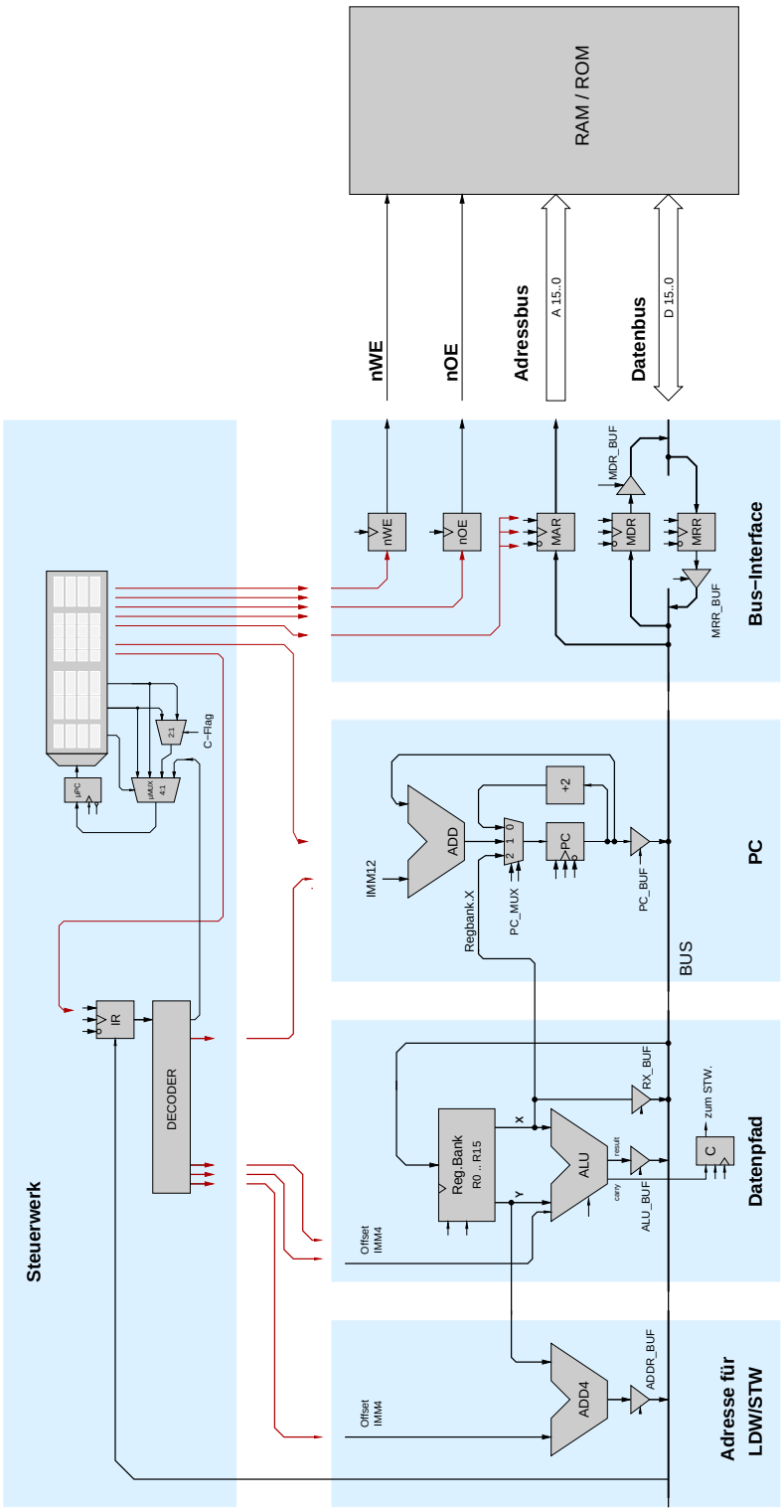


Abbildung 1: Blockschaltbild des D·CORE Prozessors

1 Einführung und Motivation

Ziel des Praktikums *Rechnerstrukturen* ist das Verständnis von Funktion und Struktur eines modernen Mikroprozessorsystems. Um überhaupt mit der Komplexität eines Computers umgehen zu können, hat sich die Einteilung in aufeinander aufbauende Abstraktionsebenen bewährt. In diesem Praktikum werden folgende Ebenen des Gesamtsystems an praktischen Beispielen behandelt: *Assemblerebene*, *Ebene der Maschinensprache*, *Register-Transfer-Ebene*. Die Ebenen oberhalb der Assemblerebene sind dem P-Zyklus vorbehalten, die unteren Ebenen von Schaltwerkebene bis hinunter zur Physik kennen Sie bereits aus der Vorlesung.

Um die Hierarchie der einzelnen Abstraktionsebenen deutlich zu machen, werden alle Aufgaben in einem *bottom-up* Vorgehen aufeinander aufbauen. Am ersten Praktikumstag werden dazu die Komponenten eines einfachen Mikroprozessors erklärt (Register-Transfer-Ebene) und daraus dann am zweiten Tag auf dem Prozessor schrittweise die Befehle, die er verarbeiten können soll, implementiert. (Befehlsarchitektur). Damit können dann erste Assemblerprogramme geschrieben werden, deren Komplexität sich langsam erhöht.

Wegen der gegenüber einem echten Hardwareaufbau besseren Debug-Möglichkeiten werden die folgenden Versuche zunächst mit dem HADES-Simulator durchgeführt, der von **Norman Hendrich** in seiner Zeit am Fachbereich Informatik entworfen und in JAVA implementiert worden ist. HADES ist public-domain-Software und steht bei Interesse unter

tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/index.html

zusammen mit der dazugehörigen Dokumentation zum Download bereit.

Ein wirklich tiefes Verständnis des Simulators ist aber nicht unbedingt erforderlich, weil die Teilschaltungen fast alle bereits fertig aufgebaut sind und lediglich noch vervollständigt werden müssen. Die späteren Aufgaben zur Assemblerprogrammierung werden dann mit einem üblichen Assembler/Debugger durchgeführt.

Aufgabe 1.1: Installation Erstellen Sie zunächst ein Unterverzeichnis für Ihre HADES-Dateien unterhalb von `Eigene Dateien` auf dem Praktikumrechner an.

Um die Zeit der Schaltplaneingabe zu sparen, finden Sie auf unserem Webserver unter `tams-www.informatik.uni-hamburg.de/lectures/2011ws/praktikum/rechprak/t3-hades.zip` ein Archiv mit vorbereiteten Musterdateien für alle nachfolgenden Versuche. Laden Sie das Archiv und entpacken Sie die einzelnen Dateien mit WinZip in Ihr oben erstelltes Benutzerverzeichnis.

Eine Quick-Reference Karte (hades-quick-reference.pdf) mit der Kurzbedienungsanleitung finden Sie ebenfalls auf dem Webserver.

2 D·CORE Prozessor

Um die Funktion eines Computersystems wirklich zu begreifen, hat sich ein *bottom-up* Vorgehen bewährt. Dazu werden Sie in den folgenden Aufgaben schrittweise erst alle Komponenten kennenlernen und dann einen vollständigen Mikroprozessor realisieren — als Simulationsmodell.

Leider sind moderne 32-bit Prozessoren einfach zu komplex, um Sie innerhalb weniger Stunden wirklich verstehen zu können. Dies gilt erst recht für die Intel x86-Architektur mit ihrem komplizierten Befehlssatz und den Spezialaufgaben der einzelnen Register. Aber auch die veralteten 8-bit Architekturen sind nicht optimal: zwar lässt sich die Hardware leicht verstehen, aber dafür wird die Programmierung sehr aufwändig.

Deshalb erscheint eine „saubere“ RISC-Architektur als guter Kompromiss. Unser D·CORE-Prozessor (*demo core*) orientiert sich dabei stark an der M·CORE-Architektur von Motorola, die für Anwendungen in *embedded systems* mit hoher Performance bei minimalem Stromverbrauch entwickelt wurde (etwa Mobiltelefone). Diese wurde 1998 vorgestellt und weist gegenüber älteren Architekturen eine ganze Reihe von Vorteilen auf:

- zwei-Adress RISC-Maschine mit 16 Universalregistern
- extrem einfaches und reguläres Programmiermodell
- keine Spezialregister, keine implizit gesetzten Flags
- umfangreicher und trotzdem übersichtlicher Befehlssatz
- optimale Unterstützung von Interrupts und Exceptions

Trotz der hohen Regularität sind die M·CORE-Prozessoren immer noch viel zu komplex für ein Grundpraktikum. Deshalb verwendet der D·CORE nur 16-bit statt 32-bit Wortbreite und einen reduzierten Befehlssatz. Natürlich sind aber alle wesentlichen Befehle enthalten; und D·CORE-Programme sollten mit wenigen Änderungen auch auf dem M·CORE laufen.

2.1 Programmiermodell

Das Programmiermodell für den D·CORE ist in Abbildung 2 links dargestellt. Es besteht lediglich aus 16 Universalregistern `R0` bis `R15` mit je 16 bit Wortbreite, dem Programmzähler `PC` mit ebenfalls 16-bit, und einem einzelnen Flag-Register `C` (Carry).

Der rechte Teil der Abbildung zeigt die Register, die für die Realisierung des Prozessors zusätzlich benötigt werden, die aber für den Assemblerprogrammierer nicht direkt zugänglich sind. Es handelt sich um das Befehlsregister `IR` (instruction register), und einige Register für das Bus- und Speicherinterface des Prozessors, deren Funktion später sukzessive erläutert wird.

2.2 Befehlssatz

Die Befehls-*Architektur* eines Rechners wird durch seinen Befehlssatz definiert, der alle auf dem Rechner möglichen Operationen exakt beschreibt. Neben der eigentlichen Rechenoperation müssen dabei auch die Ziel- und Quellenoperanden, eventuelle Seiteneffekte, sowie die Befehlskodierung angegeben werden. Meistens gibt es deshalb eine kurze Tabelle zur Übersicht über alle Befehle und eine längere Beschreibung jedes einzelnen Befehls.

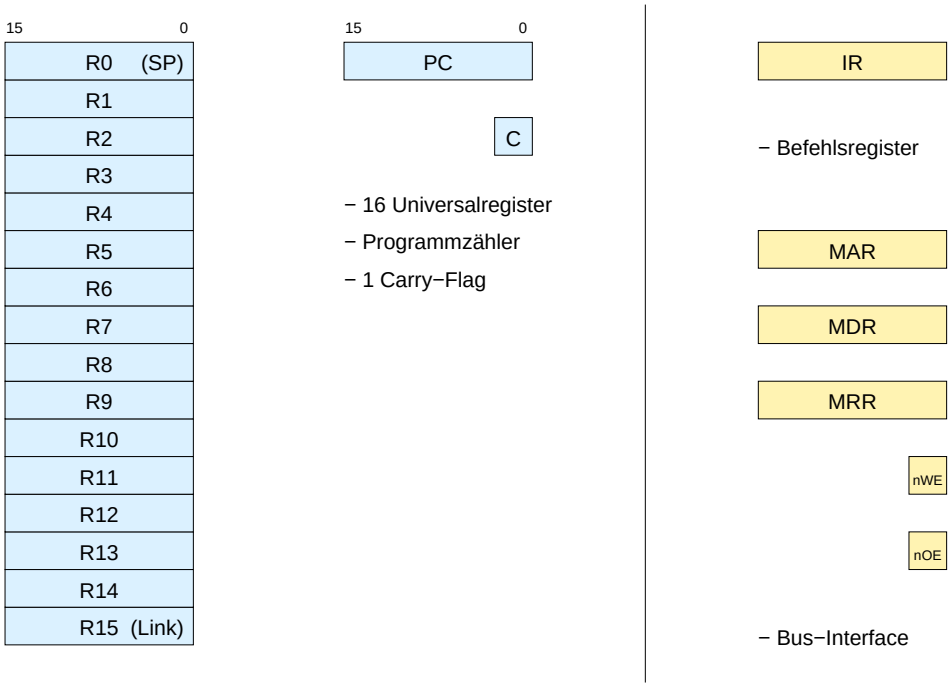


Abbildung 2: Die Architektur (Programmiermodell) des D·CORE Prozessors: Programmzähler `PC`, 16 Universalregister und 1 Carry-Flag (links). Das Befehlsregister `IR` und die zusätzlichen Register des Businterface (`MAR`, `MDR`, `MRR`, `nOE`, `nWE`) sind dagegen nicht für Programme sichtbar (rechts).

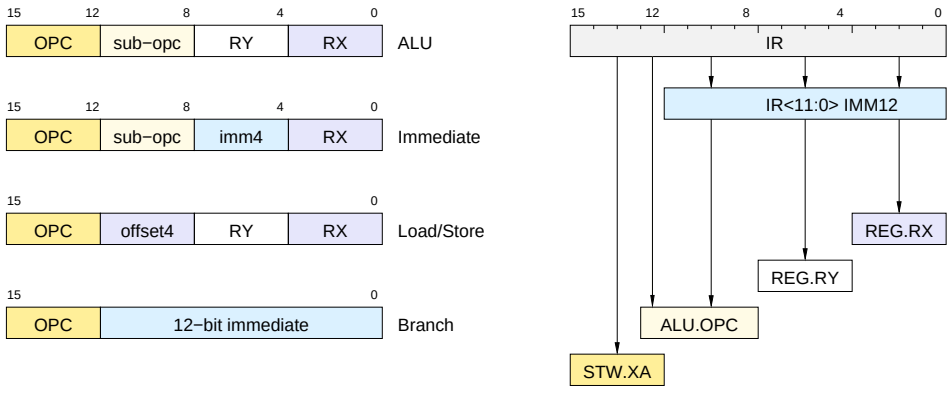


Abbildung 3: Befehlsformate (links) und Dekodierung der einzelnen Felder (rechts)

Mnemonic	Kodierung	Hex	Bedeutung
			ALU-Operationen
mov	0010 0000 yyyy xxxx	20yx	R[x] = R[y]
addu	0010 0001 yyyy xxxx	21yx	R[x] = R[x] + R[y]
addc	0010 0010 yyyy xxxx	22yx	R[x] = R[x] + R[y] + C; (modifiziert C)
subu	0010 0011 yyyy xxxx	23yx	R[x] = R[x] - R[y]
and	0010 0100 yyyy xxxx	24yx	R[x] = R[x] AND R[y]
or	0010 0101 yyyy xxxx	25yx	R[x] = R[x] OR R[y]
xor	0010 0110 yyyy xxxx	26yx	R[x] = R[x] XOR R[y]
not	0010 0111 **** xxxx	27*x	R[x] = NOT R[x]
			Shift-Operationen
lsl	0010 1000 yyyy xxxx	28yx	R[x] = R[x] << R[y].<3:0>
lsr	0010 1001 yyyy xxxx	29yx	R[x] = R[x] >>> R[y].<3:0>
asr	0010 1010 yyyy xxxx	2Ayx	R[x] = R[x] >> R[y].<3:0>
lslc	0010 1100 **** xxxx	2C*x	R[x] = R[x] << 1, C=R[X].15
lsrc	0010 1101 **** xxxx	2D*x	R[x] = R[x] >>> 1, C=R[X].0
asrc	0010 1110 **** xxxx	2E*x	R[x] = R[x] >> 1, C=R[X].0
			Vergleichs-Operationen
cmpe	0011 0000 yyyy xxxx	30yx	C = (R[x] == R[y])
cmpne	0011 0001 yyyy xxxx	31yx	C = (R[x] != R[y])
cmpgt	0011 0010 yyyy xxxx	32yx	C = (R[x] > R[y]) (signed)
cmplt	0011 0011 yyyy xxxx	33yx	C = (R[x] < R[y]) (signed)
			Immediate-Operationen
movi	0011 0100 cccc xxxx	34cx	R[x] = cccc
addi	0011 0101 cccc xxxx	35cx	R[x] = R[x] + cccc
subi	0011 0110 cccc xxxx	36cx	R[x] = R[x] - cccc
andi	0011 0111 cccc xxxx	37cx	R[x] = R[x] AND cccc
lsli	0011 1000 cccc xxxx	38cx	R[x] = R[x] << cccc
lsri	0011 1001 cccc xxxx	39cx	R[x] = R[x] >>> cccc
bseti	0011 1010 cccc xxxx	3Acx	R[x] = R[x] | (1 << cccc) (set bit)
bclri	0011 1011 cccc xxxx	3Bcx	R[x] = R[x] & !(1 << cccc) (clear bit)
			Speicher-Operationen
ldw	0100 cccc yyyy xxxx	4cyx	R[x] = MEM(R[y] + cccc<<1)
stw	0101 cccc yyyy xxxx	5cyx	MEM(R[y] + cccc<<1) = R[x]
			Kontrollfluss
br	1000 iiii iiii iiii	8iii	PC = PC+2+imm12
jsr	1001 iiii iiii iiii	9iii	R[15] = PC+2; PC = PC+2+imm12 (call)
bt	1010 iiii iiii iiii	Aiii	if (C=1) then PC = PC+2+imm12 else PC=PC+2
bf	1011 iiii iiii iiii	Biii	if (C=0) then PC = PC+2+imm12 else PC=PC+2
jmp	1100 **** **** xxxx	C**x	PC = R[x]
halt	1111 **** **** ****	F***	halt andere Opcodes illegal

xxxx: 4-bit Index des Quell- und Zielregisters RX
yyyy: 4-bit Index des Quellregisters RY
cccc: 4-bit Konstante IMM4
iiii: 12-bit sign-extended Konstante IMM12
****: don't care

Tabelle 1: Befehlssatz des D·CORE

Eine möglichst reguläre Struktur des Befehlssatzes vereinfacht nicht nur die Struktur der Prozessor-Hardware, sondern erleichtert auch den Entwurf von Assembler und Compiler. Tabelle 1 enthält die Befehlsliste unseres D·CORE-Prozessors. Es zeigt sich, dass alle Befehle der obige Liste insgesamt nur vier verschiedene *Befehlsformate* verwenden, die in Abbildung 3 dargestellt sind. In allen Befehlen werden die obersten vier Bits 15..12 für den *Opcode* verwendet; das Quell- und Zielregister `RX` wird durch Bits 3..0 adressiert. Die einzelnen Felder lassen sich also trivial aus dem Befehlswort dekodieren. (Zum Vergleich: M·CORE verwendet 14 verschiedene Befehlsformate, um die 65536 möglichen Befehlsworte möglichst optimal ausnutzen zu können.)

3 Zahlendarstellungen

Bevor wir die einzelnen Hardware-Komponenten unseres D·CORE-Processors besprechen, soll in diesem Abschnitt noch einmal kurz darauf eingegangen werden, wie Zahlen üblicherweise codiert werden.In der Vorlesung wird das offenbar nicht immer völlig klar, für das Verständnis der Vorgänge auf der niederen Ebene ist es aber wichtig, sich klar zu machen, wie z.B. negative Zahlen dargestellt werden.

Bemerkung: Auch wenn unser D·CORE-Prozessor intern mit 16 Bit breiten Zahlen arbeitet, werden wir uns hier mit vier Bit breiten Zahlen begnügen. Eine Verallgemeinerung der hier gemachten Aussagen auf größere Bitbreiten sollte leicht möglich sein.

Viele höheren Programmiersprachen – aber z.B. nicht JAVA – kennen die beiden Datentypen **integer** für vorzeichenbehaftete Zahlen und **unsigned** für Zahlen ≥ 0. In vier Bit würde der Typ **unsigned** also üblicherweise repräsentiert werden durch folgen Bitkombinationen:

Zahl	binär	Zahl	binär
0	0000	8	1000
1	0001	9	1001
2	0010	10	1010
3	0011	11	1011
4	0100	12	1100
5	0101	13	1101
6	0110	14	1110
7	0111	15	1111

Für den Datentyp **integer** sind allerdings verschiedene Codierungen denkbar, von denen wir drei betrachten wollen.

3.1 Darstellung durch Vorzeichen und Betrag

Dies ist die Darstellung, an die man spontan denken würde, weil man sie vom Dezimalsystem her kennt. Übertragen auf das Binärsystem bedeutet dies, dass das höchstwertigste Bit als Vorzeichen interpretiert wird und die restlichen drei Bit als Betrag der Zahl. Man hätte dann also folgende Tabelle:

Zahl	binär	Zahl	binär
0	0000	(-0)	1000
1	0001	-1	1001
2	0010	-2	1010
3	0011	-3	1011
4	0100	-4	1100
5	0101	-5	1101
6	0110	-6	1110
7	0111	-7	1111

Es fällt sofort auf, dass es eine "negative Null" gibt, d.h. eines der Bitmuster repräsentiert keine sinnvolle Zahl. Außerdem muss bei arithmetischen Operationen bekannt sein, um was für einen Datentyp es sich handelt. Z.B. sollte gelten 0001 + 1001 = 1010, wenn es sich um Zahlen vom Typ **unsigned** handelt, aber 0001 + 1001 = 0000 beim Datentyp **integer**. D.h. auf der Ebene der Hardware braucht man entweder zwei verschiedene Addierwerke oder man muss die Zahlen erst einmal konvertieren, was wertvolle Zeit kostet. Aus diesen Gründen ist die Darstellung als Vorzeichen und Betrag unüblich.

3.2 Darstellung im Einerkomplement

Negative Zahlen werden hier so dargestellt, dass sie das Einerkomplement der entsprechenden positiven Zahl sind (Invertieren aller Bits). Man erhält dann folgende Codierung.

Zahl	binär	Zahl	binär
0	0000	(-0)	1111
1	0001	-1	1110
2	0010	-2	1101
3	0011	-3	1100
4	0100	-4	1011
5	0101	-5	1010
6	0110	-6	1001
7	0111	-7	1000

Auch hier fällt wieder die Existenz einer "negativen Null" auf. Was die Arithmetik angeht, hat sich die Situation allerdings etwas gebessert: 0001 + 1001 = 1010 liefert sowohl für den Datentyp **unsigned** als auch für den Datentyp **integer** das richtige Ergebnis. Dies ist immer der Fall, solange einer der Operanden nicht die negative Null ist, sodass man wieder einen störenden Spezialfall zu betrachten hat. Trotzdem hat es in der Frühzeit des Computerbaus wirklich Rechner gegeben, die intern mit dieser Zahlendarstellung gearbeitet haben.

3.3 Darstellung im Zweierkomplement

Negative Zahlen werden hier so dargestellt, dass sie das sog. Zweierkomplement der entsprechenden positiven Zahl sind (Invertieren aller Bits und Addition von Eins oder Subtraktion von Eins und dann Invertieren aller Bits). Man erhält dann folgende Codierung.

Zahl	binär	Zahl	binär
0	0000	-8	1000
1	0001	-1	1111
2	0010	-2	1110
3	0011	-3	1101
4	0100	-4	1100
5	0101	-5	1011
6	0110	-6	1010
7	0111	-7	1001

Dies ist die allgemein übliche Darstellung von Zahlen vom Typ **integer** in einem Rechner, die auch wir verwenden werden. Der kleine Mangel, dass es zur -8 keine entsprechende positive Zahl gibt, fällt kaum ins Gewicht. Viel wichtiger ist, dass man bei der arithmetischen Operationen auf der Ebene der Hardware nicht mehr zwischen den beiden Datentypen **unsigned** und **integer** zu unterscheiden braucht. Mathematisch lässt sich dies dadurch erklären, dass man im Restklassenring modulo 16 rechnet und einfach verschiedene Repräsentanten der Klassen wählt. Auch wenn kaum jemand auf die Idee kommen würde, möglich wäre in einer Zweierkomplement-Darstellung auch folgende Interpretation der Bitmuster:

Zahl	binär	Zahl	binär
0	0000	8	1000
1	0001	9	1001
2	0010	10	1010
3	0011	-5	1011
4	0100	-4	1100
5	0101	-3	1101
6	0110	-2	1110
7	0111	-1	1111

Auch dann würde die Arithmetik (bis auf immer mögliche Bereichsüberschreitungen) immer noch richtig funktionieren.

3.4 Zahlen im Hexadezimal-System

Wenn man mit einer größeren Bitbreite als 4 arbeitet, ist es im Dualsystem lästig, z.B. 16 Nullen und Einsen aufschreiben zu müssen. Man geht daher gerne zum Hexadezimal-System über, d.h. einem Zahlensystem zur Basis 16. Die Umrechnung von einer Binärzahl zu einer Hexadezimalzahl und umgekehrt ist dabei nicht schwierig, wie wir sehen werden.

Betrachten wie zunächst ein "exotisches" Beispiel, das trotzdem deutlich macht, warum das angebene Verfahren funktioniert:

Die Dezimalzahl 1234567890 soll in eine Zahl zur Basis 100 konvertiert werden. Im Hunderter-System gebe es dabei die Ziffern **[00]**, **[01]**, ..., **[99]**.
Weil 100 eine Potenz von 10 ist, ist dies offenbar eine (fast) triviale Aufgabe. Es ist

$$(1234567890)_{10} = (\textbf{[12][34][56][78][90]})_{100}$$

Weil nun 16 eine Potenz von 2 ist, ist die Umrechnung einer Binärzahl in eine Hexadezimalzahl und umgekehrt ähnlich einfach, indem man den Bitkombinationen 0000, 0001, ... 1111 die Hexadezimalziffern 0,1,... 9, A, B, C, D, E, F zuordnet. Es ist also z.B.

$$(1100\,0001\,0110\,1001)_2 = (C169)_{16}$$

Aufgabe 3.1: Umrechnung von Zahlen

Vervollständigen Sie folgende Tabelle

binär	hexadezimal
`1000 1100 1110 0001`	
`1010 0101 1001 0110`	
	`A106`
	`1248`

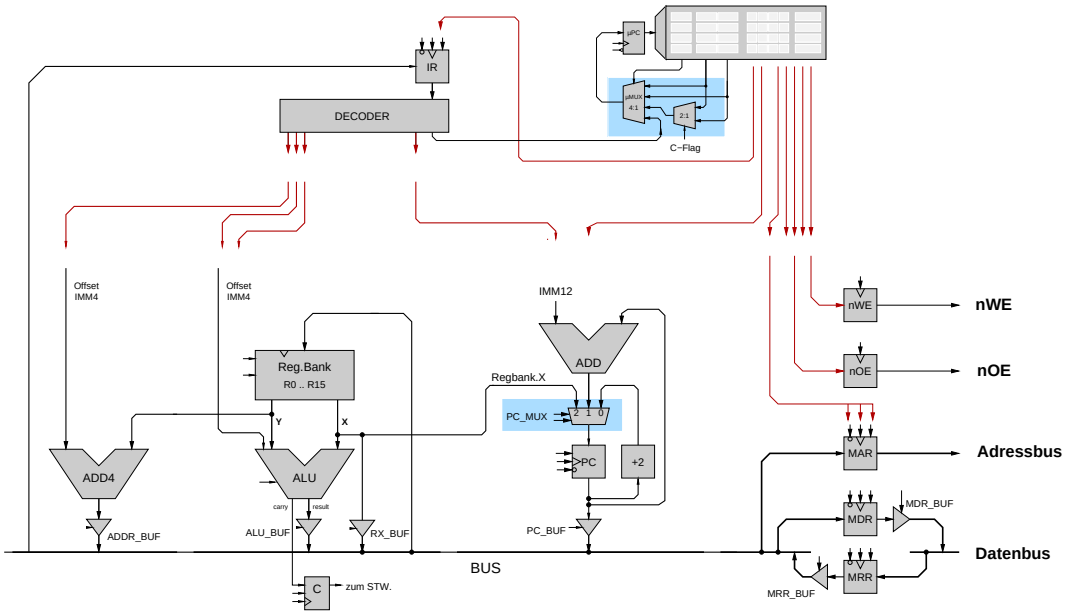
Vervollständigen Sie folgende Tabelle (alle Angaben im Hexadezimalsystem und vom Typ **integer**)

A	-A (Vorzeichen/Betrag)	-A (Einerkomplement)	-A (Zweierkomplement)
0001			
FFF0			

4 Komponenten des D·CORE-Prozessors

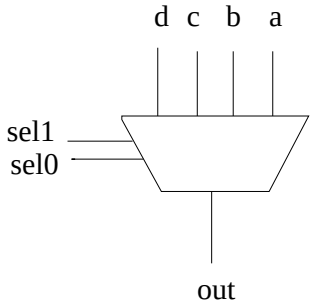
Wir wollen jetzt nacheinander die Komponenten aus dem Schaltbild des D·CORE-Prozessors von Abbildung 1 betrachten.

4.1 Multiplexer



Multiplexer finden sich an den farbig unterlegten Stellen im Schaltbild. Sie dienen dazu, um in Abhängigkeit von Steuersignalen einen ihrer Eingänge auf den Ausgang durchzuschalten.

Ein 4-zu-1-Multiplexer wie in folgenden Bild



hat also folgende Funktion

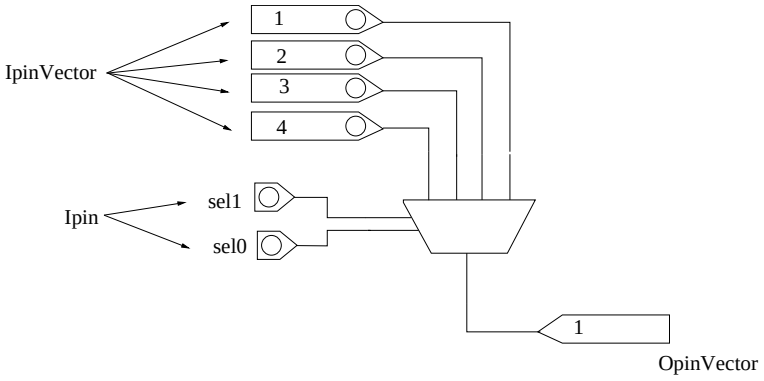
```
case  sel
  ‘‘00’’:  out:= a;
  ‘‘01’’:  out:= b;
  ‘‘10’’:  out:= c;
  ‘‘11’’:  out:= d;
end case;
```

Frage Wie viele Bit brauchen Sie für das Steuersignal mindestens, wenn Sie eine Auswahl unter a) 8, b) 32 und c) 7 Eingängen treffen wollen?

Wie viele Eingänge können Sie höchstens multiplexen, wenn Ihr Steuersignal 8 Bit breit ist?

Aufgabe 4.2: Multiplexer

Starten Sie den Hades-Simulator und laden Sie das Design `multiplexer.hds` (Menue **File** und **Open**). Sie sollten ungefähr folgendes Bild sehen:



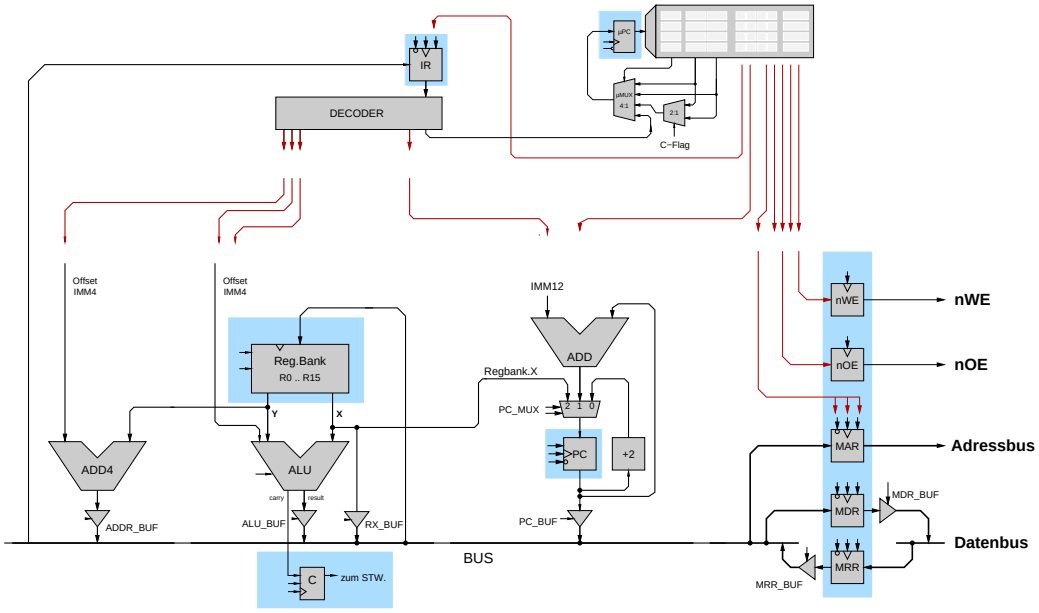
Ein sog. *Ipin* dient dabei als Eingang für ein Signal, das ein Bit breit ist. Die beiden *Ipins* sollten dabei zu Anfang die Farbe Blau haben als Zeichen, dass ihnen noch kein Wert zugewiesen worden ist (weder eine logische **0** noch eine logische **1**). Ändern lässt sich dies, indem man auf den *Ipin* klickt. Eine graue Farbe entspricht einer logischen **0**, rot einer **1**.

Über den *Ipins* befinden sich vier *IpinVectors* zur Eingabe von Signalen, die mehr als ein Bit breit sind (im konkreten Fall 16 Bit). Wenn man mit der linken Maustaste auf einen *Ipinvector* klickt, erhöht sich sein Wert um Eins, wenn man gleichzeitig die Shift-Taste gedrückt hält, erniedrigt er sich um Eins. Eine andere Möglichkeit, den Wert zu ändern, besteht darin, mit der rechten Maustaste auf den *IpinVector* zu klicken. Es öffnet sich dann ein Menue, aus dem man den Eintrag **Edit** auswählen kann, über den sich einige Parameter einstellen lassen, inbesondere auch der Ausgabewert (Output-Value).

Als Ausgabe dient ein Element des Typs *OpinVector*.

Spielen Sie ein wenig mit der Schaltung herum und machen Sie sich dabei noch einmal die Funktion eines Multiplexers klar.

4.2 Flipflops und Register



Flipflops und Register finden sich an den farbig unterlegten Stellen im Schaltbild. Wie aus der Vorlesung bekannt dient ein *Flipflop* dazu, einen ein Bit breiten logischen Wert (**0** oder **1**) zu speichern.

Aufgabe 4.3: Flipflops und Register in Hades

Laden Sie das Design `Register.hds`. Ganz oben findet sich ein D-Flipflop (von Data-Flipflop), mit dem Sie diese Funktion noch einmal nachvollziehen können. Es gibt zwei Eingänge *Data* und *Clock* (Takt) und zwei Ausgänge *Q* und *nQ*, die immer invers zueinander sind. Bei einem **0** → **1** Übergang auf dem Takteingang (Vorderflanke) wird der Wert von *Data* gespeichert und auf dem Ausgang *Q* ausgegeben.

Zwei Flipflops in dieser einfachen Form sind im Schaltbild rechts zu finden und dienen zum Speichern der Signale *nWE* und *nOE*.

Darunter befindet sich ein komplizierteres D-Flipflop, wie es im Schaltbild beim Flipflop *C* und in den Registern *µPC, PC* und *IR* verwendet wird. Wie man sieht, gibt es noch zwei weitere Eingänge *Enable* und *nReset*.
Wenn am Eingang *nReset* eine **0** anliegt, liefert der Ausgang *Q* unabhängig von den anderen Eingängen eine **0**. Damit kann das Flipflop in einen definierten Anfangszustand gebracht werden.
Der Eingang *Enable* dient dazu, das Einspeichern eines neuen Werts bei einer Vorderflanke auf dem Takteingang zu unterbinden. Nur bei einer **1** am Enable-Eingang wird der Wert, der am D-Eingangs liegt, mit der nächsten Vorderflanke des Taktes wirklich übernommen.

a) Vollziehen Sie dieses Verhalten bitte nach, indem Sie etwas mit dem Hades-Modell experimentieren.

Ein *Register* ist eine Anzahl von Flipflops, die alle den gleichen Takt, Enable und Reset, aber unterschiedliche Daten-Eingänge haben.

Im Beispiel-Design befindet sich ein Register, das einen 16-Bit breiten Wert aufnehmen kann, weshalb am Dateneingang ein IpinVector und am Ausgang ein OpinVector angeschlossen ist.

b) Vollziehen Sie auch hier das Verhalten bitte nach, indem Sie etwas mit dem Hades-Modell experimentieren.

Unter dem Register befindet sich noch eine *Registerbank*, wie sie auch in unserem Prozessordesign verwendet wird, d.h. eine Ansammlung von (hier 16) Registern, die alle denselben Takt *(Clock)* haben.
Man beachte, dass es kein *Reset*-Signal gibt, mit dem sich die Register auf einen definierten Anfangswert setzen lassen.
Weiterhin ist hier das *Enable*-Signal low-aktiv, d.h. für eine **0** wird bei der nächsten Vorderflanke auf der Takt-Leitung etwas in die Registerbank geschrieben und zwar in das Register, das mit dem Eingang *SelX* ausgewählt wurde.
Die Registerbank hat zwei Ausgänge, auf die sich über die Eingänge *SelX* und *SelY* Werte aus der Registerbank legen lassen.

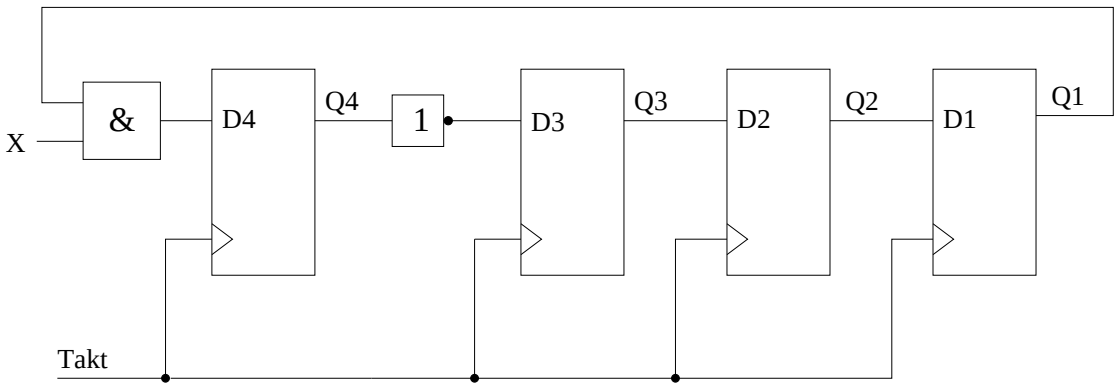
c) Vollziehen Sie bitte auch dieses Verhalten nach, indem Sie mit dem Hades-Modell experimentieren. Den Inhalt der Registerbank können Sie sich ansehen, wenn Sie mit der rechten Maustaste darauf klicken und **Edit** wählen.

Aufgabe gelöst: .....

4.3 Exkurs – Schaltwerke

Eine Schaltung, die Flipflops enthält, wollen wir etwas ungenau ein *Schaltwerk* nennen und die Werte der Q-Ausgänge der Flipflops den *Zustand* des Schaltwerks. Schon das einfachste Beispiel eines flankengesteuerten D-Flipflops, dessen Q-Ausgang über einen Inverter auf seinen D-Eingang zurückgeführt wird, zeigt, dass die Ausgabe eines Schaltwerks vom Zustand abhängt, in dem es sich gerade befindet, und anders als bei einem sog. *Schaltnetz* nicht nur von seinen externen Eingaben.

Wie ein Blick auf den Schalplan des D·CORE-Prozessors zeigt, ist er im Grunde ein großes Schaltwerk mit einer riesigen Zahl von Zuständen. Wir wollen uns hier nicht mit dem Entwurf solcher Schaltwerke beschäftigen, aber doch wenigstens eine einfache Schaltung dieser Art betrachten, die neben dem Takt nur einen externen Eingang **X** hat.



Aufgabe 4.4: Zustände eines Schaltwerks

Bestimmen Sie die Zustände, die durchlaufen werden, wenn dieses Schaltwerk zu Anfang den Zustand 0000 beginnt hat und dann getaktet wird. Beachten Sie dabei, dass die Flipflops **gleichzeitig** schalten, wenn auf dem Takteingang eine Vorderflanke kommt!

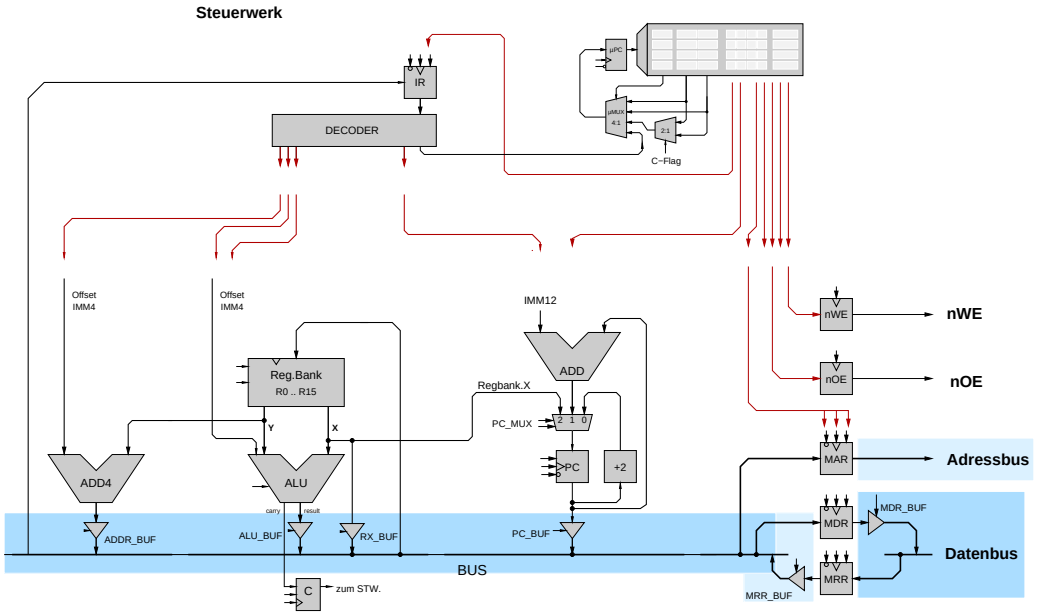
Für **X= 0**

Taktzyklus	Zustand
0	0000
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

Für **X= 1**:

Taktzyklus	Zustand
0	0000
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

4.4 Busse und Tristate-Treiber



Busse und sog. Tristate-Treiber finden sich an den farbig unterlegten Stellen im Schaltbild.

Ein Bus ist dabei einfach ein Leitungsbündel, in dem innerhalb der Schaltung an verschiedenen Stellen sowohl lesend als auch schreibend auf dasselbe Signal zugegriffen wird.

Wie man sieht, dient z.B. der Bus mit Namen **BUS** als Eingang für die Register IR, MAR, MDR und die Registerbank, wobei dann natürlich über die entsprechenden Enable-Signale gesagt werden muss, ob der Wert wirklich übernommen werden soll.

Dieser lesende Zugriff auf den Bus ist elektrisch im Normalfall völlig unkritisch. Anders sieht es aus, wenn man von verschiedenen Stellen auf dieselbe Leitung schreiben möchte. Weil jeder Ausgang entweder eine **0** oder eine **1** liefert, kann es zu Kurzschlüssen zwischen einer niedrigen Spannung und einer hohen Spannung kommen, die im schlimmsten Fall die Schaltung zerstören, auf jeden Fall aber meist zu falschen Ergebnissen führen. Man muss also irgendwie eine Möglichkeit finden, um sicherzustellen, dass immer nur genau ein Ausgang auf dieselbe Leitung schreibt.

Eine Möglichkeit wäre es, alle Ausgänge erst einmal auf einen Multiplexer zu führen und dessen Ausgang dann in Abhängigkeit von Steuersignalen auf den Bus zu schalten. Aus einer Reihe von Gründen ist diese Lösung aber nicht besonders attraktiv, weil man erst einmal alle Ausgänge zu diesem zentralen Multiplexer führen muss. Das Einstecken einer Karte in einen PC wäre dann also damit verbunden, dass man erst einmal ein mehr oder weniger breites Kabel stecken muss, dass die Verbindung zwischen Karte und Multiplexer herstellt, wobei man auch noch genau darauf achten muss, dass man den richtigen Eingang wählt.

Eine bessere Lösung des Problems stellen sog. **Tristate-Treiber** dar, die einen direkten Anschluss des Ausgangs an den Bus ermöglichen. Im Schaltplan sind dies die Elemente mit den Namen ADDR_BUF, ALU_BUF, RX_BUF, PC_BUF, MRR_BUF und MDR_BUF. Einen Tristate-Treiber kann man sich dabei als einen Schalter vorstellen, der in Abhängigkeit von einem Steuersignal eine leitende Verbindung von seinem Daten-Eingang zu seinem Ausgang herstellt oder auch nicht. Im zweiten Fall liefert der Ausgang weder eine **0** noch eine **1**, sondern man sagt, er sei als dritter möglicher Zustand hochohmig (daher der Name Tristate). Es ist klar, dass dieses Konzept nur funktioniert, wenn

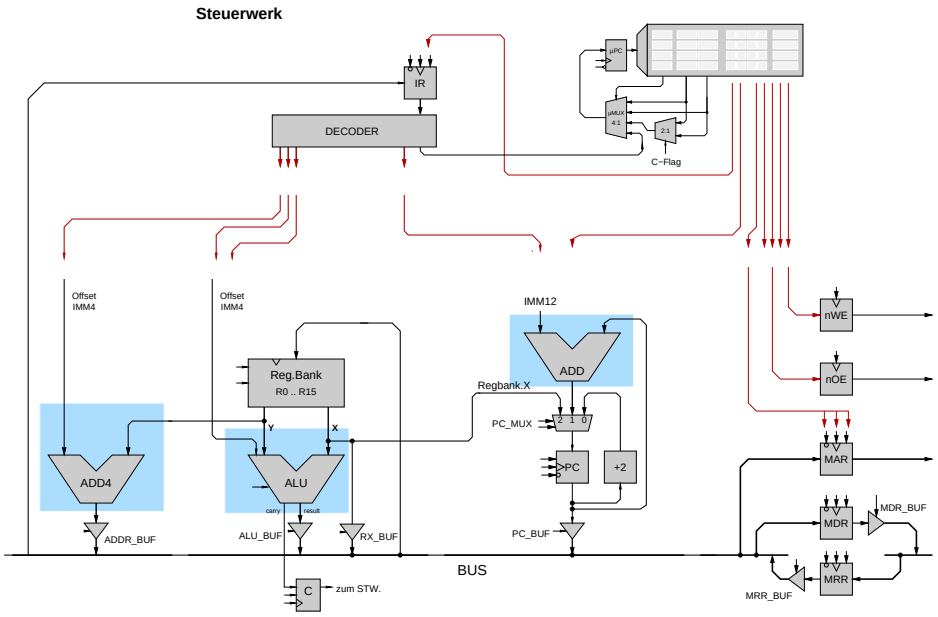
sichergestellt ist, dass nur höchstens einer der Tristate-Treiber einen Wert auf den Bus schaltet, weil es sonst doch wieder zu Kurzschlüssen kommen kann.

Aufgabe 4.5: RT-Komponenten in Hades Öffnen Sie das Hades-Design `components.hds`. Es demonstriert verschiedene elementare RT-Komponenten: Schalter, Register, Register mit Enable, Tristate-Treiber, einen Bus mit drei Treibern, einen Inkrementer, der seinen Eingangswert um Eins erhöht.

Versuchen Sie jetzt, durch geeignete interaktive Ansteuerung der Steuerleitungen einige Werte aus dem Eingabe-Schalter `I` in das Register `X` und aus `J` nach `Y` zu übertragen. Beachten Sie, dass Sie den Bus durch Ansteuerung der Tristate-Treiber auch ganz abschalten (Z) oder kurzschließen können (X).

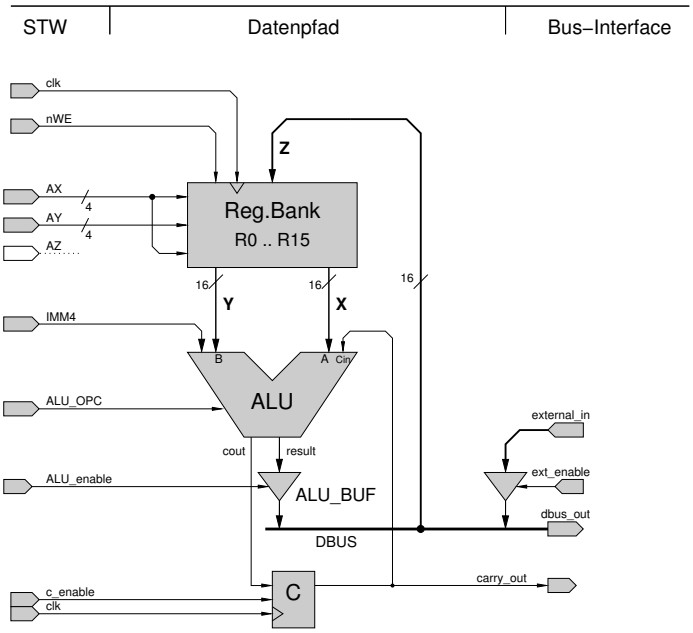
Aufgabe gelöst: .....

4.5 ALU, Addierer



Zwei Addierer und eine sog. ALU finden sich an den farbig unterlegten Stellen im Schaltbild.

Die Funktion eines Addierers sollte klar sein (es werden einfach die an den beiden Eingängen liegenden Werte addiert).
Eine ALU (**A**rithmetical-**L**ogical-**U**nit) kann viel mehr, nämlich in Abhängigkeit von einigen Steuersignalen eine Vielzahl arithmetischer, logischer und Schiebe-Operationen ausführen.



ALU_OPC	Result, Carry
0 0000	B
0 0001	A + B
0 0010	A+B+Cin,update C
0 0011	A − B
0 0100	A AND B
0 0101	A OR B
0 0110	A XOR B
0 0111	NOT A
0 1000	A << B.<3:0>
0 1001	A >>> B.<3:0>
0 1010	A >> B.<3:0>
0 1011	undefined
0 1100	A << 1, C = A.<15>
0 1101	A >>> 1, C = A.<0>
0 1110	A >> 1, C = A.<0>
0 1111	undefined
1 0000	A, C = (A == B)
1 0001	A, C = (A != B)
1 0010	A, C = (A > B)
1 0011	A, C = (A < B)
1 0100	IMM4
1 0101	A + IMM4
1 0110	A − IMM4
1 0111	A AND IMM4
1 1000	A << IMM4
1 1001	A >>> IMM4
1 1010	set bit IMM4 in A
1 1011	clear bit IMM4 in A
1 11**	undefined

Abbildung 4: Datenpfad des D·CORE Prozessors: Registerbank, zentrale ALU und Carry-Flag. Adressen, ALU-Opcode und Takte werden später vom Steuerwerk geliefert.

Was die ALU, die wir für unseren Prozessor verwenden, kann, zeigt die Tabelle aus Abbildung 4. Dabei werden die fünf Bits 12 bis 8 des Befehlsworts (siehe Seite 3 und 4) später direkt als ALU-Opcode verwendet. Man beachte dabei noch, dass ”>>>” einen **logischen** Shift bezeichnet (Nullen werden nachgeschoben), ”>>” dagegen einen **arithmetischen** Shift (das ganz links stehende ’Vorzeichen’-Bit 15 ändert sich nicht). Beispiel: $(1000)_2 >>> 1 = (0100)_2$ aber $(1000)_2 >> 1 = (1100)_2$.
Mit den Befehlen ’Set bit’ und ’Clear Bit’ kann man genau ein Bit im Operanden A setzen bzw. löschen.
Man beachte weiter, dass Vergleichsoperationen **vorzeichengerecht** durchgeführt werden, also z.B. gilt $(FFFF)_{16} < 0)$ und $2 > (FFF0)_{16}$.

Die in Abbildung 4 neben der Tabelle gezeigte Teilschaltung unseres D·CORE-Prozessors ist für eine moderne Registermaschine typisch. Kernstück ist die Registerbank, in der die Universalregister untergebracht sind. Die Inhalte der über die *Adressports* `AX` und `AY` ausgewählten Register werden auf den *Leseports* `X` und `Y` dauernd ausgegeben. Sofern die *write-enable* Leitung aktiviert (low!) ist, wird mit der Vorderflanke von `clk` der gerade am *Schreibport* `Z` anliegende Wert in das über `AZ` adressierte Register geschrieben.

Natürlich ist es wünschenswert, über möglichst viele Register zu verfügen und außerdem die Operanden und das Ziel jeder Alu-Operation unabhängig voneinander wählen zu können, zum Beispiel `R3 = R2 + R1` (eine *Drei-Adress-Maschine*). Das ist bei 32-bit Prozessoren auch kein Problem, denn die notwendigen Bits für die Registeradressen des Zielregisters und der zwei Quellregister passen problemlos in ein 32-bit Befehlswort hinein — zum Beispiel werden bei 32 Registern $3 \cdot \log_2 32 = 15$ Bits für die Adressen benötigt.

In ein 16-bit Befehlswort wie im D·CORE (siehe Seite 2) passt das aber nicht hinein, da nur Platz für zwei Befehle bliebe. Deshalb verfügt D·CORE nur über 16 Register und gleichzeitig wird das Zielregister immer auch als ein Quellregister verwendet; also zum Beispiel `R2 = R2 + R1`. In der Hardware

sind dazu an der Registerbank einfach die Adressleitungen `AX` und `AZ` miteinander verbunden.

Die ALU kombiniert die Logik für Addition, die logischen Operationen, und einen Shifter. Sie verfügt über insgesamt 26 verschiedene Funktionen, die über den Eingang `ALU_OPC` ausgewählt werden.

Anders als in den meisten älteren Architekturen gibt es im D·CORE nur genau ein Flag-Register; und dieses wird auch nur durch bestimmte Befehle (`ADDC`, die Vergleichsbefehle, und die 1-Bit Shift-Befehle) von der ALU neu berechnet — für die übrigen Befehle reicht die ALU einfach den alten Wert von `Cin` nach `C` durch. Einmal gesetzt, wird der Wert im `C`-Register also nicht automatisch von allen folgenden Befehlen überschrieben.

Beachten Sie übrigens das gewählte Abstraktionsniveau der *Register-Transfer-Ebene* mit Komponenten wie Register, Multiplexer, ALUs, Speicher. Wichtig ist hier nur die Speicherung und der Transfer von Registerinhalten, nicht aber die eigentliche Realisierung der Komponenten aus Hunderten oder Tausenden von einzelnen Logikgattern.

Aufgabe 4.6: ALU-Operationen Trage Sie in folgender Tabelle ein, was die ALU für folgende Eingaben am Ausgang liefern würde. Alle Zahlen sind hexadezimal zu verstehen:

ALU_OPC	A	B / imm4	Cin	Result	Cout
00	FFFF	0000	0		
01	FFFF	0002	0		
01	000A	0006	1		
02	000A	0006	1		
03	0001	0002	0		
04	1234	000F	1		
05	1234	000F	0		
06	0770	673B	0		
07	FFFF	0001	1		
08	0001	0001	1		
09	F000	0001	0		
0A	F000	FFF1	0		
0C	AFFE	000F	0		
0D	8000	000F	1		
0E	8000	000F	0		
10	FFFF	2222	1		
11	FFFF	2222	1		
12	FFFF	2222	1		
13	FFFF	2222	1		
14	0006	0004	1		
15	0006	0004	1		
16	0006	0004	1		
17	0006	0004	1		
18	0006	0004	1		
19	0006	0004	1		
1A	0006	0004	1		
1B	0006	0004	1		

Eine Web-Seite, mit der Sie ihre ergebnisse testen können, findet sich unter der URL

tams-www.informatik.uni-hamburg.de/lectures/2011ws/praktikum/rechprak/testerDOM.html

Aufgabe 4.7: Initialisierung der Register Öffnen Sie das Hades-Design `datapath.hds`. Es enthält die Registerbank, das Carry-Register und die ALU. Außerdem sind die Kontrollsignale der Register und der ALU direkt mit Schaltern verbunden und können interaktiv bedient werden. Für die möglichen Operationen, die die ALU ausführen kann, sei noch einmal auf Abbildung 4 verwiesen.

Öffnen Sie durch Klicken auf die Registerbank mit der rechten Maustaste den Editor, um die Registerinhalte direkt anzuzeigen (Verkleinern Sie eventuell das Hades-Fenster, um beide Fenster nebeneinander anordnen zu können). Zu Beginn der Simulation können diese Werte ebenso wie der Ausgabewert der ALU undefiniert sein. Schalten Sie jetzt die ALU durch geeignete Werte an `ALU_OPC` und `ALU_IMM` auf die Ausgabe `Null`), wählen Sie die Register-Zieladresse `0` aus, aktivieren Sie das Write-Enable der Registerbank (active low!) und sorgen dafür, dass der Ausgang der ALU auf den Bus geschaltet wird. Beim nächsten Taktimpuls wird dann `R0` auf den Wert `0` gesetzt. Initialisieren Sie auf diese Weise noch die Register `R11` und `R12` mit dem Wert `0` und die Register `R13` bis `R15` mit dem Wert `1`. Spielen Sie anschließend ein bisschen mit den Steuerleitungen herum, um die Funktion der Registerbank und der ALU zu verstehen.

Aufgabe 4.8: Einfache ALU-Operationen Überlegen Sie sich jetzt, wie Sie durch entsprechende Bedienung der Steuersignale nacheinander die einzelnen Register auf die folgenden Werte setzen können: `R0=0`, `R1=1`, `R2=2`, `R3=4`, `R4=8`, ..., `R10=0200h` (512d). Achtung: Verwenden Sie *nicht* den externen Eingang, dieser dient nur als Platzhalter für den Rest des Prozessors, etwa zum Laden der Register aus dem Speicher. Probieren Sie Ihr „Programm“ schrittweise am Simulator aus.

Dokumentieren Sie, welche Operationen dazu nacheinander ausgeführt werden müssen (Registeradressen `AX` und `AY`, Alu-Operation, Takte, etc.), da das Programm später noch einmal benötigt wird.

Schritt	ALUOP	AY	AX
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			
11			
12			
13			
14			
15			
16			

Aufgabe gelöst: .....