12주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20211522 이름: 김정환

**1.**

.................

Counter는 숫자를 세는 회로로, Clock마다 정해진 bit의 2진수가 1씩 증가하도록 하는 회로이다. 이는 보통 Flip-Flop으로 구현하는데, 이전 주차의 실습에서 했듯 Flip-Flop은 1 bit를 저장하는 회로이므로 보통 각 Flip-Flop마다 1 bit씩 저장하며 Flip-Flop의 개수만큼의 bit 수를 저장하게 된다. 4 bit Binary Counter는 4개의 Flip-Flop으로 구현할 수 있다. 모두 합친 출력 값은 0부터 15까지의 출력 값으로 Clock에 따라서 하나씩 올라가며, 15에 도달하였을 때는 다시 0으로 되돌아간다. 해당 회로를 블록으로 나타낸 회로도는 아래와 같다.

도표, 라인, 평면도이(가) 표시된 사진

자동 생성된 설명

이 경우에는 진리표는 아래와 같이 나타낼 수 있다. 여기서 Q0 ~ Q3의 출력이 2진수에서 각각의 bit를 나타내고 입력으로 Clock Pulse가 들어오는 것도 볼 수 있다. 또한 해당 경우에는 JK Flip-Flop으로 구현하였다.

텍스트, 번호이(가) 표시된 사진

자동 생성된 설명

도표, 라인, 스크린샷, 폰트이(가) 표시된 사진

자동 생성된 설명

또한 Falling edge에서 활성화되도록 구현한 경우에는 위와 같이 작동하는 표로 나타낼 수 있다. 여기서 볼 수 있듯 Q3Q2Q1Q0로 2진수를 구성하며, 처음에는 0000, 그 다음은 0001의 순서로 가며, 1111이 된 후 다시 0000으로 돌아가는 것을 볼 수 있다.

2 bit Counter로 예시를 들어보면, 각각의 입력이 1이 들어올 때 00, 01, 10, 11의 순서대로 바뀌며 입력이 0이 들어오면 상태가 그대로 유지될 것이다. 이를 상태 다이어그램으로 나타내면 아래의 그림과 같다.

그림, 스케치, 도표, 라인 아트이(가) 표시된 사진

자동 생성된 설명

이를 바탕으로 JK Flip-Flop을 사용하여 구현할 때 상태표를 나타내면 아래와 같다.

텍스트, 폰트, 흑백, 친필이(가) 표시된 사진

자동 생성된 설명

여기서 X는 무관항이다. 이를 바탕으로 회로도를 나타내면 아래와 같이 그릴 수 있다.

스케치, 그림, 라인 아트, 도표이(가) 표시된 사진

자동 생성된 설명

................

**2.**

.......................

Decade Counter는 BCD 코드, 즉 10진수의 형태로 세는 회로이다. 따라서 정해진 bit에 따라서 모든 2진수를 다 돌고 0으로 돌아오는 다른 Counter들과는 달리 0부터 9까지만 세고 0으로 돌아오는 특징을 가진다. 이를 진리표로 나타내면 아래와 같이 나타낼 수 있다.

텍스트, 스크린샷이(가) 표시된 사진

자동 생성된 설명

이를 블록 회로도로 나타냈을 경우에는 아래와 같이 나타낼 수 있다.

도표, 평면도, 기술 도면, 개략도이(가) 표시된 사진

자동 생성된 설명

해당 경우에서 다시 0으로 돌아가야 하는 1010의 경우를 따져보게 되면 Q1과 Q3가 1이 들어갈 때 NAND를 거쳐서 0이 나오게 된다. 따라서 0000으로 초기화되어 다시 올라가게 되는 점을 볼 수 있다.

.........................

**3.**

.......................

Counter에는 비동기식 Counter와 동기식 Counter 두 가지가 존재한다. 이들은 Clock Pulse가 연결되는 방식에 따라서 차이가 존재하는데, 우선 비동기식 Counter는 1번 문항에서 든 예시의 회로처럼 순차적으로 Clock Pulse가 전달된다. 다시 그림으로 보면 아래와 같다. 이는 4 bit Counter의 예시이다.

도표, 라인, 평면도이(가) 표시된 사진

자동 생성된 설명

이는 Ripple Counter라고도 하며, 구현은 더 간단하지만 Ripple Adder처럼 지연시간이 발생하고 값이 동시에 바뀌지 않아 일시적으로 다른 값이 나오는 Glitch가 나타날 수 있는 단점이 있다. 다음으로 동기식 Counter는 Clock Pulse가 모든 Flip-Flop에 동시에 전달되는 방식으로 동작한다. 이에 대한 회로도는 아래와 같이 나타낼 수 있다. 아래는 4 bit Counter의 예시이다.

도표, 평면도, 기술 도면, 라인이(가) 표시된 사진

자동 생성된 설명

동기식 Counter의 경우에는 Flip-Flop만 연결된 것이 아닌 다른 Gate도 추가로 연결되는 점도 볼 수 있다. 이 방식은 회로가 좀 더 복잡해지지만 비동기식에서 나타난 지연시간이나 Glitch가 개선되었다고 할 수 있다.

.........................

**4.**

.......................

FSM은 유한상태기계라고 번역할 수 있으며, 전자 회로 설계에 쓰이는 수학적 모델이다. 이는 말 그대로 유한한 개수의 상태를 가질 수 있는 기계라고 할 수 있으며 현재 상태에서 변환이 가능한 상태와 조건들의 집합으로 나타낸다고 할 수 있다. 이들은 각각의 상태와 들어오는 입력들로 상태 다이어그램을 그려 나타내어 작동을 나타낸다. 이는 Flip-Flop에서 각각의 Flip-Flop을 나타낸 방식에서 알 수 있다. 이 FSM에 속하는 대표적인 모델로는 Moore model과 Mealy Model이 있다고 할 수 있다. Moore model은 출력 값을 오직 현재 상태에 따라서만 결정한다. 이는 특정 패턴 후에 다음 state에서 output이 나오고, 그러기에 첫 input의 output은 미정인 상태로 나타난다. 다음으로 Mealy model은 현재 상태뿐만 아니라 현재의 input 역시 고려하여 output을 결정한다. 이는 패턴이 들어오고 바로 output으로 드러나므로 Moore model보다 한 사이클 먼저 결과를 볼 수 있다는 점이 존재한다.

.........................

**5.**

.......................

원하는 Counter 회로를 설계하기 위한 단계에 대해서 정리를 해보았다. 첫 번째로 원하는 Counter의 동작에 대해서 상태 다이어그램을 그려야 한다. 이는 단순히 1씩 순서대로 증가하는 것이 아닐 수도 있다. 큰 수에서 작은 수로 작아지는 Down Counter 등도 가능하다. 이 후에는 상태표를 그리는데, 여기서는 각각의 값에 대하여 사용하기를 원하는 Flip-Flop의 excitation table을 사용하여 Flip-Flop의 입력 값들에 대해서 표로 나타낸다. 그 후에는 각각의 Flip-Flop의 입력에 대하여 전체 회로의 입력을 사용하여 K-map을 사용하여 간소화해서 나타낸다. 이 후에 회로도로 나타내게 되는데, 이 중에서 Flip-Flop의 출력과 순환되도록 연결되는 부분에 대해서는 Flip-Flop의 출력이 적절히 입력으로 들어가도록 회로도를 나타낸다. 이 방식을 사용한 예시는 1번 문항에서 Counter의 예시를 들 때 사용한 내용을 보면 알 수 있다.

.........................

출처

<https://www.geeksforgeeks.org/counters-in-digital-logic/>

<https://m.blog.naver.com/lagrange0115/220728788565>