8주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20211522 이름: 김정환

**1.**

.................

7-Segment Display의 동작을 이해하고, 진리표를 작성하여 카르노 맵으로 각각의 Output에 대하여 정리한 후, Verilog를 사용하여 구현한다. Simulation을 통해서 각 Gate의 동작을 확인하고, FPGA로 동작을 확인한다.

................

**2.**

.......................

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| In W | In X | In Y | InZ | Out A | Out B | Out C | Out D | Out E | Out F | Out G | Out Dp |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

7-Segment Display에 대해서 진리표를 작성하면 위와 같이 작성할 수 있고, 이를 바탕으로 카르노 맵을 그리면 순서대로 다음과 같다.

우선 A의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 1 | 1 | 1 | 0 |
| 10 | 1 | 1 | 1 | 1 |

이를 간소화하면 A = W’Y+XY+YZ’+X’Y’Z’+WY’Z’+WX’Y’+W’XZ 로 나타낼 수 있다.

다음으로 B의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 0 | 1 |
| 01 | 1 | 0 | 1 | 1 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 1 | 0 | 0 | 1 |

이를 간소화하면 B=W’X’+W’Y’Z’+W’YZ+WY’Z+WX’Z’로 나타낼 수 있다.

다음으로 C의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 0 | 1 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 0 | 1 | 0 | 1 |

이를 간소화하면 C=Y’Z+W’X+WX’+W’Y’+W’Z로 나타낼 수 있다.

다음으로 D의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 1 | 1 | 1 | 0 |

이를 간소화하면 D = XYZ’ + XY’Z+WY’Z’+X’YZ+W’X’Z’로 나타낼 수 있다.

다음으로 E의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | 0 | 0 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

이를 간소화하면 E=WX+YZ’+WY+X’Z’로 나타낼 수 있다.

다음으로 F의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 0 | 1 | 1 |
| 10 | 0 | 1 | 1 | 1 |

이를 간소화하면 F=WY+Y’Z’+WX’+XZ’+W’XY’로 나타낼 수 있다.

다음으로 G의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | 1 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

이를 간소화하면 G=YZ’+WZ+WX’+W’XY’+W’X’Y로 나타낼 수 있다.

마자막으로 Dp의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| YZ\WX | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

이는 모두 1이므로 Dp=1로 나타낼 수 있다.

위의 간소화된 식을 바탕으로 Verilog 코드를 짜면 다음과 같다.

텍스트, 스크린샷, 폰트이(가) 표시된 사진

자동 생성된 설명

seg는 첫 번째 digit에 표시하도록 나타낸 변수로 사용하였다. 이를 바탕으로 Simulation한 결과는 아래와 같다.

스크린샷, 사각형, 멀티미디어 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

해당 Simulation 결과를 보면 진리표와 동일하게 나오는 것을 확인할 수 있으므로 맞게 구현되었음을 확인할 수 있다.

.........................

**3.**

.......................

본 실험에서는 7-Segment Display를 각각의 pin마다 논리식을 구하는 방식으로 구현하였다. Dp의 경우에는 무조건 1인 경우로 가정하고 진행하였고, 이외의 pin들은 모두 카르노 맵을 사용하여 식을 정리하였다. 정리한 식들을 Verilog로 구현하여 Simulation을 하였을 때 처음에 그린 진리표와 동일하게 나오는 것을 확인하고, FPGA에 연결하여 16진수의 한 자리의 모든 수가 나오는 결과를 확인하였다.

.........................

**4.**

.......................

더 큰 bit의 수를 입력받는 경우에 대해서 7-Segment Display를 이용하여 표기를 하려면, 대표적인 방식으로는 BCD 코드를 이용하는 방법이 있다. 예비보고서에서 7-Segment Display에 대해 조사할 때 BCD code로부터 10진수를 나타내는 것을 조사했다. 이를 이용하였을 때, 더 큰 bit의 수들을 10진수로 표시할 수 있는데, 우선 해당 수를 BCD code의 나열로 바꿔줘야 한다. 이는 double dabble이라는 알고리즘을 응용할 수 있는데, 이는 앞자리부터 하나씩 옮기며 4보다 크면 3을 더해주며 변환해주어 10진수로 바꿔주고 이는 BCD code로 나타낼 수 있게 된다. 이 후에 7-Segment Display로 나타내면 큰 bit의 수를 받더라도 10진수로 변환하여 출력할 수 있게 된다.

.........................