

1. Diseñar el circuito con compuertas lógicas NAND y NOR de cada expresión simplificada.

$$f(A, B, C) = AB + \bar{A}\bar{B}C + ABC$$

Estandarizamos

$$AB + \bar{A}\bar{B}C + ABC$$

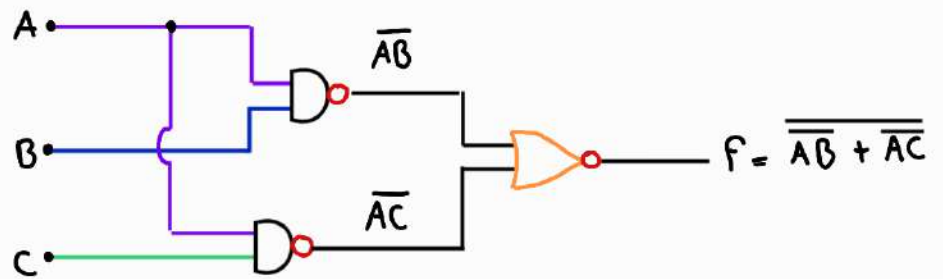
$$ABC + AB\bar{C} + A\bar{B}C + \bar{A}\bar{B}\bar{C}$$

$$\underline{111} \quad 110 \quad 101 \quad \cancel{111}$$

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

AB	C	0	1
00			
01			
11		1	1
10			1

$$F = AB + AC$$



2. Diseñar el circuito considerando una función booleana de 4 variable de entrada que representan los números del 0 al 15 cuya salida es 1 si el número de entrada es impar y menor a 12.

A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

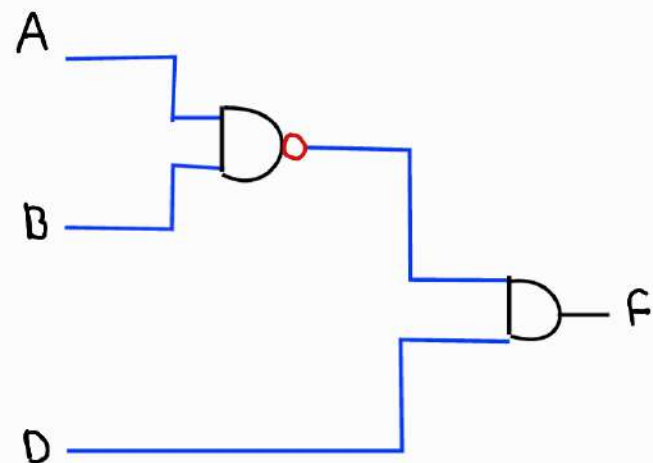
$$F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D}$$

AB	CD	00	01	11	10
00			1	1	
01			1	1	
11					
10			1	1	

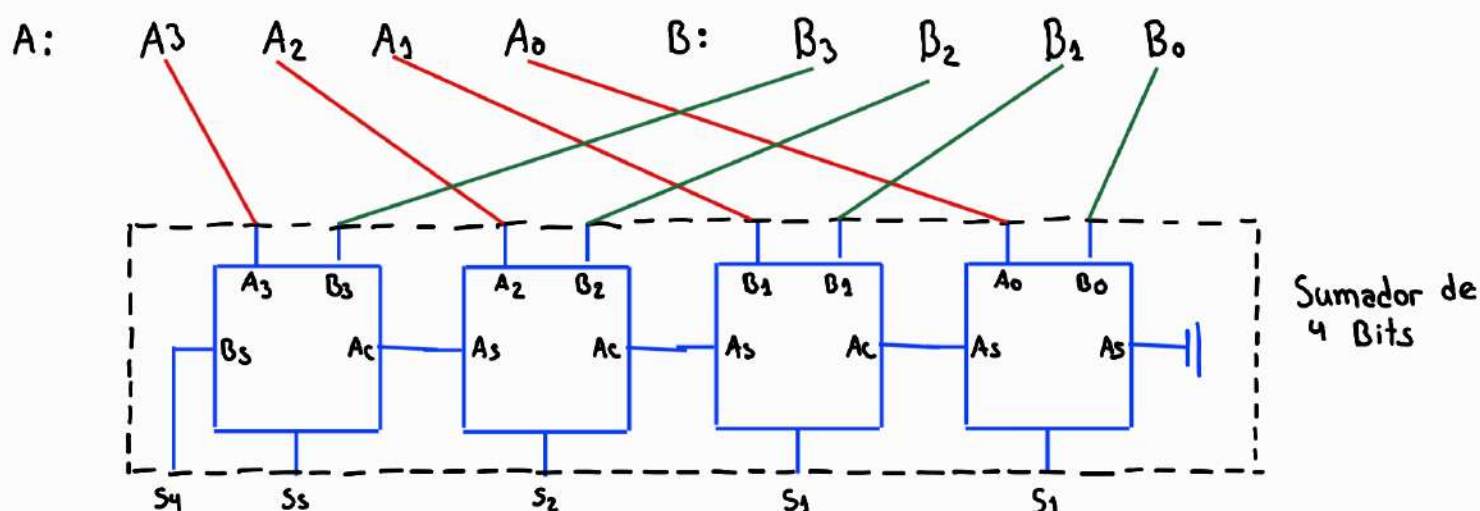
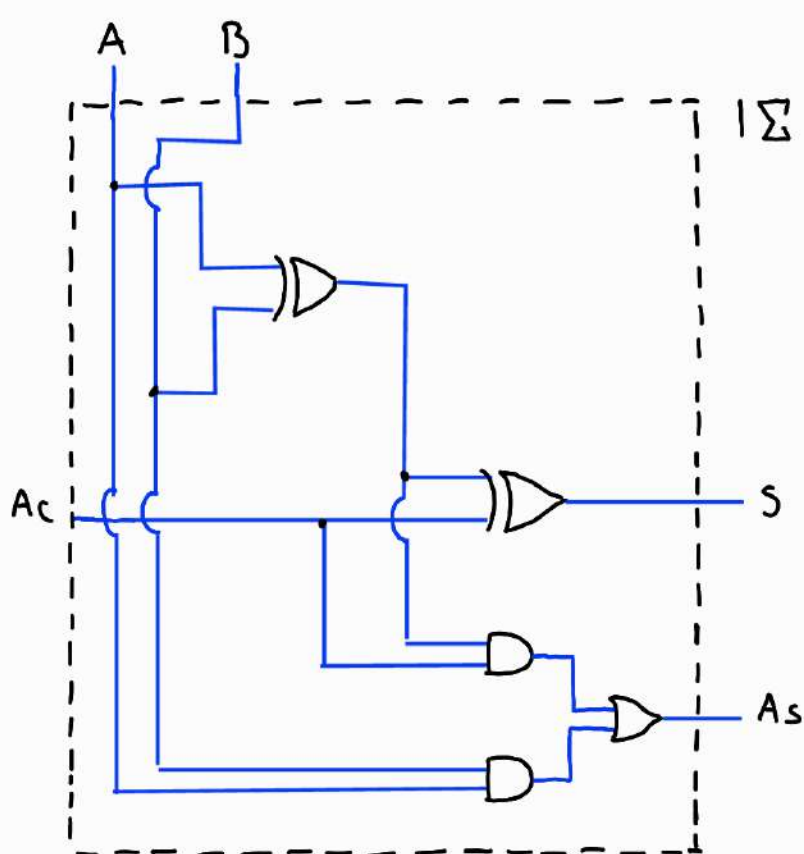
$$F = \bar{A}D + \bar{B}D$$

$$D(\bar{A} + \bar{B})$$

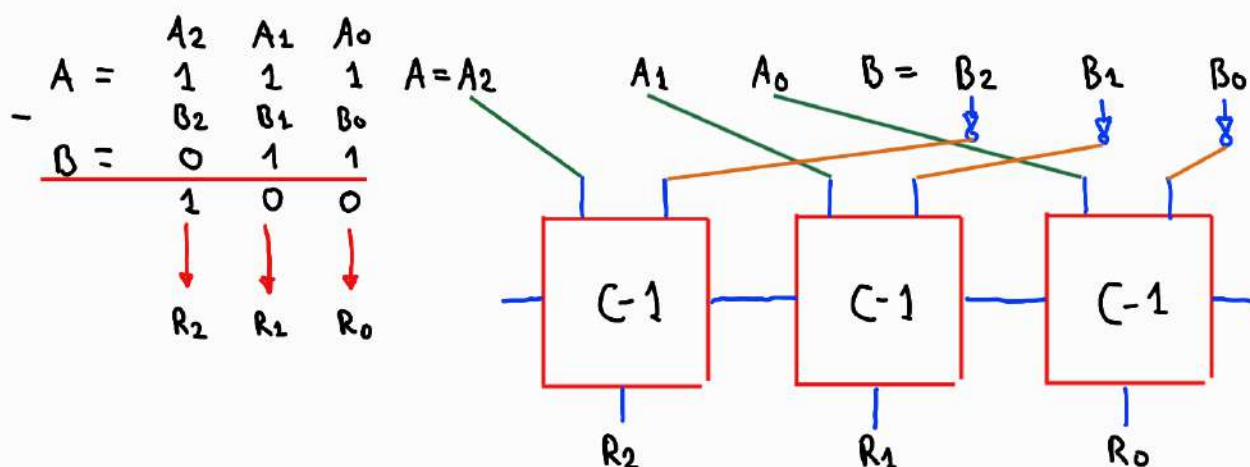
$$D(\bar{A}\bar{B})$$



3. Implementar un sumador completo de 4 bits, puede usar semi sumadores, sumadores completos de 1bits, 2bits y 3bits(en caso de usarlo diseñar su circuito y encapsular poniendo su respectivo nombre).



4. Diseñar un restador en C-1 de 3bits, puede usar semi sumadores, sumadores completos de 1bits, 2bits y 3bits(en caso de usarlo diseñar su circuito y encapsular poniendo su respectivo nombre).



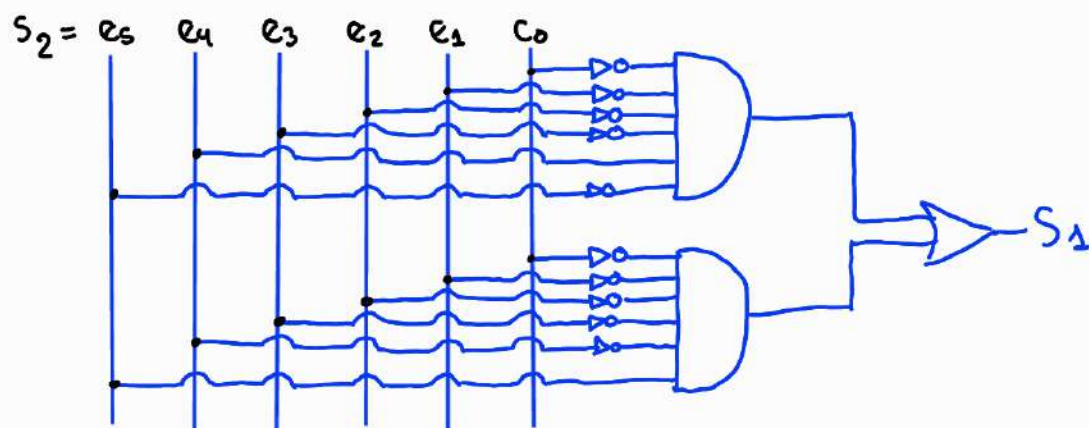
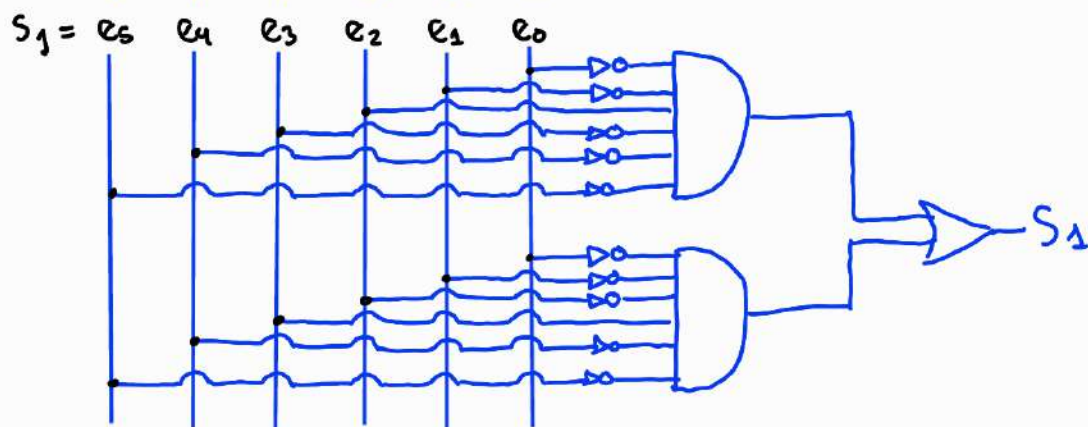
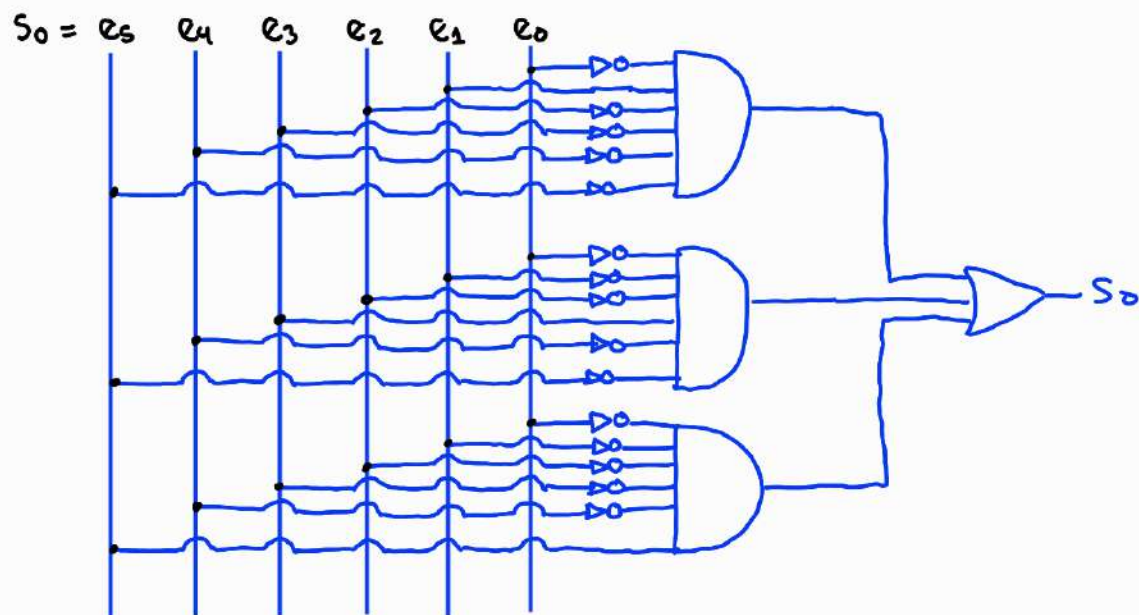
5. Diseñar un codificador de 6bits de entrada y 3bits de salida.

e_5	e_4	e_3	e_2	e_1	e_0	s_2	s_1	s_0
0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0
0	0	1	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	1

$$S_0 = \bar{e}_5 \bar{e}_4 \bar{e}_3 \bar{e}_2 e_1 \bar{e}_0 + \bar{e}_5 \bar{e}_4 e_3 \bar{e}_2 \bar{e}_1 \bar{e}_0 + e_5 \bar{e}_4 \bar{e}_3 \bar{e}_2 \bar{e}_1 \bar{e}_0$$

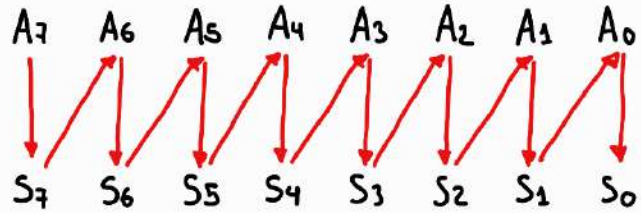
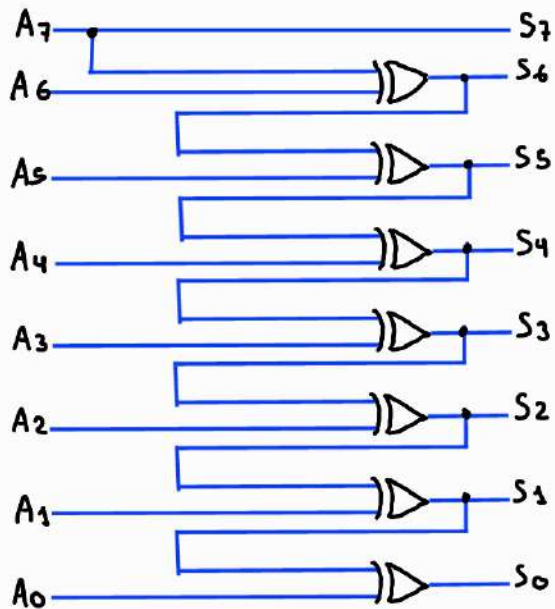
$$S_1 = \bar{e}_5 \bar{e}_4 \bar{e}_3 e_2 \bar{e}_1 \bar{e}_0 + \bar{e}_5 \bar{e}_4 e_3 \bar{e}_2 \bar{e}_1 \bar{e}_0$$

$$S_2 = \bar{e}_5 e_4 \bar{e}_3 \bar{e}_2 \bar{e}_1 \bar{e}_0 + e_5 \bar{e}_4 \bar{e}_3 \bar{e}_2 \bar{e}_1 \bar{e}_0$$

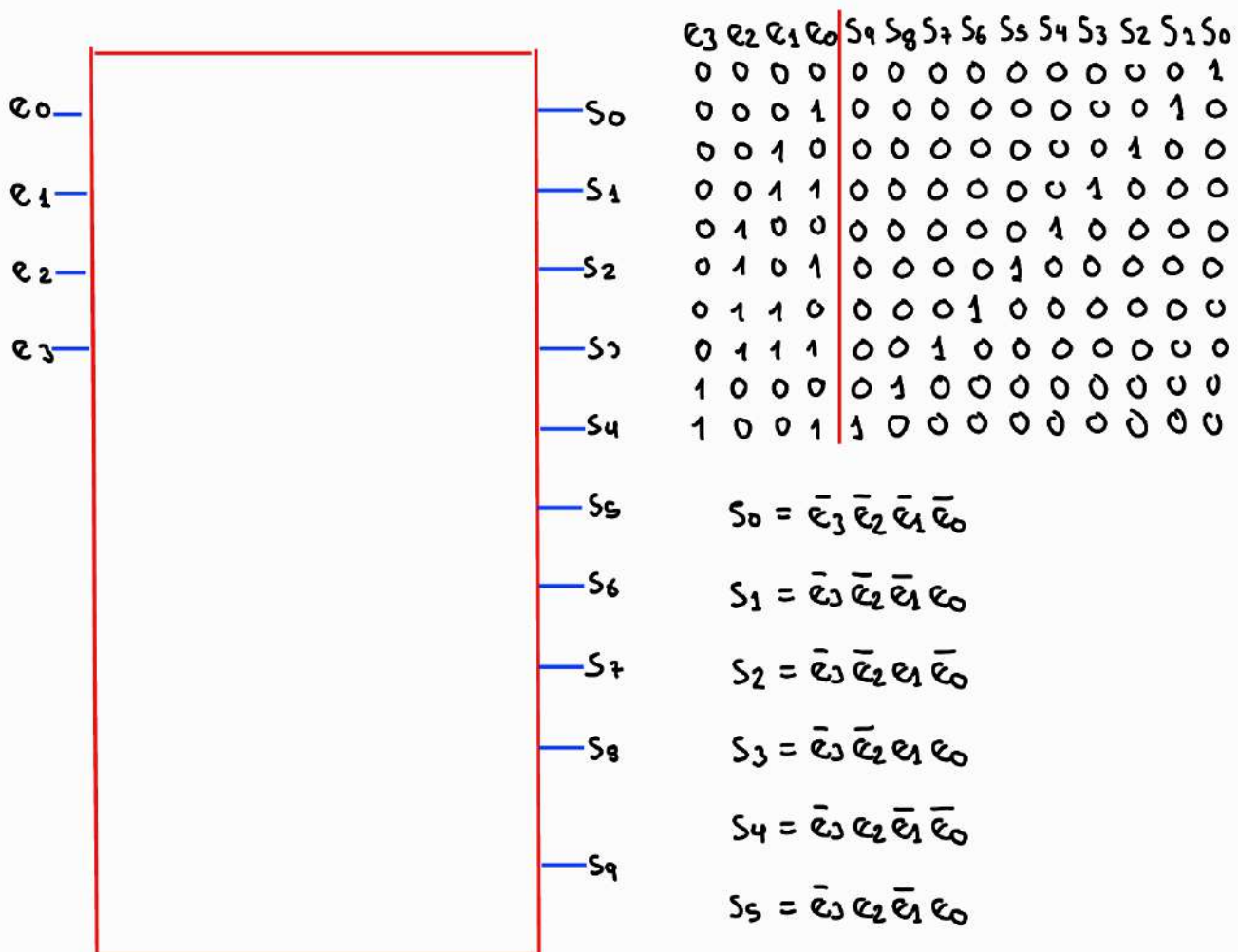


6. Diseñe un circuito lógico que dado un código gray de 8bits genere su binario.

$A_7 \ A_6 \ A_5 \ A_4 \ A_3 \ A_2 \ A_1 \ A_0$



7. Diseñar un decodificador de 4 bits de entrada y 10bits de salida.



e_3	e_2	e_1	e_0	S_9	S_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	1	1	0	0	0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	1	0	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0

$$S_0 = \bar{e}_3 \bar{e}_2 \bar{e}_1 \bar{e}_0$$

$$S_1 = \bar{e}_3 \bar{e}_2 \bar{e}_1 e_0$$

$$S_2 = \bar{e}_3 \bar{e}_2 e_1 \bar{e}_0$$

$$S_3 = \bar{e}_3 \bar{e}_2 e_1 e_0$$

$$S_4 = \bar{e}_3 e_2 \bar{e}_1 \bar{e}_0$$

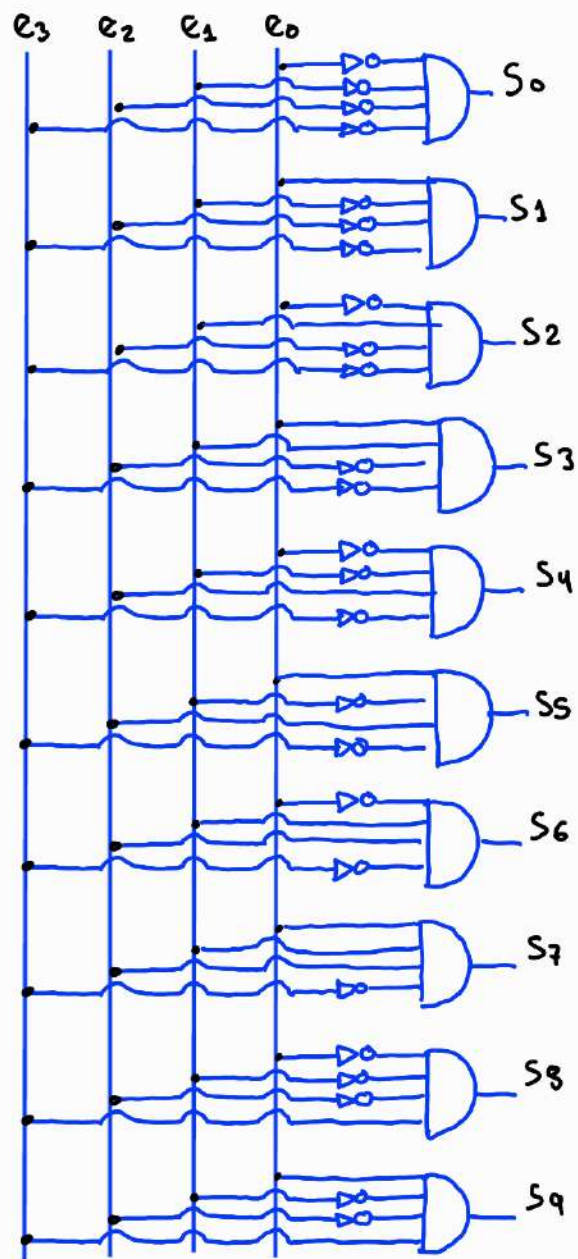
$$S_5 = \bar{e}_3 e_2 \bar{e}_1 e_0$$

$$S_6 = \bar{e}_3 e_2 e_1 \bar{e}_0$$

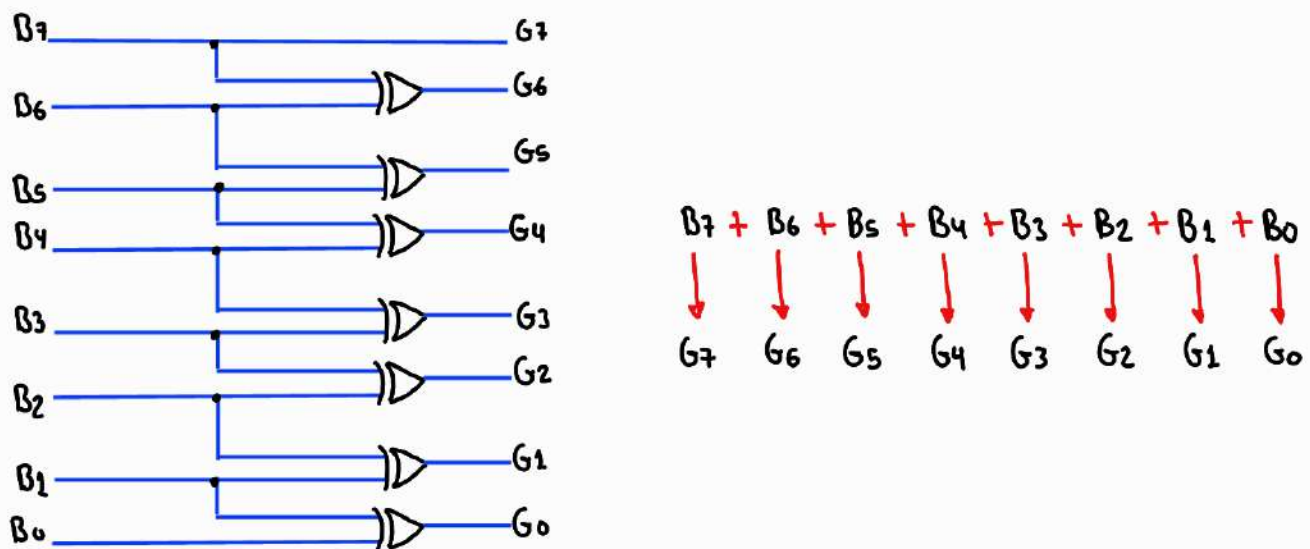
$$S_7 = \bar{e}_3 e_2 e_1 e_0$$

$$S_8 = e_3 \bar{e}_2 \bar{e}_1 \bar{e}_0$$

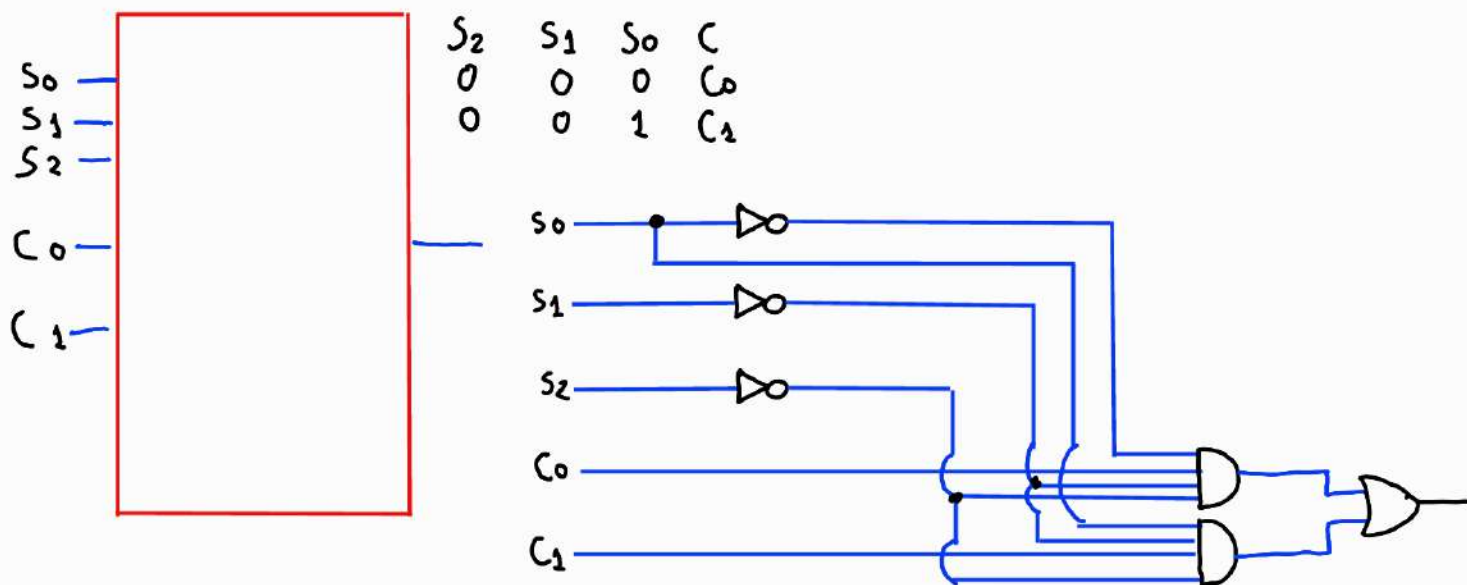
$$S_9 = e_3 \bar{e}_2 \bar{e}_1 e_0$$



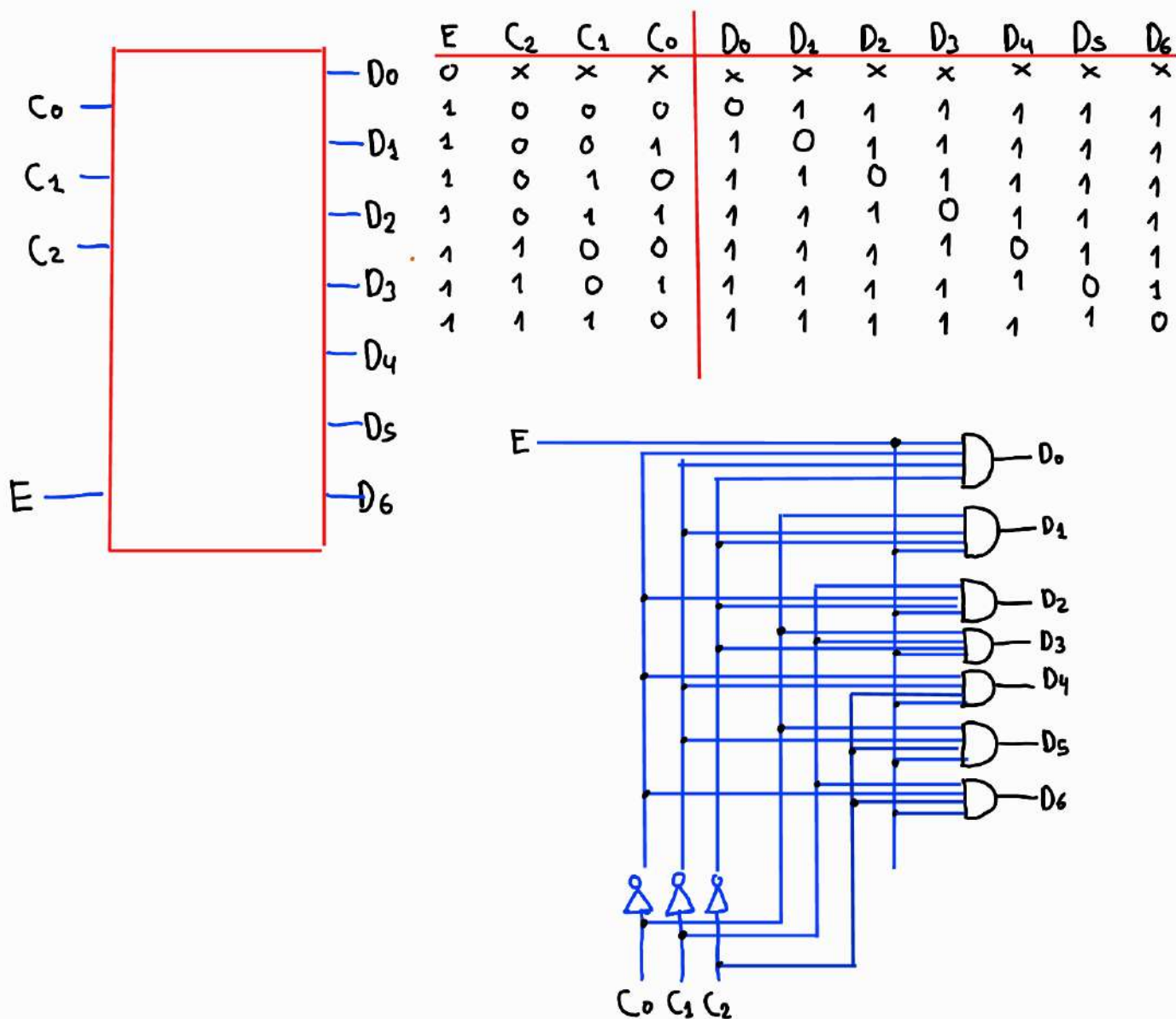
8. Diseñe un circuito lógico que dado un binario de 8bits genere su código gray.



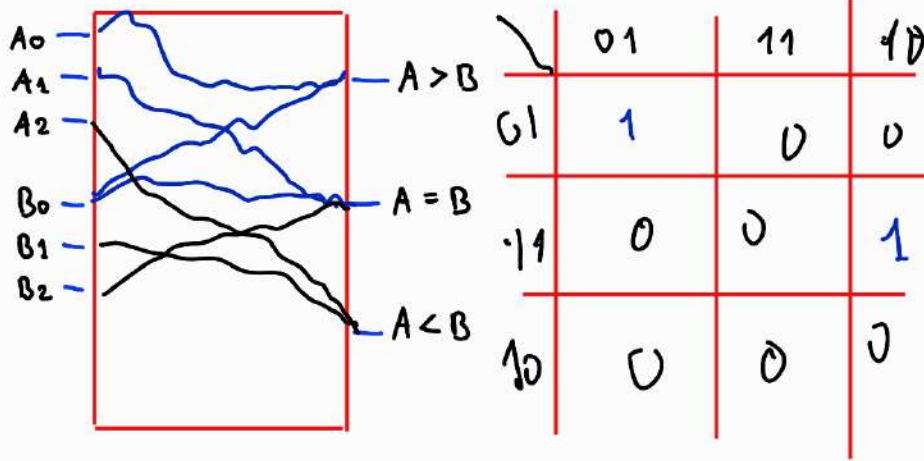
9. Diseñar un multiplexor de 3 entradas y de 2 canales.



10. Diseñar un demultiplexor 3 canales y de 7 salidas.



11. Implementar un comparador de 3 bits.



$$\int F(x) = \frac{\sqrt{25}^2}{\pi} = \text{Constante de la cual no se puede el circuito}$$