

UNIVERSIDAD DE GRANADA.

**ESCUELA TECNICA SUPERIOR DE
INGENIERIAS INFORMATICA Y DE
TELECOMUNICACIÓN.**



**Departamento de Arquitectura y
Tecnología de Computadores.**

**TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES.**

**PRÁCTICA 7.
ANÁLISIS Y DISEÑO DE UN SISTEMA SECUENCIAL
SÍNCRONO.**

1º GRADO EN INGENIERÍA INFORMÁTICA.

PRÁCTICA 7.

ANÁLISIS Y DISEÑO DE UN SISTEMA SECUENCIAL SÍNCRONO.

Objetivos:

- Analizar y comprender el funcionamiento de un sistema secuencial síncrono.
- Diseñar un sistema secuencial síncrono. Etapas de diseño.

7.1. Análisis de un sistema secuencial síncrono:

Analice el comportamiento del sistema secuencial síncrono de la Figura 7.1, obteniendo la tabla de transiciones, la tabla de estados y el diagrama de estados que representa el funcionamiento del sistema.

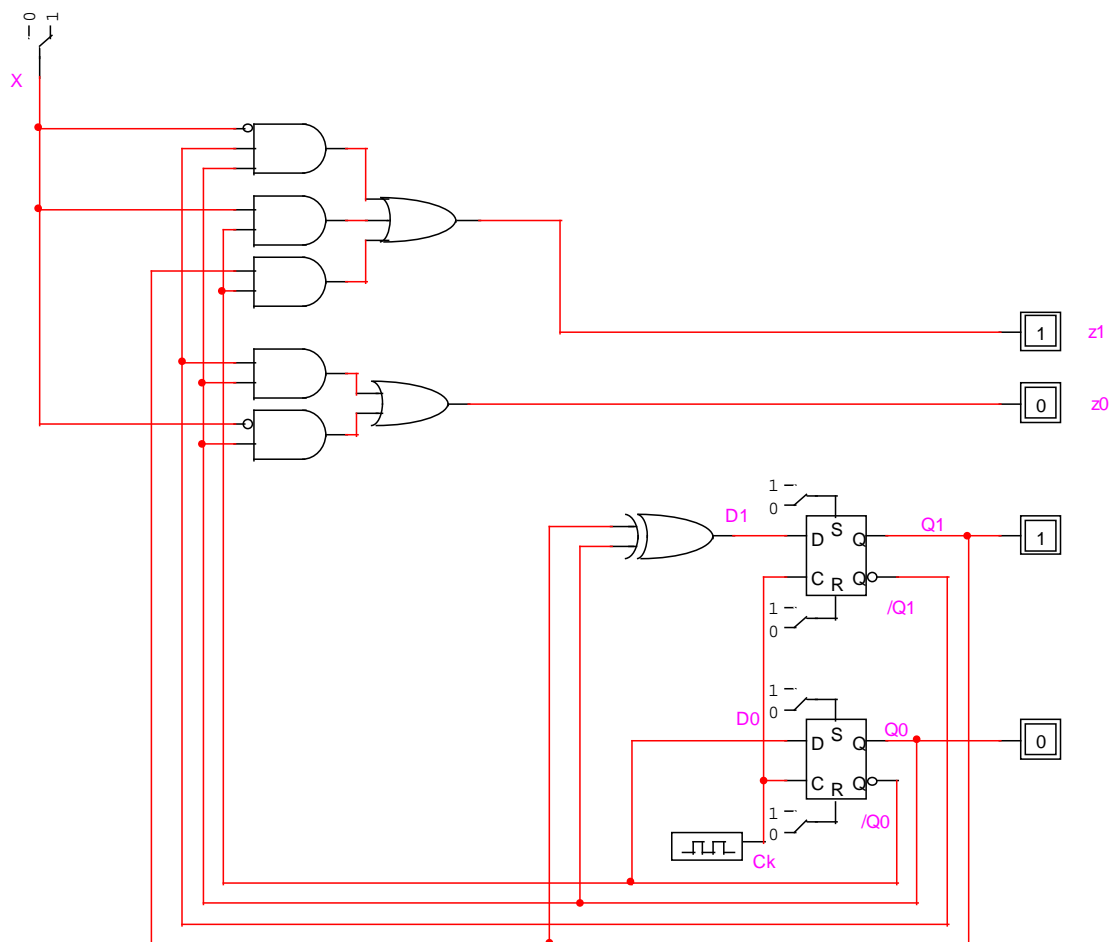


Figura 7.1

Simule el comportamiento del circuito de la Figura 7.1 utilizando Logic Works y compruebe que cumple con el funcionamiento teórico obtenido anteriormente.

Complete los siguientes apartados:

1.- Expresiones de las funciones de salida:

$$z_1 =$$

$$z_0 =$$

2.- Expresiones de las ecuaciones de entrada a los elementos de memoria:

$$D_1 =$$

$$D_0 =$$

3.- Tabla de Excitación del Sistema:

| $X Q_1^n Q_0^n$ | D_1 | D_0 |
|-----------------|-------|-------|
| 0 0 0 | | |
| 0 0 1 | | |
| 0 1 0 | | |
| 0 1 1 | | |
| 1 0 0 | | |
| 1 0 1 | | |
| 1 1 0 | | |
| 1 1 1 | | |

4.- Tabla de transición y de salidas del sistema:

4.a) Obtención de los estados siguientes y de las salidas del sistema:

| $X Q_1^n Q_0^n$ | D_1 | Q_1^{n+1} | D_0 | Q_0^{n+1} | z_1 | z_0 |
|-----------------|-------|-------------|-------|-------------|-------|-------|
| 0 0 0 | | | | | | |
| 0 0 1 | | | | | | |
| 0 1 0 | | | | | | |
| 0 1 1 | | | | | | |
| 1 0 0 | | | | | | |
| 1 0 1 | | | | | | |
| 1 1 0 | | | | | | |
| 1 1 1 | | | | | | |

4.b) Tabla de transición del flip-flop D ($Q_i^{n+1} = D_i$):

| $D_i Q_i^n$ | Q_i^{n+1} |
|-------------|-------------|
| 0 0 | 0 |
| 0 1 | 0 |
| 1 0 | 1 |
| 1 1 | 1 |

4.c) Tabla de transición y de salidas del sistema:

| $X \ Q_1^n \ Q_0^n$ | Q_1^{n+1} | Q_0^{n+1} | z_1 | z_0 |
|---------------------|-------------|-------------|-------|-------|
| 0 0 0 | | | | |
| 0 0 1 | | | | |
| 0 1 0 | | | | |
| 0 1 1 | | | | |
| 1 0 0 | | | | |
| 1 0 1 | | | | |
| 1 1 0 | | | | |
| 1 1 1 | | | | |

4.d) Reordenación de la tabla de transición y de salidas:

| $X \ Q_1^n \ Q_0^n$ | 0 | 1 | 0 | 1 |
|---------------------|---|---|---|---|
| 0 0 | | | | |
| 0 1 | | | | |
| 1 0 | | | | |
| 1 1 | | | | |

$Q_1^{n+1} \ Q_0^{n+1} \ z_1 \ z_0$

5.- Asignación de estados:

| ESTADO | $Q_1^n \ Q_0^n$ |
|--------|-----------------|
| A | 0 0 |
| B | 0 1 |
| C | 1 0 |
| D | 1 1 |

6.- Tabla de estados:

| $X \ E. \ Pres.$ | 0 | 1 |
|------------------|---|---|
| A | | |
| B | | |
| C | | |
| D | | |

$E. \ S. \ , \ z_1 \ z_0$

7.- Diagrama de estados:

7.2. Diseño de un sistema secuencial síncrono:

Diseñe un circuito secuencial síncrono con dos entradas X_1, X_0 y una salida Z . La salida debe valer 1 durante el ciclo de reloj en el que las entradas $X_1 = X_0$ si y solo si también han sido iguales entre sí en el ciclo inmediatamente anterior e iguales a las del ciclo actual. Una vez que $Z = 1$, se mantiene a dicho valor hasta que X_1 sea distinto de X_0 .

Ejemplo de funcionamiento:

$$\begin{array}{lcl} X_1 & = & 0\ 1\ 1\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ \dots \\ X_0 & = & 1\ 1\ 1\ 0\ 1\ 0\ 0\ 0\ 0\ 1\ 0\ 1\ \dots \\ Z & = & 0\ 0\ 1\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0\ \dots \end{array}$$

Realice:

- Diagrama de Estados que represente el funcionamiento del sistema.
- Tabla de Estados que represente el funcionamiento del sistema.
- Asignación de estados.
- Tablas de Transición y Excitación. Utilice flip-flops de tipo D para implementar el sistema.
- Circuito digital que cumple con las especificaciones del sistema. Dibuje explícitamente dicho circuito.

Una vez finalizado el diseño, implemente el circuito resultante en el simulador lógico de prácticas.

