



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

1º Grado en Ingeniería Informática

GRANADA, 6 de Septiembre de 2011

Apellidos :

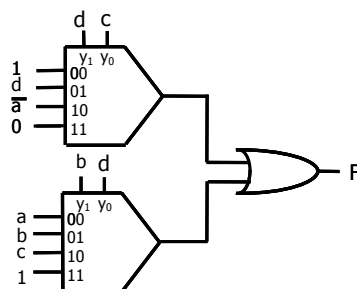
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (0,75 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits, contador de programa (PC), y puntero de pila (SP). Indicar:
 - Número de bits del bus de datos
 - Número de bits del bus de direcciones.
 - Tamaño máximo posible de la memoria principal (en GB)
 - Tamaño en bits del registro PC
 - Tamaño en bits del registro SP
- (0,75 pto.)** Un programa de prueba (en lenguaje de alto nivel) se ejecuta en un procesador obteniéndose una velocidad de 120 MIPS y tardando su ejecución 35 segundos. Sabiendo que por término medio cada instrucción consume 6 ciclos de reloj, obtener:
 - El número de instrucciones máquina totales del programa de prueba.
 - La frecuencia de reloj del computador
- (0,50 pto.)** El siguiente número $N = (00E0\ 0000)_H$ está en representación interna IEEE-754 (Precisión sencilla). Indicar el número en decimal que representa.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que " x_0 " representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \prod M(1, 4, 5, 7, 11) + d(0, 12, 14)$$

Minimízela e implementela (dibuje el circuito) mediante síntesis OR/AND (Producto de Sumas).

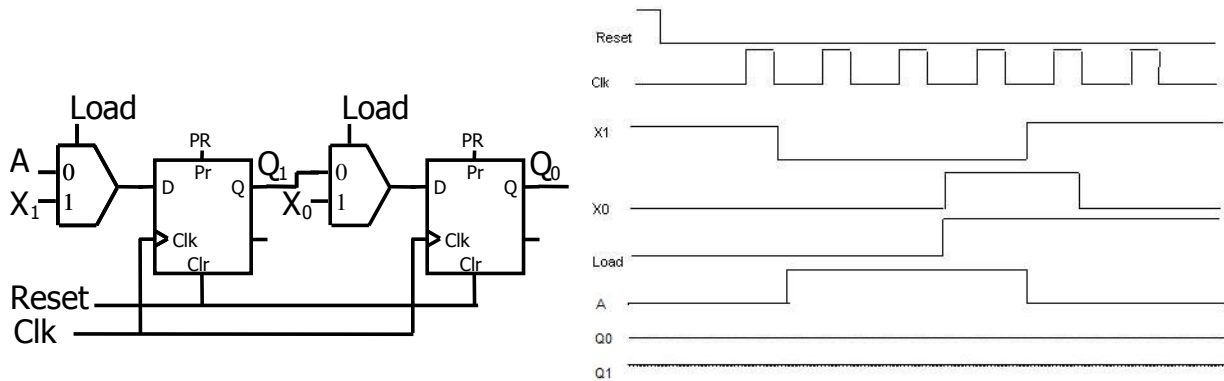
6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_3, x_2, x_1, x_0) = \sum m(1, 2, 5, 6, 8, 9, 11, 12, 13, 15)$
- $f_1(x_3, x_2, x_1, x_0) = \sum m(2, 6, 8, 11, 12, 15)$

Este año no entran las PLAs.
¡Ojo! si entran las ROMs

- a. ~~Implemente dichas funciones en una PLA de tamaño 4x4x2. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.~~
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



8. (1,00 pto.) Diseñe un contador síncrono ascendente que produzca, de forma cíclica, la siguiente secuencia de salidas **0, 1, 2, 3, 4, 5**, 0, 1, 2, 3, 4, 5, ... Utilice para el diseño biestables de tipo T activos por flanco de subida.

Este año se ha impartido el tema 7 y muy probablemente, entre algún problema de RT.



Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) Se propone el circuito de la figura 1 como la resolución de un problema de diseño de un circuito combinacional en prácticas. Sin embargo, al simular el circuito con Logic Works, para algunas combinaciones de entrada presenta un valor indeterminado en la salida. Indique **razonadamente** la causa por la cual en algunas combinaciones de entrada el circuito produce valores indeterminados en la salida.

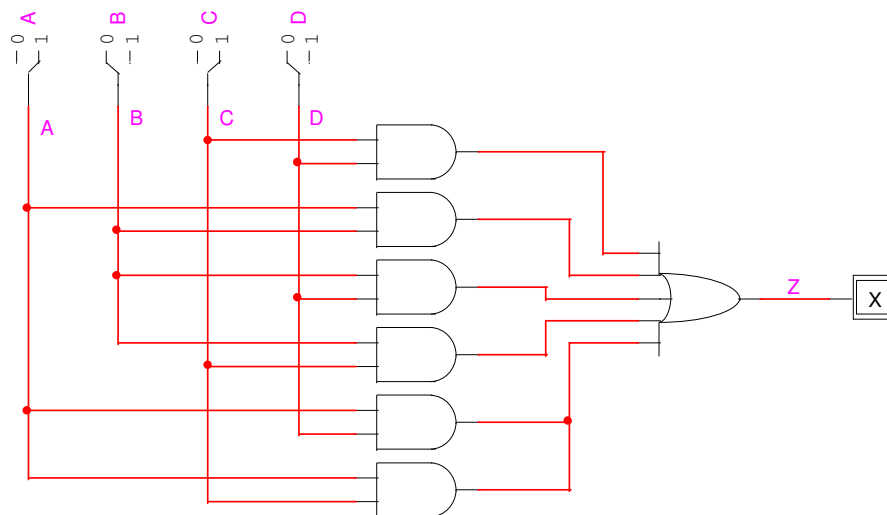


Figura 1.

2. (1,00 pto.) En la práctica 4, de "realización de una ALU", un estudiante implementó la etapa lógica sencilla (de un bit) según el esquema de circuito mostrado en la Figura 2.

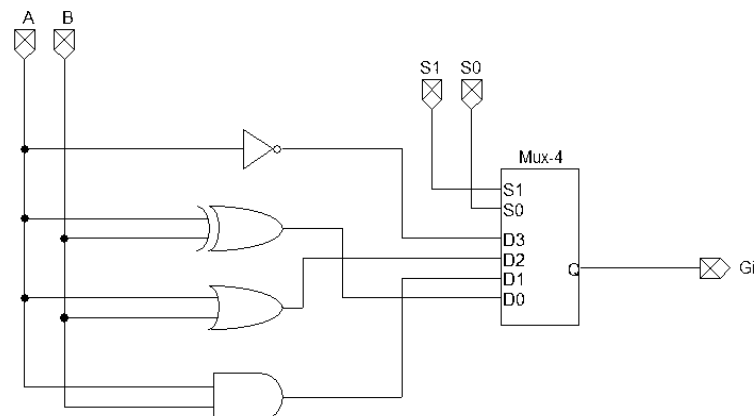


Figura 2

Rellene la Tabla 2.1 indicando la operación que se realiza con cada combinación de señales de control (S_1, S_0), según la versión de etapa lógica de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

A B $S_1 S_0$	Resultado G_i
0 1 0 0	
0 0 0 0	
1 0 0 1	
1 0 1 1	

Tabla 2.1

- 3. (0,50 pto.)** Indique por qué razón, en el circuito de la figura 3, aunque se cambie el valor de la entrada externa A, no se produce ningún cambio en las salidas de los biestables Q_3, Q_2, Q_1 y Q_0 , permaneciendo éstas siempre al valor lógico 1.

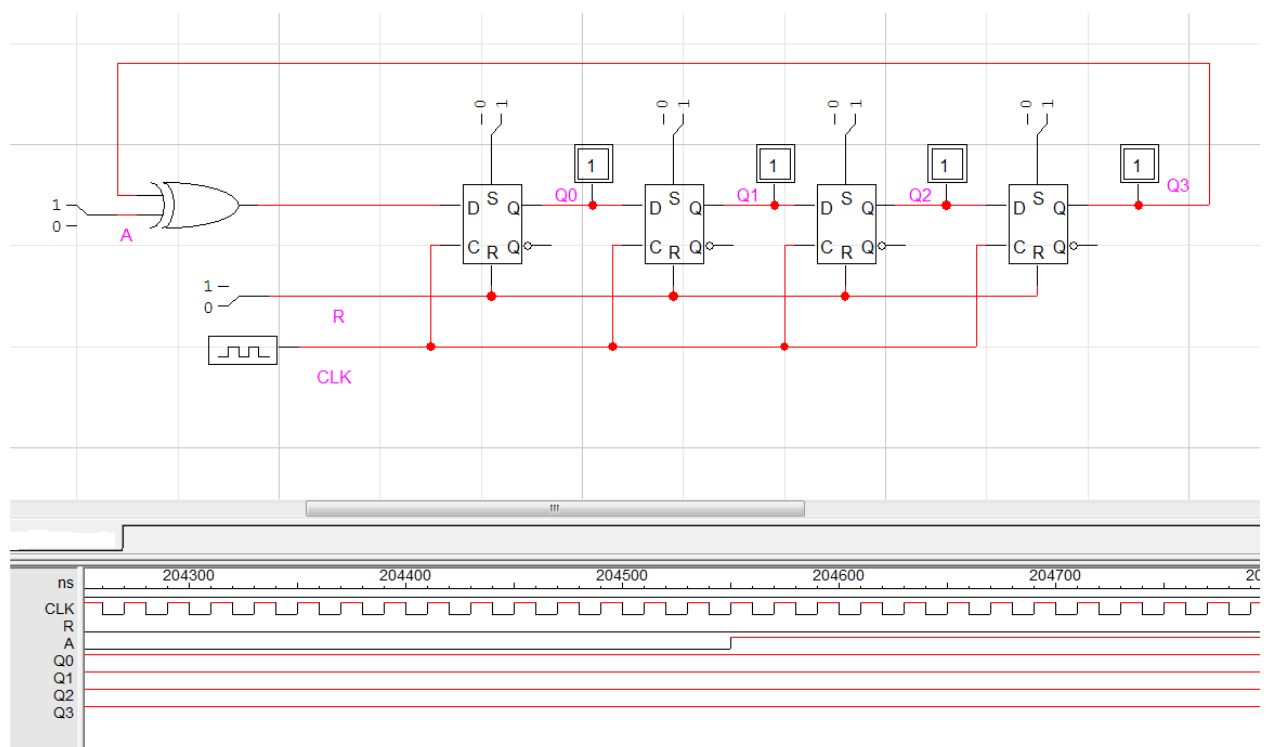


Figura 3.