

114 學年度
國立中山大學
硬體描述語言

Homework 1 Adder Designs

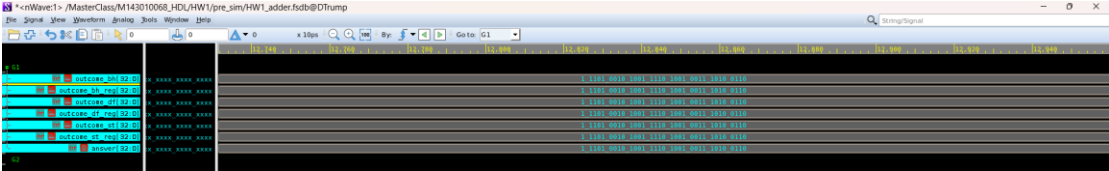
作業

授課教師：蕭勝夫

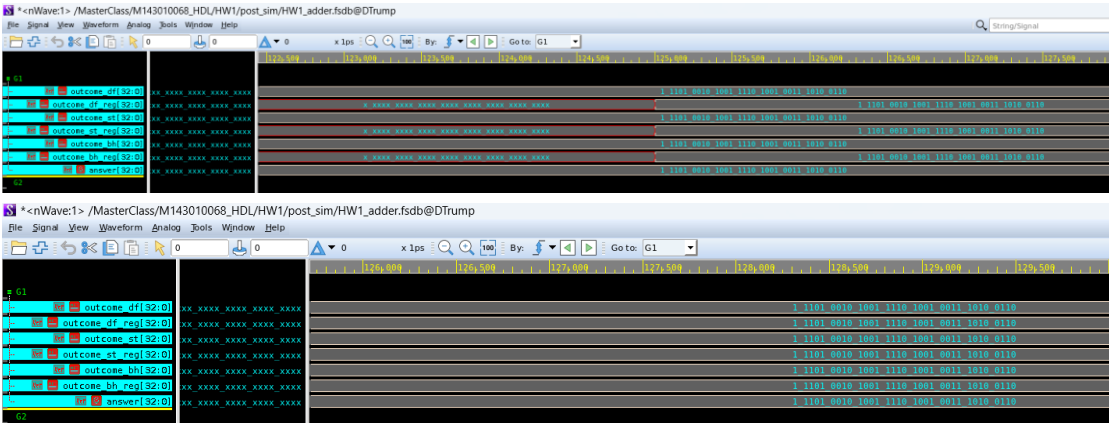
學生學號/班級/姓名：M143010068/電機工程學系碩士班/王嘉良

● 模擬波形圖

- RTL level



- Gate level



數據表格

Design	Item	Area (μm²)			Delay	Power (W)		
		CL	SL	Total	(ns)	dynamic	leakage	Total(nW)
adder_structure	delay	103.213443	0	103.213443	0.48	127.9066 u	93.7929 n	128,000.3929
	area	49.403521	0	49.403521	0.8	35.3866 u	35.0808 n	35,421.6808
	between	68.325122	0	68.325122	0.64	58.4100 u	52.6987 n	58,462.6987
adder_structure_reg	delay	78.641282	30.792960	109.434242	0.59	236.3413 u	91.5567 n	236,432.8567
	area	49.092481	30.792960	79.885441	0.82	148.4346 u	54.2416 n	148,488.8416
	between	62.830082	30.792960	93.623042	0.705	179.5087 u	73.0019 n	179,581.7019
adder_dataflow	delay	94.400642	0	94.400642	0.094	485.1385 u	75.7078 n	485,214.2078
	area	34.162561	0	34.162561	0.92	22.6917 u	18.6267 n	22,710.3267
	between	51.580801	0	51.580801	0.507	51.8589 u	30.8054 n	51,889.7054
adder_dataflow_reg	delay	63.244801	30.792960	94.037762	0.186	672.7673 u	71.7937 n	672,839.0937
	area	34.162561	30.792960	64.955521	0.92	124.6629 u	44.1194 n	124,707.0194
	between	51.062401	30.792960	81.855361	0.553	217.6982 u	56.9331 n	217,755.1331
adder_behavior	delay	96.422402	0	96.422402	0.091	504.2223 u	78.6777 n	504,300.9777
	area	63.866881	0	63.866881	0.15	210.6045 u	49.6028 n	210,654.1028
	between	78.382081	0	78.382081	0.12	318.0936 u	57.4373 n	318,151.0373
adder_behavior_reg	delay	77.189761	30.792960	107.982722	0.13	1.0119 m	80.0179 n	1,011,980.0179
	area	34.162561	30.792960	64.955521	0.92	124.6629 u	44.1194 n	124,707.0194
	between	51.840001	30.792960	82.632961	0.525	229.0144 u	56.5542 n	229,070.9542

三種 modeling 之電路的數據/波型是否相同以及認為的原因

在 RTL level 中，三種模型的輸出不管是 sequential 或是 combinational，都與我們期待的 answer 一致，且彼此不僅數據相同，波形時序也相同，我認為是因為在 pre-sim 階段，我們比較著重在驗證功能的正確性，如果 RCA 功能正確，那必然三種都正確。

在 Gate level 中，波形時序存在些微差異，組合邏輯的延遲較短且直接，而序向邏輯的延遲應該是跟 clock 有關，但基本上波形圖也跟 answer 一致，代表電路設計基本上沒有問題。

在比較表格時注意到 delay 跟 area 的 power 數字都差很多，不管是 dynamic 或是 leakage，以 delay 為目標的總是比較大，我想是因為當我設定 area 優先時，我們決定面積為第一優先考慮事項，所以合成後的電路會以面積小為第一優先考慮，所以用到 power 就會比較少，

另外一點是 delay 的 Delay Time 會比 area 的 Delay Time 少，我覺得是因為當我們設定 delay 為優先時，會告訴合成工具先不管面積，我要速度最快延遲最少的電路，所以會得出一個延遲相對比較慢的成績。

心得

第一次接觸到有關電路設計這些內容，覺得動手做看看跟上課聽老師說很不一樣，像是一開始在設計 full adder 的時候，在考慮 sign bit 也就是第 33 個的那一個位元，就花了不少時間在處理，到了 pre-sim 階段，可以 nWave 波形圖，可以看到前面設計的電路實際跑出來的樣子，就比較有成就感，尤其是通過 testbench 時，看到 all correct 是最高興的時候。