114 學年度

國立中山大學

硬體描述語言

Homework 4

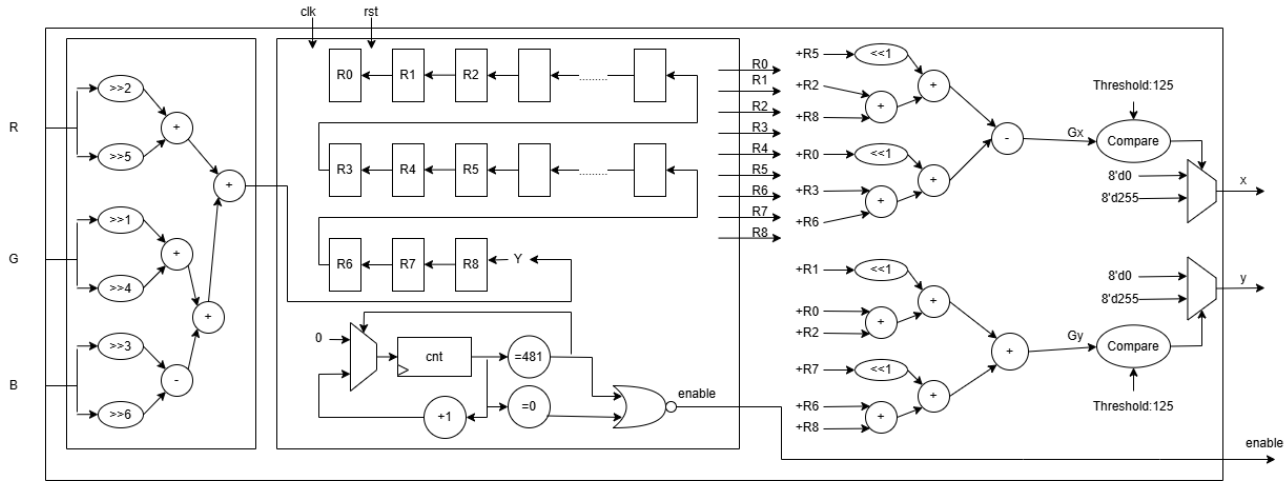
Sobel Edge Detector

作業

授課教師:蕭勝夫

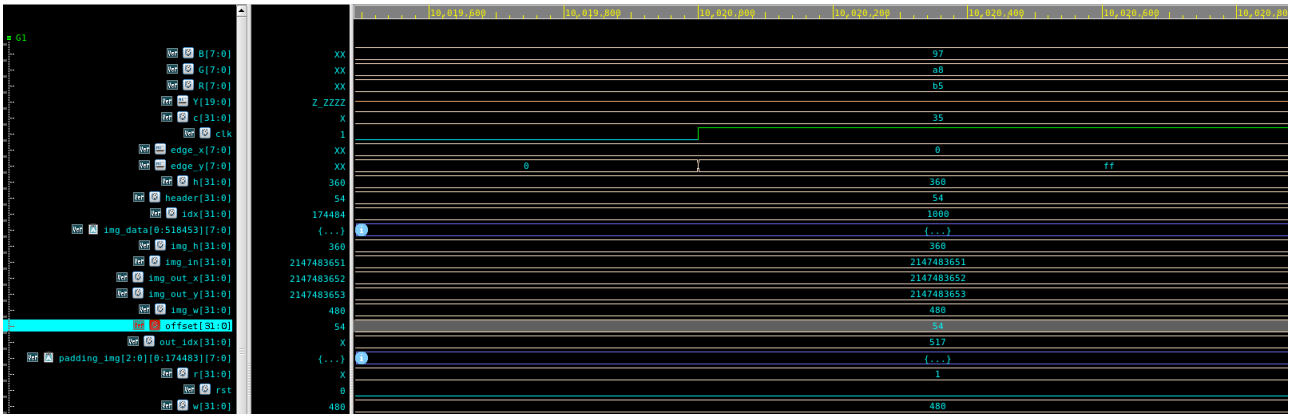
學生學號/班級/姓名:M143010068/電機工程學系碩士班/王嘉良

1.1 整體硬體架構圖 (Figure of Overall Architecture)

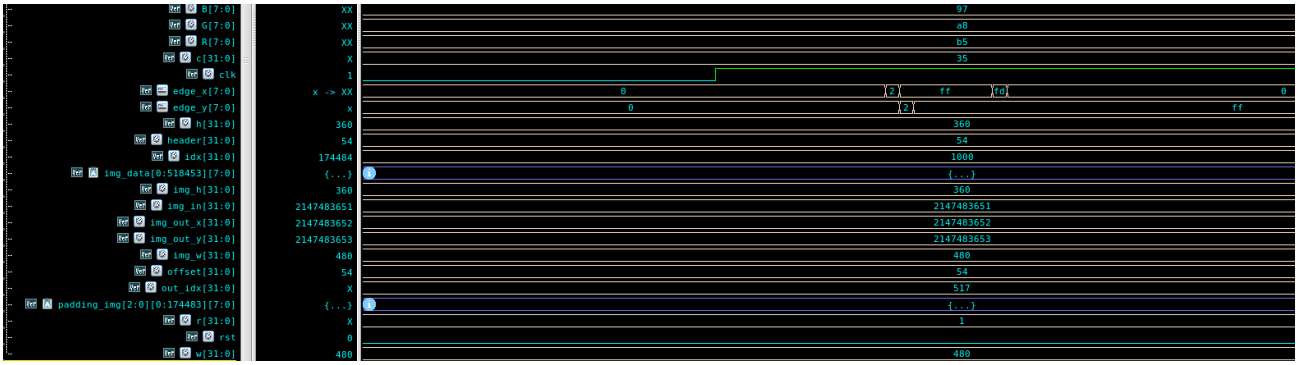


1.2 模擬波形圖與解釋 (Simulation Waveforms & Explanations)

- RTL Simulation Waveform：



- Gate-level Simulation Waveform：



- **解釋 (Explanations)：**

在比較中可以發現最關鍵的差異，在 edge_y 的訊號上面，在 presim 的波形圖中，當 clk 上升的瞬間，edge_y 的值從 0 瞬間變為 ff，然而在第二張圖中的 edge_y 訊號，我觀察到當 clk 上升後，edge_y 並沒有馬上變，而是過了一小段時間才跳變成 ff，我覺得是因為 gate delay 的關係，所以當 clk 觸發後，需要經過一段時間才能把訊號傳輸到輸出端。

另外一點是雜訊，在 presim 的時候，edge_x 和 edge_y 的數值切換是乾淨俐落的 (例如直接 0 -> ff)。但是在 postsim 的波形圖中，edge_x 在 clk 上升後的變化，顯示了 **2 -> ff -> fd** 等短暫的中間值（紅色框框處的雜訊），最後才穩定下來。之所以有這樣的情況，推測是因為電路的路徑長度不同，所以有些 bit 跑得快，有些 bit 跑得慢。

1.3 面積與關鍵路徑延遲 (Area Information & Critical Path Delay)

1. Area Report 截圖：

timing_report_Edg... | area_report_Edge...

```
****************************************
Report : area
Design : Edge
Version: T-2022.03
Date   : Tue Nov 18 18:18:01 2025
****************************************

Library(s) Used:

    N16ADFP_StdCellss0p72vm40c_ccs (File: /cad/CBDK/ADFP/Executable_Package/Collaterals/IP/stdcell/N16

Number of ports:                          439
Number of nets:                          9527
Number of cells:                         9011
Number of combinational cells:           1251
Number of sequential cells:              7745
Number of macros/black boxes:               0
Number of buf/inv:                       1010
Number of references:                      38

Combinational area:                 370.241284
Buf/Inv area:                       205.182720
Noncombinational area:             8833.017921
Macro/Black Box area:                 0.000000
Net Interconnect area:      undefined  (Wire load has zero net area)

Total cell area:                   9203.259205
Total area:                 undefined

Hierarchical area distribution
------------------------------

                                  Global cell area          Local cell area
                                  ----------------  ---------------------------
Hierarchical cell                 Absolute   Percent  Combi-    Noncombi-  Black-
                                  Total      Total    national  national   boxes   Design
--------------------------------  ---------  -------  --------  ---------  ------  ----------------
Edge                              9203.2592    100.0  232.8134  8833.0179  0.0000  Edge
add_0_root_add_105_2                 10.1088      0.1   10.1088     0.0000  0.0000  Edge_DW01_add_9
add_0_root_add_105_4                 10.0570      0.1   10.0570     0.0000  0.0000  Edge_DW01_add_8
add_0_root_add_109_2                 10.1088      0.1   10.1088     0.0000  0.0000  Edge_DW01_add_4
add_0_root_add_109_4                 10.0570      0.1   10.0570     0.0000  0.0000  Edge_DW01_add_5
add_114                               8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_inc_1
add_115                               8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_inc_0
add_1_root_add_0_root_sub_18          7.2058      0.1    7.2058     0.0000  0.0000  Edge_DW01_add_1
add_1_root_add_105_2                  8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_add_11
add_1_root_add_105_4                  8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_add_10
add_1_root_add_109_2                  8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_add_6
add_1_root_add_109_4                  8.4499      0.1    8.4499     0.0000  0.0000  Edge_DW01_add_7
add_2_root_add_0_root_sub_18          6.7392      0.1    6.7392     0.0000  0.0000  Edge_DW01_add_2
add_88                                6.8429      0.1    6.8429     0.0000  0.0000  Edge_DW01_inc_2
sub_105                              12.8045      0.1   12.8045     0.0000  0.0000  Edge_DW01_sub_2
sub_109                              12.8045      0.1   12.8045     0.0000  0.0000  Edge_DW01_sub_1
--------------------------------  ---------  -------  --------  ---------  ------  ----------------
Total                                                 370.2413  8833.0179  0.0000

1
```

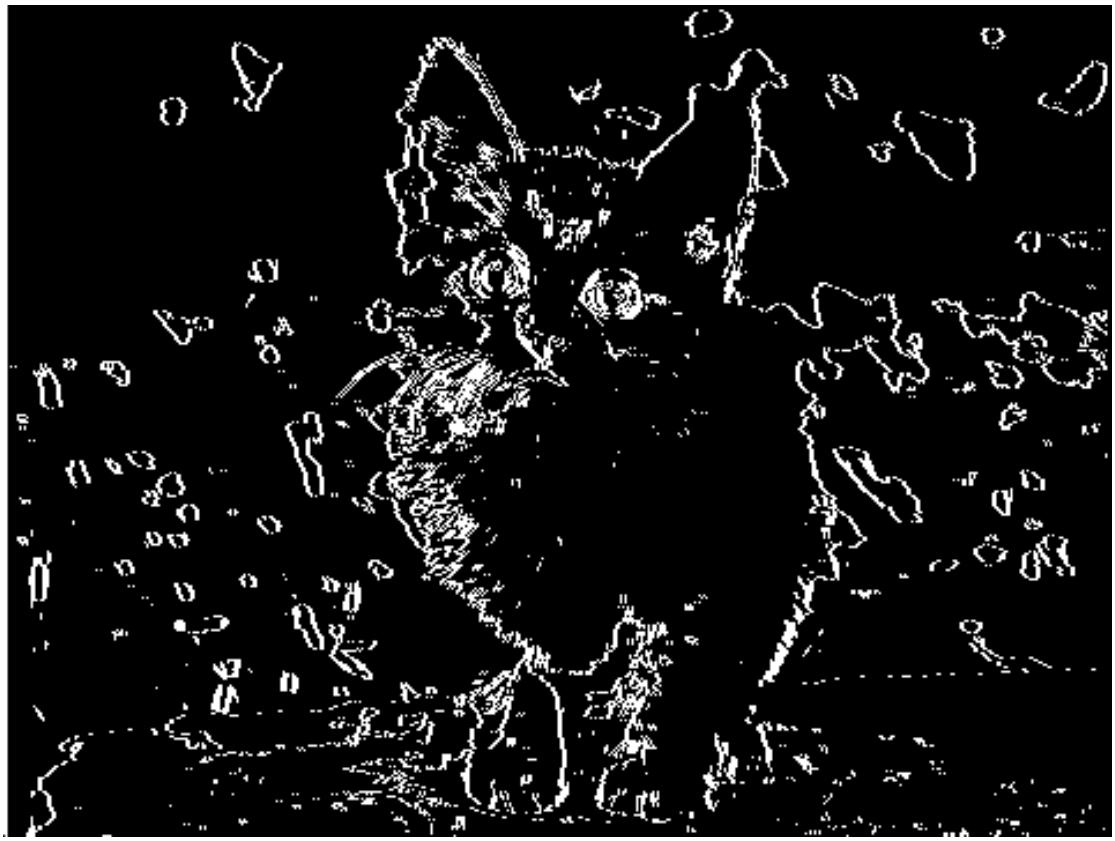
2. Timing Report 截圖：

```
timing_report_Edg...   area_report_Edge...
Operating Conditions: ss0p72vm40c   Library: N16ADFP_StdCellss0p72vm40c_ccs
Wire Load Model Mode: top

  Startpoint: R6_reg_1_ (rising edge-triggered flip-flop clocked by clk)
  Endpoint: edge_y[0] (output port clocked by clk)
  Path Group: clk
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  Edge               ZeroWireload          N16ADFP_StdCellss0p72vm40c_ccs

  Point                                                   Incr       Path
  -----------------------------------------------------------------------
  clock clk (rise edge)                                   0.000000   0.000000
  clock network delay (ideal)                             0.200000   0.200000
  R6_reg_1_/CP (DFCNQD2BWP16P90LVT)                       0.000000   0.200000 r
  R6_reg_1_/Q (DFCNQD2BWP16P90LVT)                        0.067513   0.267513 f
  add_1_root_add_109_4/A[1] (Edge_DW01_add_7)             0.000000   0.267513 f
  add_1_root_add_109_4/U1/Z (XOR2D1BWP16P90LVT)           0.025799   0.293311 f
  add_1_root_add_109_4/SUM[1] (Edge_DW01_add_7)           0.000000   0.293311 f
  add_0_root_add_109_4/B[1] (Edge_DW01_add_5)             0.000000   0.293311 f
  add_0_root_add_109_4/U1_1/CO (FA1D1BWP16P90LVT)         0.028829   0.322140 f
  add_0_root_add_109_4/U1_2/CO (FA1D1BWP16P90LVT)         0.027620   0.349761 f
  add_0_root_add_109_4/U1_3/CO (FA1D1BWP16P90LVT)         0.027625   0.377385 f
  add_0_root_add_109_4/U1_4/CO (FA1D1BWP16P90LVT)         0.027625   0.405010 f
  add_0_root_add_109_4/U1_5/CO (FA1D1BWP16P90LVT)         0.027625   0.432635 f
  add_0_root_add_109_4/U1_6/CO (FA1D1BWP16P90LVT)         0.027625   0.460260 f
  add_0_root_add_109_4/U1_7/S (FA1D1BWP16P90LVT)          0.038623   0.498883 r
  add_0_root_add_109_4/SUM[7] (Edge_DW01_add_5)           0.000000   0.498883 r
  sub_109/B[7] (Edge_DW01_sub_1)                          0.000000   0.498883 r
  sub_109/U4/ZN (CKND1BWP16P90LVT)                        0.009542   0.508425 f
  sub_109/U2_7/CO (FA1D1BWP16P90LVT)                      0.027853   0.536278 f
  sub_109/U2_8/CO (FA1D1BWP16P90LVT)                      0.027625   0.563903 f
  sub_109/U2_9/CO (FA1D1BWP16P90LVT)                      0.022838   0.586741 f
  sub_109/U2_10/Z (XOR3D2BWP16P90LVT)                     0.026824   0.613565 f
  sub_109/DIFF[10] (Edge_DW01_sub_1)                      0.000000   0.613565 f
  U1029/Z (BUFFD1BWP16P90LVT)                             0.025958   0.639523 f
  U1005/ZN (CKND1BWP16P90LVT)                             0.028885   0.668409 r
  U22/Z (AO22D1BWP16P90LVT)                               0.018379   0.686787 r
  U1080/ZN (ND4D1BWP16P90)                                0.021479   0.708267 f
  U1082/ZN (AOI22D1BWP16P90)                              0.018961   0.727227 r
  U1031/ZN (NR3D1BWP16P90LVT)                             0.009106   0.736333 f
  U1030/ZN (NR2D1BWP16P90LVT)                             0.007868   0.744201 r
  U1065/ZN (CKND1BWP16P90LVT)                             0.015444   0.759645 f
  U1064/ZN (CKND1BWP16P90LVT)                             0.004950   0.764595 r
  edge_y[0] (out)                                         0.000000   0.764595 r
  data arrival time                                                  0.764595

  clock clk (rise edge)                                   0.760000   0.760000
  clock network delay (ideal)                             0.200000   0.960000
  clock uncertainty                                       -0.020000  0.940000
  output external delay                                   0.000000   0.940000
  data required time                                                 0.940000
  -----------------------------------------------------------------------
  data required time                                                 0.940000
  data arrival time                                                  -0.764595
  -----------------------------------------------------------------------
  slack (MET)                                                        0.175405
```

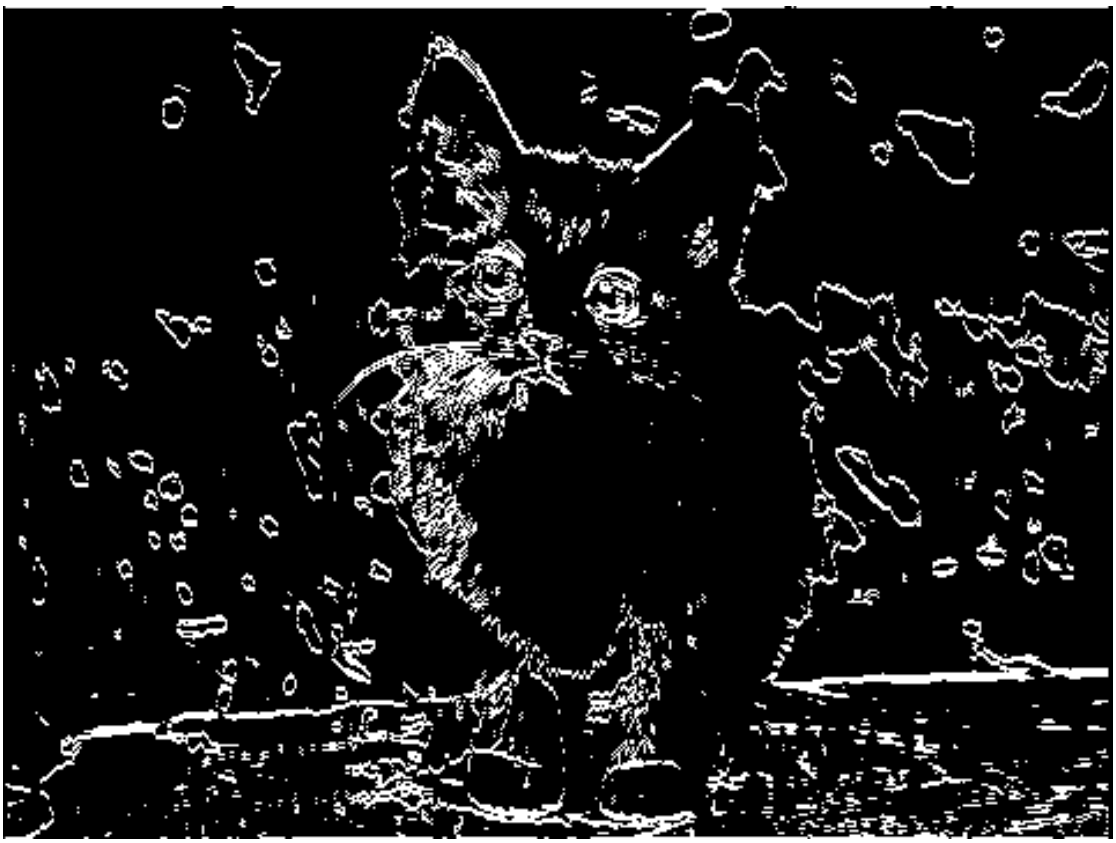
1.4 圖像結果 (Image Results)

- 原始輸入圖片 (Original Input Image)：

- 水平邊緣檢測結果 (Horizontal Edge Map)：



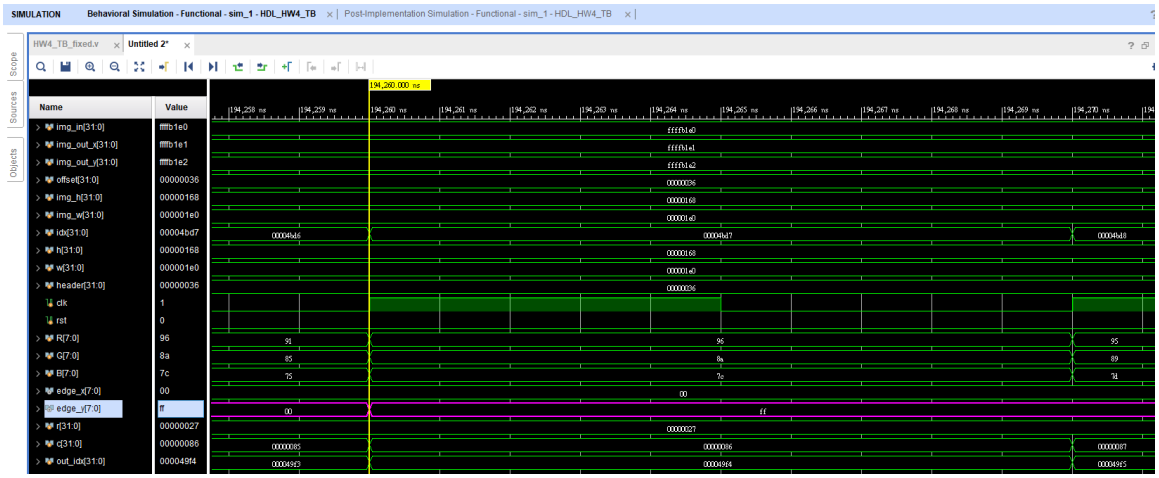
- 垂直邊緣檢測結果 (Vertical Edge Map)：



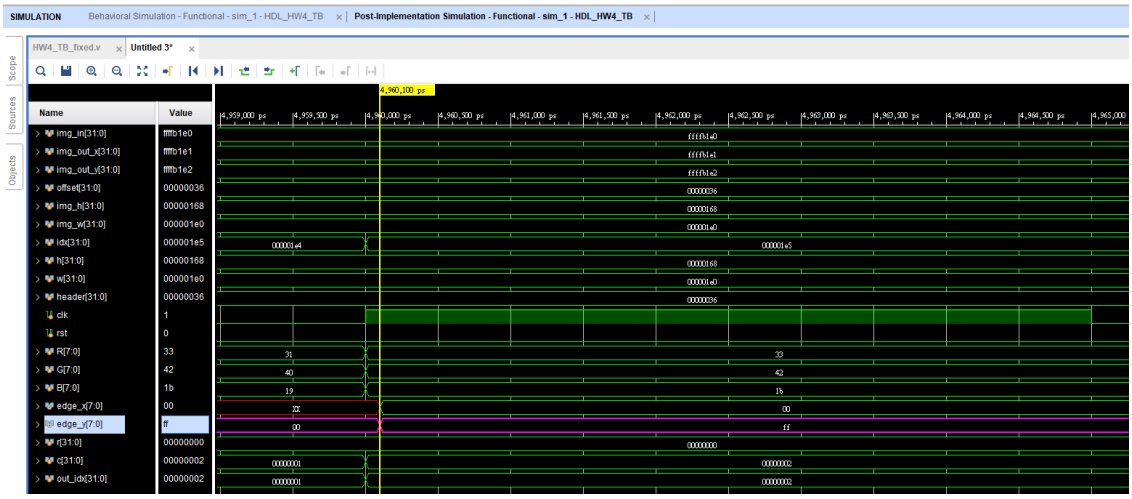
第二章：FPGA Implementation (Xilinx Vivado)

2.1 模擬波形圖與解釋 (Simulation Waveforms & Explanations)

1. Behavior Level Simulation：



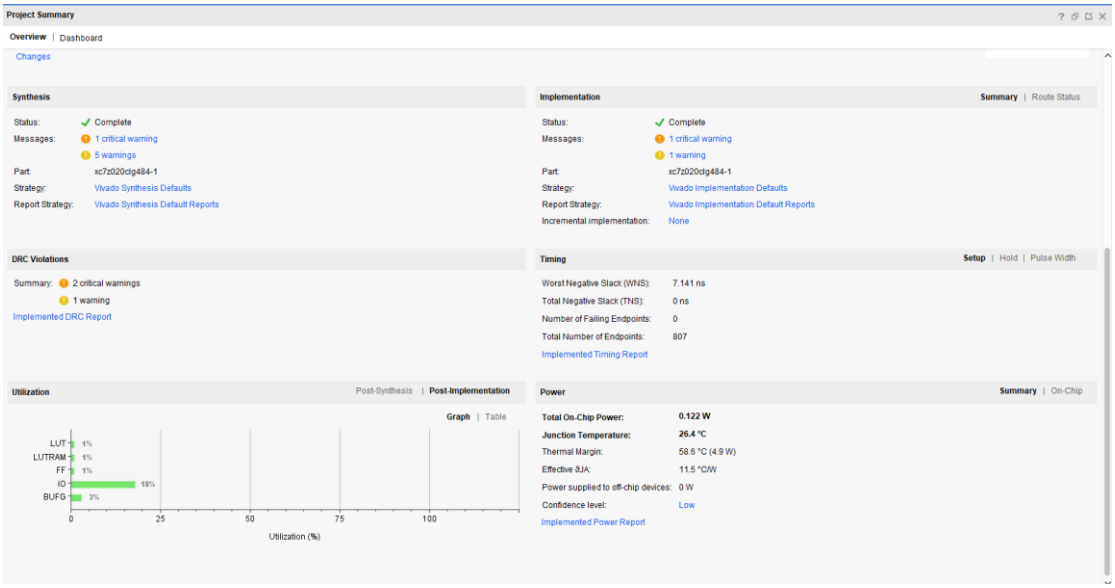
2. Post-Implementation Simulation：



3. 解釋 (Explanations)：

在觀察波形圖的時候，因為先前的 nWave 波形圖主要觀察點放在 edge_y，所以在 vivado 裡面模擬的波形圖，我也把重點觀察放在 edge_y 的電路變化，放大 post_implementation 的波形圖後可以觀察到當 clk 上升為 1 時，edge_y 的訊號並沒有馬上變化，但上圖的 behavioral 就有馬上馬上變成 ff，所以可以發現這裡有正確實現 post_implementation，可以觀察到實際上電路的 delay。

2.2 專案摘要截圖 (Project Summary-Overview Snapshots)



1.5 心得 (Comments)

這一次做的東西跟前面三個作業很不一樣，感覺到這個比較有實作東西的感覺，不知道可以用 Verilog 來做 convolution，然後在把貓咪的圖片生出來後就很有成就感，感覺之後有空可以試看看其他圖片，調整不同參數，看看生出來的圖片會長怎樣。

原本是根據講義給的(B >> 3) - (B >> 6); // B，讓 B 位移六位元，但後來計算後好像帶入 7 可以讓數值更接近 0.114，但因為已經做到一個段落就沒有修改程式碼了，有機會希望試看看修改，看有什麼不同差別

我是第一次做 convolution 相關的東西，一開始有些概念要去搞懂，像是那個 padding 的觀念或是要如何偵測到哪裡的 line buffer 是要被跳過的，我想這部分是遇到比較多困難的地方，在這之後做的事情就可以用到前面的作業的經驗，把一些步驟帶入進去做，基本上就沒遇到什麼問題。