

114 學年度  
國立中山大學  
硬體描述語言

Homework 5

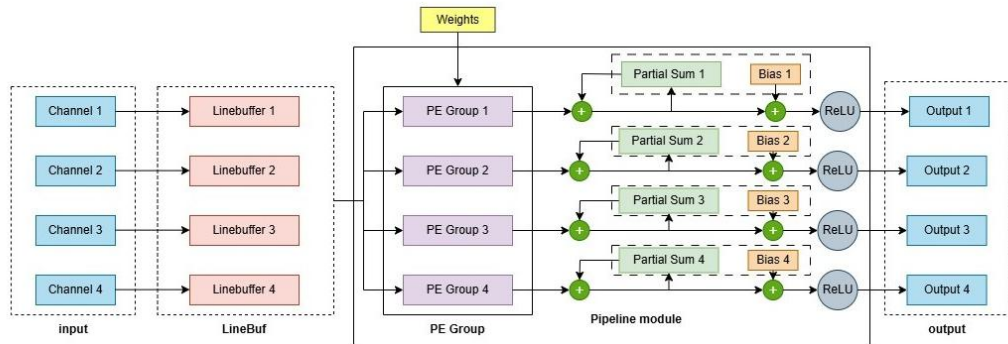
Convolution Accelerator

作業

授課教師：蕭勝夫

學生學號/班級/姓名：M143010068/電機工程學系碩士班/王嘉良

## 一、硬體架構圖解釋 (Hardware Architecture)



架構圖說明：

整個加速器主要由三個主要區塊組成，Line buffer, PE Group, Pipeline module，另外一開始的 input 因為第一次是 RGB 輸入，但我們是設定 4 個 channel，所以用 zero padding 補足，接著將 line buffer 同時 broadcast 給四組 PE Group，由四組 PE group 同時並行運算，每組 PE Group 負責計算一個 Output Channel 的 Partial Sum。接著加上 bias 然後經過 ReLU 確定結果為非負值，最後再輸出到 output。

## 二、合成結果 (Synthesis Result)

### 1. Area Information

項目	數值
Total Cell Area	146,790.77 $\mu\text{m}^2$
Combinational Area	72,028.88 $\mu\text{m}^2$
Non-combinational Area	74,761.89 $\mu\text{m}^2$

### 2. Critical Path Information

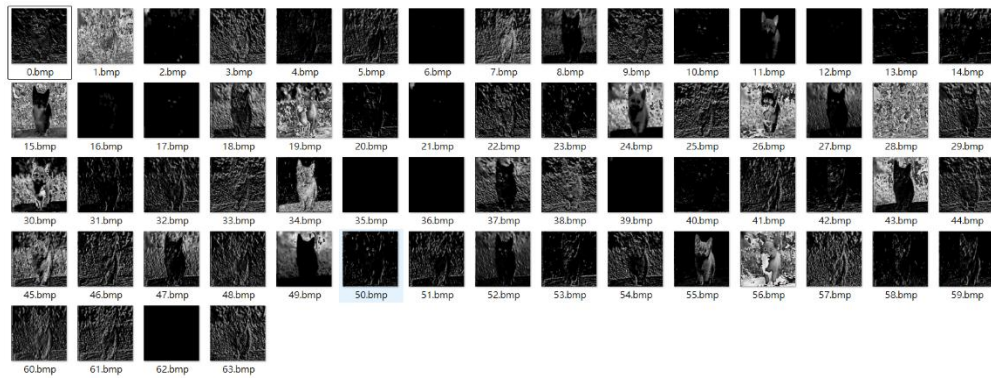
項目	數值	單位
Critical Path Delay	1.673	ns
Clock Period	2	ns
Slack (MET)	+0.327	ns
Max Frequency	597.7	MHz

### 3. Power Information

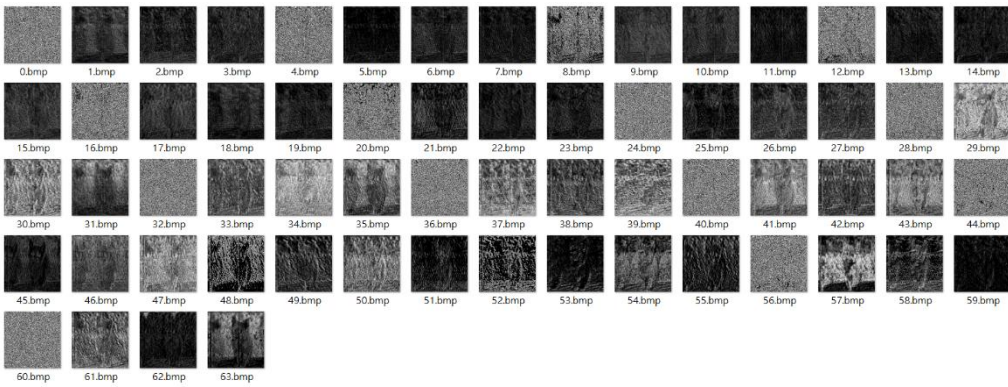
Total Dynamic Power: 97.87 mW

### 三、Image

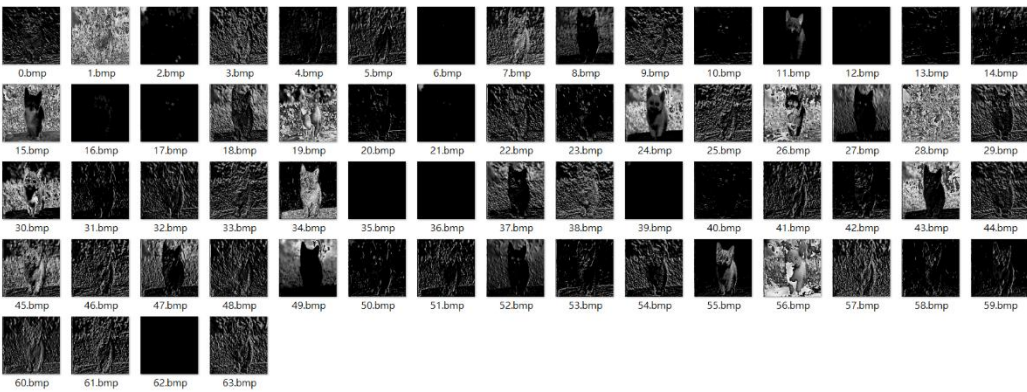
Pre-sim(layer 1)



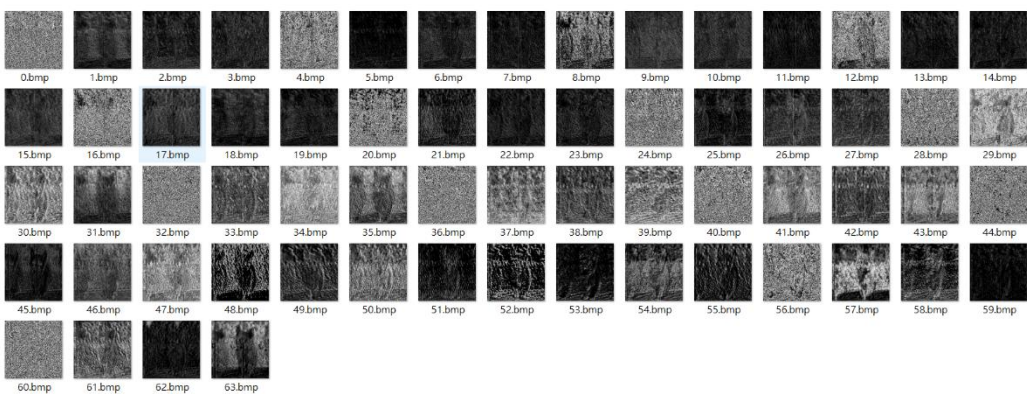
Pre-sim(layer 2)



Post-sim(layer 1)



Post-sim(layer 2)



#### 四、心得

這是我第一次做加速器的簡單應用，一開始還不知道 VGG，查了才知道他的全名是 Visual Geometry Group，我覺得最難熬的是 pre-sim 跟 post-sim 階段，算是幾個作業以來需要跑最久的，尤其是 post-sim 跑了將近 20 小時，程式碼一定還有很多可以優化的地方，也因為 server 有很多同學要一起共用，所以我採用分階段驗證的方式，在第一次 simulation 的時候，我是先產出 layer 1 前四張圖，確定圖片是正常的以後，接著產生 layer 1 的 64 張圖以及 layer 2 的前四張圖，當確定沒有問題後才敢放心讓他去跑完兩個 layer 的各 64 張圖，中途也一直很擔心被助教砍掉我的 process，也很高興最後的成果順利，學到很多。