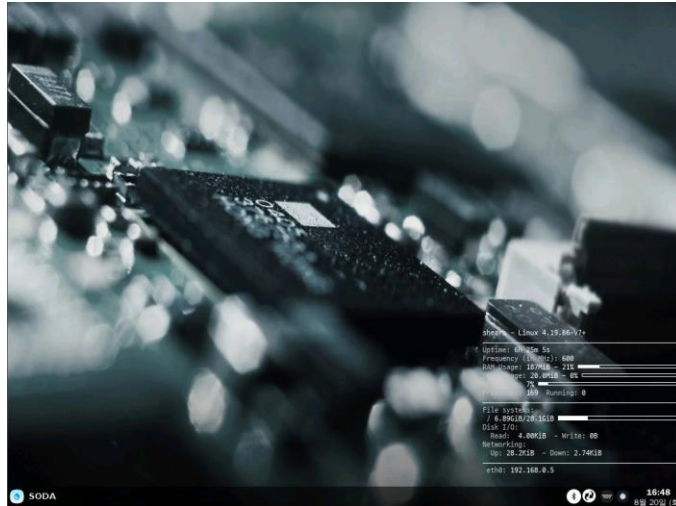


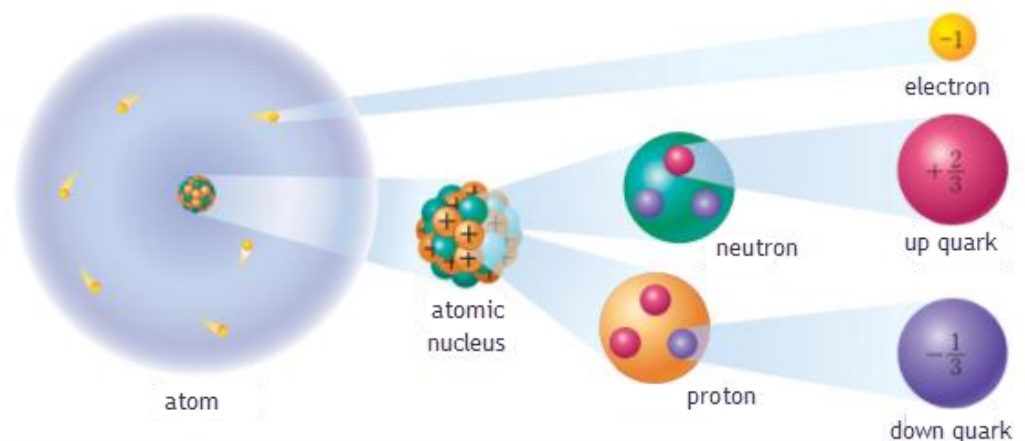
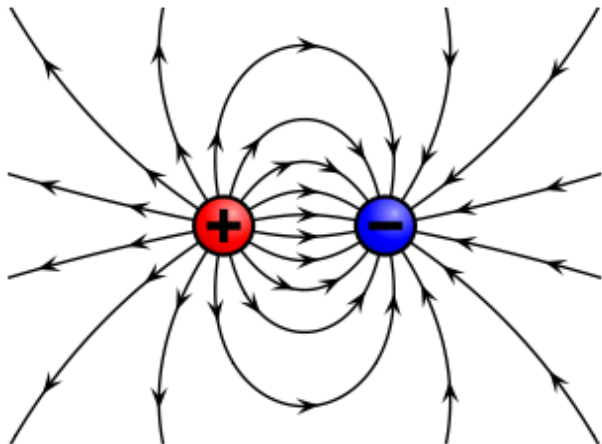
하드웨어 이해



박찬민

전하(Electric Charge)

- 물질이 가지고 있는 전기의 양
- 전자를 잃으면 양전하(+)를 띄고, 반대편은 음전하(-)를 띰
- 같은 극성 사이에는 서로 미는 힘(척력)이 작용하며, 다른 극성 사이에는 당기는 힘(인력)이 작용함
- 일반적으로 전기적으로 중성인 상태를 유지함

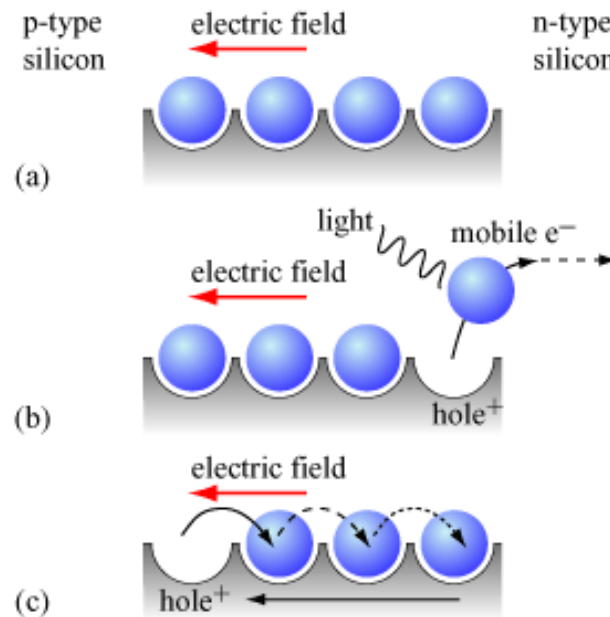


전자(Electron)

- 물질의 가장 바깥쪽에 위치한 전자를 최외각전자라고 하며, 주변 원자의 최외각전자와 공유결합으로 묶임
- 공유결합으로 강하게 묶인 물질은 전압을 걸어도 전류가 흐르지 않음
- 최외각전자들은 원자핵으로부터 멀리 떨어져 있어서 힘이 약하게 작용해서 이탈하기 쉬우며, 이를 원자가전자라 부름
- 원자가전자에 열이나 빛 등의 에너지를 가하면 전압에 따라 움직이는 자유전자가 됨
- 자유전자가 있는 물질에 전압을 걸면 전자가 방출되면서 전류가 흐름

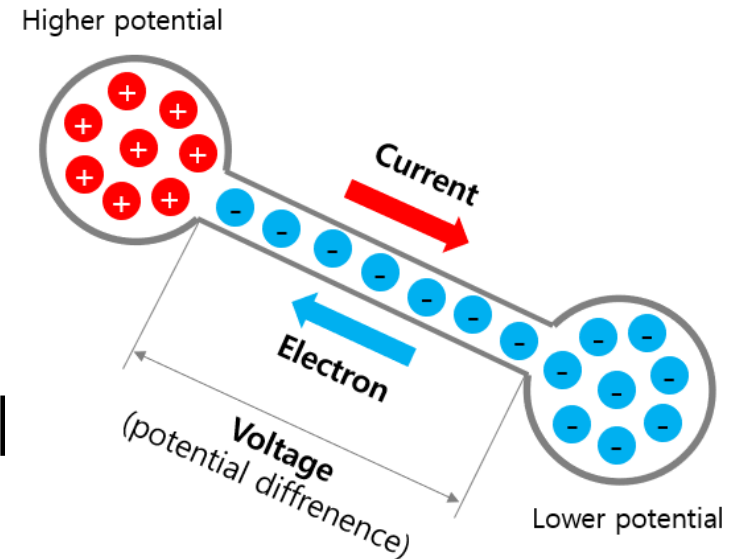
정공(Hole)

- 외부에서 가해진 에너지 때문에 전자를 잃은 빈자리
- 전자가 양전하로 보이는 정공을 채우면 정공은 전자의 반대 방향으로 이동하며 전하가 옮겨 짐
- 전압을 가하면 정공이 전자를 끌어 들어서 전류가 흐름



전압(Volt)

- 도체를 통해 전자를 밀어주는 힘이며, 볼트(Volt) 단위를 사용
- 전압(전위차)
 - 회로에 연결된 두 지점 사이의 전기적인 위치 에너지
 - 양전하를 기준으로 상대적인 크기로 나타냄
- 전위 이동
 - 전자는 낮은 전위에서 높은 전위로 이동
 - 전류는 높은 전위에서 낮은 전위로 이동
- 기전력
 - 일정한 전위차를 계속 유지할 수 있는 에너지



전압(Volt)

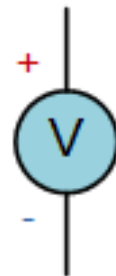
- 직류 (DC, Direct Current)
 - 일정 수준을 유지하는 정전압
 - 회로 기호는 +, - 부호에 배터리 기호 또는 원으로 표시
- 교류 (AC, Alternating Current)
 - 시간에 따라 주기적으로 위상이 변하는 전압
 - 회로 기호는 내부에 사인파가 있는 원으로 표시



Single
Cell



Multiple Cells
(Battery)



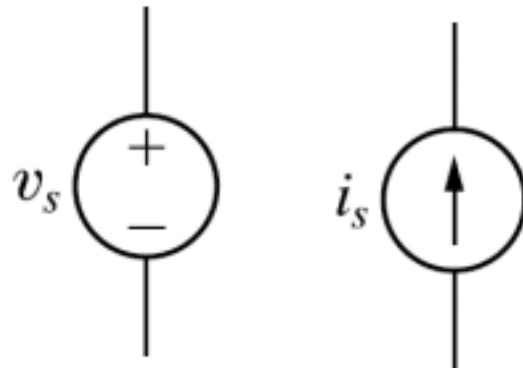
DC Voltage
Source



AC Voltage
Source

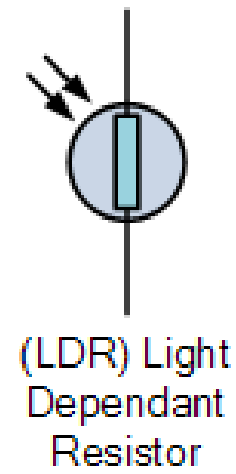
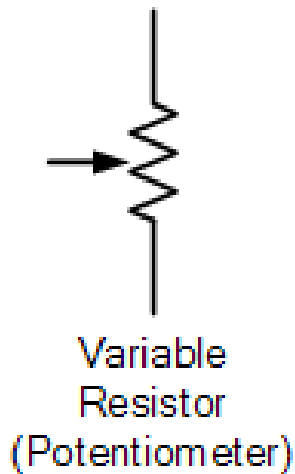
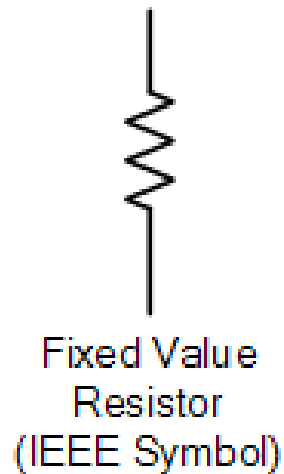
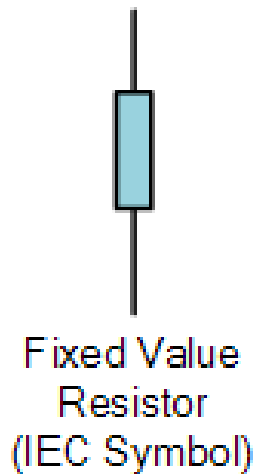
전류(Current)

- 전하의 움직임 또는 흐름이며, 암페어(Ampere) 단위를 사용
- 전자의 존재를 발견하기 전에 전류가 양극에서 음극으로 흐르는 양전하의 흐름으로 정의됨
- 실제로는 전자가 전원의 음극에서 양극으로 흐름
- 양전하 또는 음전하가 이동할 때 발생하는 전류 현상은 같으므로 전류의 방향은 기존의 양전하의 흐름으로 이해해도 무방
- 회로 기호는 방향을 나타내는 화살표가 있는 원으로 표시




저항(Resistance)

- 전하의 흐름을 방해하며, 옴(Ω) 단위를 사용
- 에너지를 저장하지 않고 전력을 전달
- 전압의 극성 및 전류 방향과 관계없이 항상 양의 값을 가짐
- 회로 기호는 저항의 종류에 따라 차이가 있지만, 일반적으로 엇갈린 선을 사용



저항(Resistance)

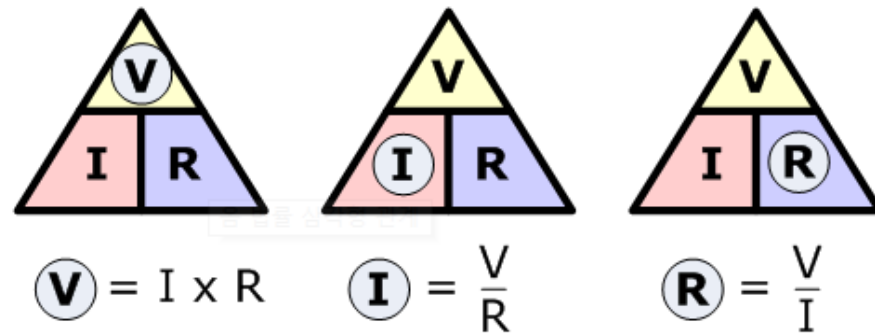
- 저항기의 값은 띠와 색깔로 구분



1st digit	2nd digit	Multiplier	Tolerance
0	0	x 1	
1	1	x 10	±1%
2	2	x 100	±2%
3	3	x 1K	
4	4	x 10K	
5	5	x 100K	
6	6	x 1M	
7	7		
8	8	x 0.1	±5%
9	9	x 0.01	±10%

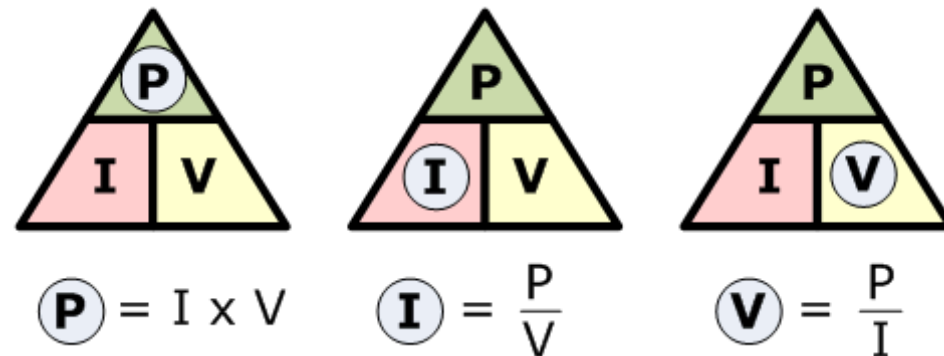
옴의 법칙

- 게오르그 옴(Georg Ohm)은 일정한 온도에서 고정된 선형 저항을 통해 흐르는 전류는 그 양단에 인가된 전압에 비례하며, 저항에도 반비례한다는 사실을 발견
- 전압, 전류 및 저항에 대해 두개의 값을 알면 세번째 값을 계산할 수 있음
- $\text{Current}(I) = \frac{\text{Voltage}(V)}{\text{Resistance}(R)}$ in Amperes (A)



소비 전력

- 회로 내에서 에너지가 흡수 또는 생성되는 속도
- 전력의 단위는 와트(Watt)이며, 1와트는 1줄(J)의 에너지를 1초간 사용한 전력량
- 옴의 법칙처럼 전력(P)는 전압(V)에 전류(I)를 곱한 값으로 표현
 - $P = V \times I$
- 저항에 전류를 흘리면 옴의 법칙에 의해 양 끝에 전압이 발생하므로 저항도 전기 에너지를 소비



정격 전력

- 회로 구성 요소가 전력을 열, 빛 또는 움직임과 같은 다른 형태로 변환할 때 연속으로 허용하는 전력의 최대치
- $V = I \times R$ 일 때 소비 전력(P)은 $P = I^2 \times R$ 로 표현
- 저항기가 견딜 수 있는 소비 전력이 곧 정격 전력
- 전원 회로, 발광 다이오드(LED)의 전류 제어용 같은 저항기에서는 큰 전류가 흐르므로 정격 전력을 고려해야 함

합성 저항

- 직렬 연결

- 전류 I 는 일정하게 유지됨
- 전체 저항

- $R_0 = R_1 + R_2 + R_3$

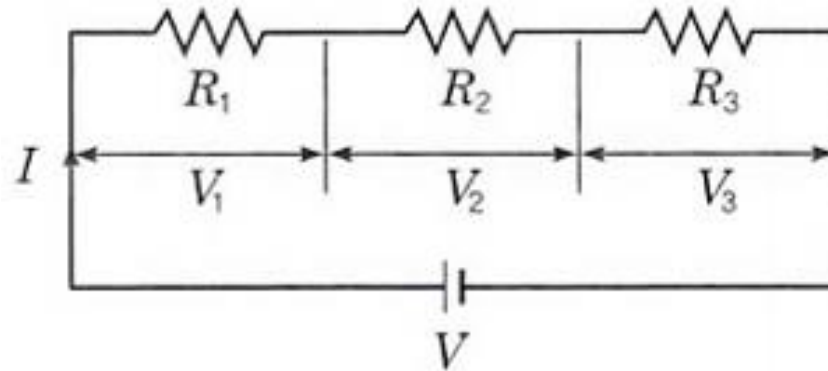
- 전체 전류

- $I = \frac{V}{R_0} = \frac{V}{R_1 + R_2 + R_3} \text{ [A]}$

- 각 저항 양단 전압

- $V_1 = \frac{R_1}{R_0} V, V_2 = \frac{R_2}{R_0} V, V_3 = \frac{R_3}{R_0} V$

- $V_1 : V_2 : V_3 = R_1 : R_2 : R_3$



합성 저항

- 병렬 연결

- 전압 V 는 일정하게 유지됨
- 전체 저항

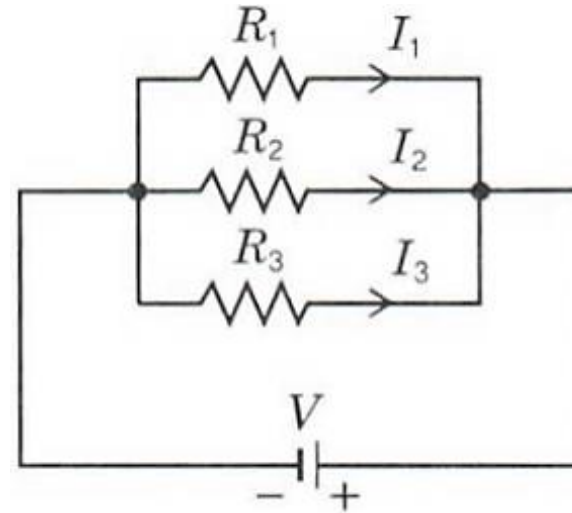
- $R_0 = \frac{1}{\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right)}$

- 각 저항에 따른 전류

- $I_1 = \frac{V}{R_1}, I_2 = \frac{V}{R_2}, I_3 = \frac{V}{R_3}$

- 각 저항 양단 전압

- $I = I_1 + I_2 + I_3, I = \frac{V}{R_1} + \frac{V}{R_2} + \frac{V}{R_3}$



합성 저항

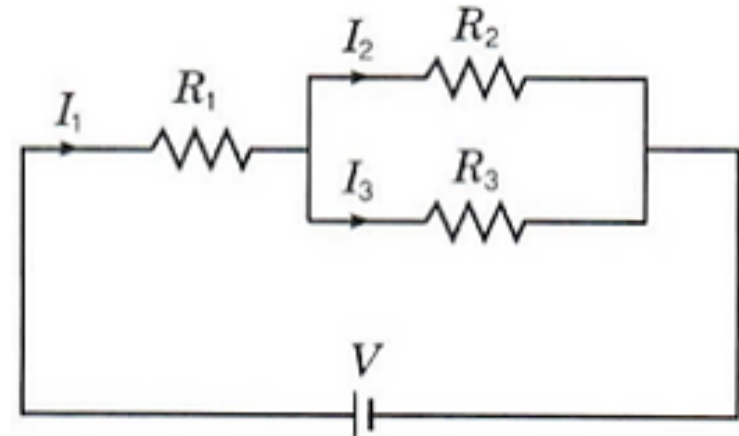
- 직렬, 병렬 연결

- 전체 저항은 직렬 저항 및 병렬 저항의 합과 같음
- 전류 I_1 은 전류 I_2, I_3 의 합과 같으므로 I_1 이 전체 전류와 같음
- 전체 저항

- $$R_0 = R_1 + \frac{1}{\frac{1}{R_2} + \frac{1}{R_3}} = R_1 + \frac{1}{\frac{R_2 + R_3}{R_2 R_3}} = R_1 + \frac{R_2 R_3}{R_2 + R_3}$$

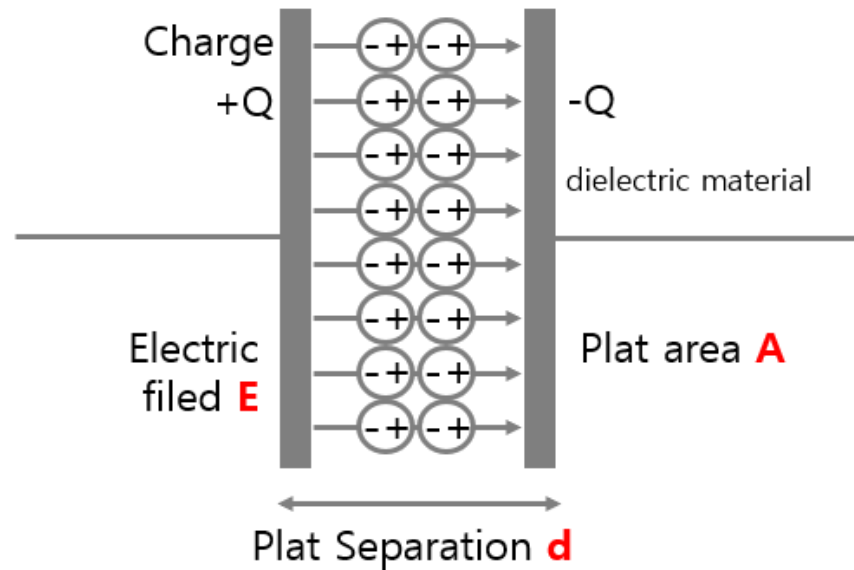
- 전체 전류

- $I_1 = I_2 + I_3$
- $I_1 = \frac{V}{R_0}$



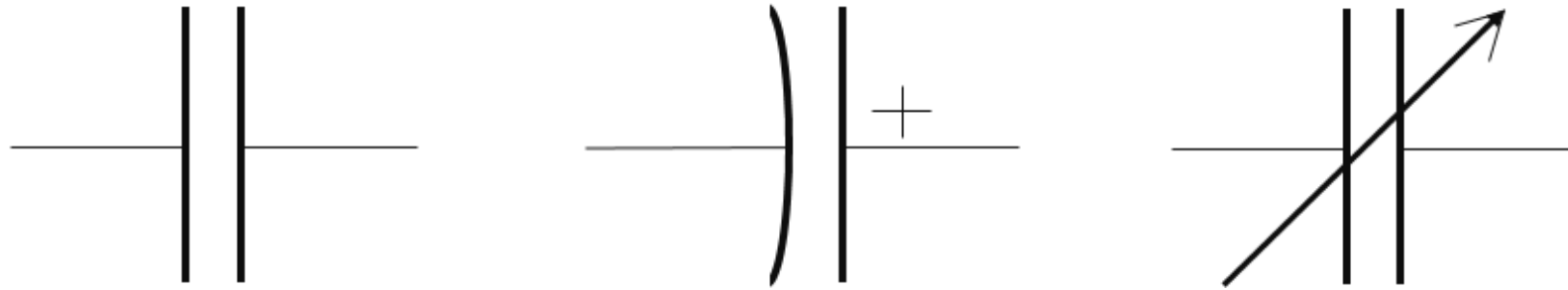
콘덴서(Condenser)

- 전하를 저장할 수 있는 능력이 있어서 커패시터(Capacitor)라고도 함
- 대칭 구조의 왼쪽 금속판에 양전하(+), 오른쪽 금속판에 음전하(-)를 배치하면 양전하가 음전하 쪽으로 이동하면서 내부에는 전기장 형태로 모이고, 왼쪽 금속에는 계속 양전하가 유입됨



콘덴서(Condenser)

- 용량을 나타내는 단위는 패럿(Farad)
- 기호는 양쪽 금속판 형태가 기본이며, 극성에 따라 조금씩 다름



콘덴서(Condenser)

- 사용되는 유전체에 따라 구분



알루미늄 전해 콘덴서



적층 세라믹 콘덴서



탄탈 콘덴서



필름 콘덴서

종류	알루미늄	세라믹	탄탈	필름
유전체	Al_2O_3	TiO_2 , BaTiO_3 , PbO	Ta_2O_5	폴리-에스테르/ 프로필렌/스티렌
정전용량	0.47 ~ 100,000 μF	0.5pF ~ 100 μF	0.1 ~ 470 μF	5pF ~ 10 μF
장점	<ul style="list-style-type: none"> • 내압/용량 풍부 • 저렴한 가격 	<ul style="list-style-type: none"> • 고주파 특성 우수 • 소형 • 무극성 	<ul style="list-style-type: none"> • 소형 대용량 • 반영구적 수명 	<ul style="list-style-type: none"> • 저가 • 안정성
단점	<ul style="list-style-type: none"> • 고온에 약함 • 큰 크기 • 극성 있음 	<ul style="list-style-type: none"> • 온도 의존성이 큼 • 전압 의존성이 큼 	<ul style="list-style-type: none"> • 내전압이 낮음 • 극성 있음 	<ul style="list-style-type: none"> • 열/약품에 약함 • 큰 크기

정전용량

- 콘덴서에 지속적으로 전류가 흐르면 전하가 모여 충전됨
- 충전 전하량 Q 는 입력 전압 V 에 정전용량 C 를 곱한 것과 같음
 - $Q = CV$
- 정전용량은 절연체의 비유전율 ϵ 이 클수록 크고, 금속판의 면적 A 가 클수록, 두 금속판의 거리 d 가 짧을수록 큼
 - $C = \epsilon \frac{A}{d}$
- 전류가 끊어지면 콘덴서에 모였던 전하가 이동하면서 방전됨

합성 콘덴서

- 직렬연결

- 전체 정전 용량

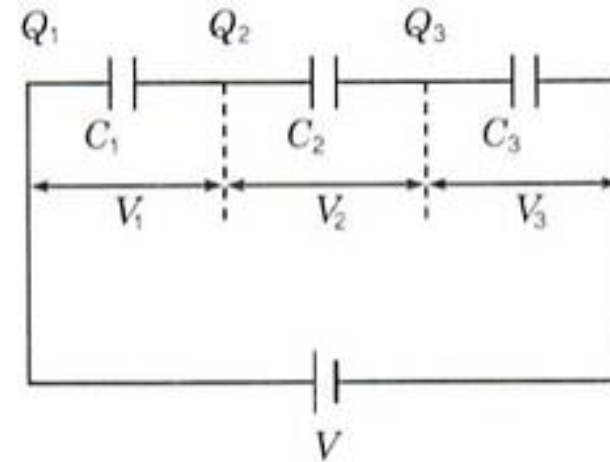
- $\frac{1}{C_T} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3}$

- $C_T = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3}} = \frac{C_1 C_2 C_3}{C_1 + C_2 + C_3}$

- 각 콘덴서에 걸리는 전압

- $V_1 = \frac{Q_1}{C_1}, V_2 = \frac{Q_2}{C_2}, V_3 = \frac{Q_3}{C_3}$

- $V = V_1 + V_2 + V_3$



합성 콘덴서

- 병렬연결

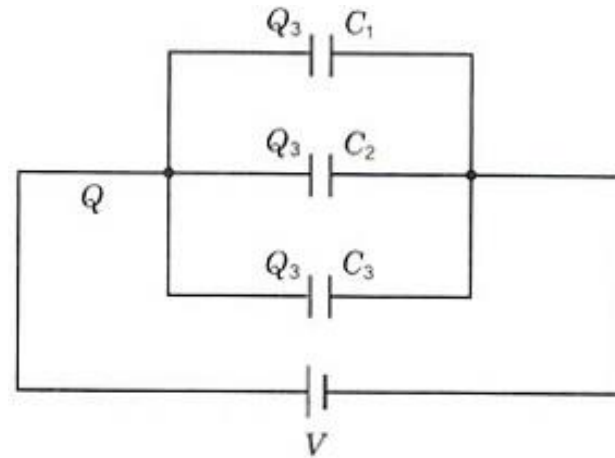
- 모든 콘덴서의 정전용량을 더하면 전체 콘덴서의 정전용량이 됨
- 전체 정전 용량

- $C_T = C_1 + C_2 + C_3$

- 전체 전하량 $Q(C)$

- $Q_1 = C_1V, Q_2 = C_2V, Q_3 = C_3V$

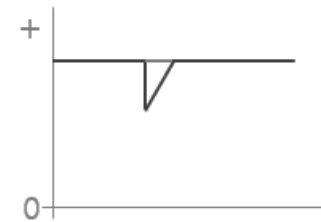
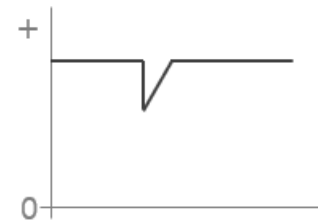
- $Q = Q_1 + Q_2 + Q_3$
 $= C_1V + C_2V + C_3V$
 $= V(C_1 + C_2 + C_3)[C]$



콘덴서 적용 분야

- 백업

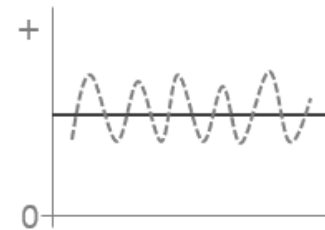
- 정격 전력에 도달한 부하가 높은 전류를 요구하면 순간적으로 도선에 전압 강하가 발생해 부하 쪽에 오동작을 일으킴
- 부하의 앞에 콘덴서를 연결하여 평소에 전기를 충전해 두었다가 전압 강하가 발생하면 부하 쪽에 전기를 공급해 오동작을 방지



콘덴서 적용 분야

- 디커플링

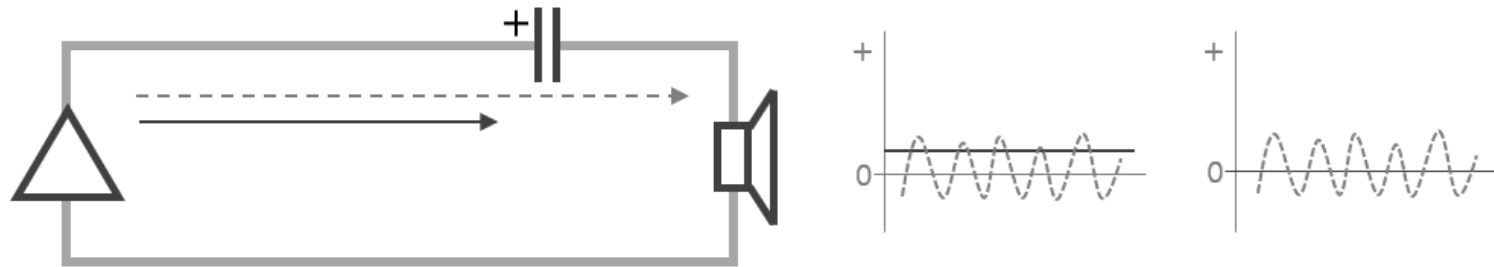
- 중첩된 전원선에서는 유도 전류 때문에 노이즈가 섞일 수 있고, 고속 회로에서도 고주파 노이즈가 발생함
- 콘덴서를 연결하면 교류 성질을 갖는 노이즈를 GND로 흐르게 해서 부하 쪽에는 깨끗한 DC 전원만 전달함



콘덴서 적용 분야

- 커플링

- 오디오 회로가 증폭한 교류 신호를 스피커에 전달해 소리를 출력할 때 증폭기를 동작시키는 직류 전압이 교류 신호에 섞여 잡음이 발생함
- 스피커 앞에 콘덴서를 연결하면 직류 전압을 차단하고 교류 신호만 통과시켜서 잡음 없는 깨끗한 소리가 출력됨



인덕터(Inductor)

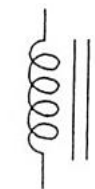
- 코일로도 불리며 구리선을 원통형 기둥에 서로 단락되지 않게 나선 모양으로 감음
- 전하로 전기를 저장하는 콘덴서와 달리 전류로 자기를 저장
- 도선이 나선형으로 뱅뱅하게 감겨 있는 것을 솔레노이드라 함



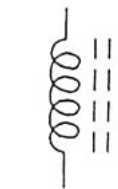
- 회로 기호는 코일 모양에 코일을 감은 심의 종류를 함께 표기



Air core



Iron core



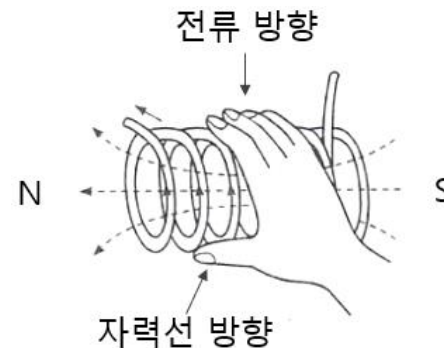
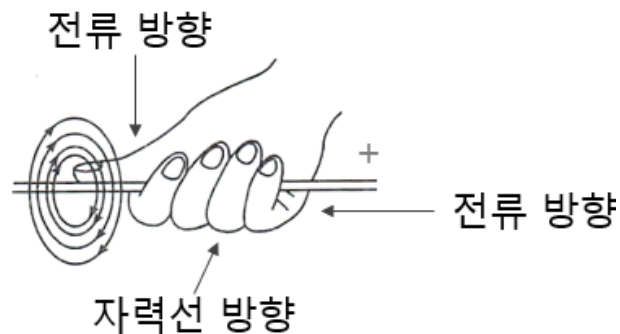
Powdered-iron
core



Variable
core

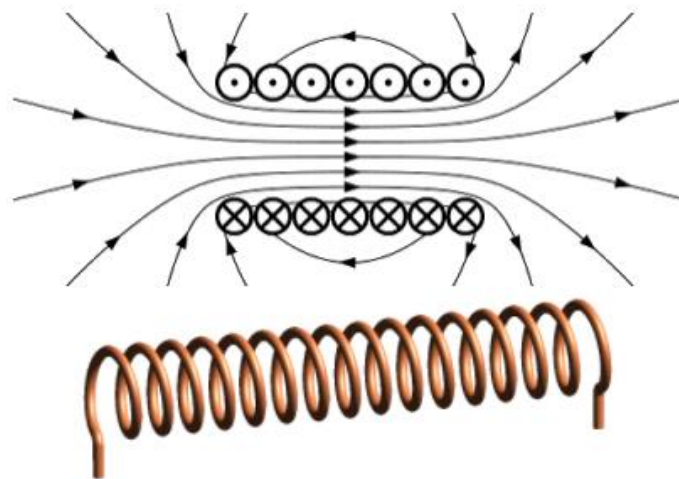
인덕터 기본 원리

- 전선에 전류가 흐르면 자기장이 생성됨
- 암페어의 오른나사 법칙
 - 자기장을 수학적으로 표현한 것이 자력선이며, 전선을 중심으로 동심원을 그림
- 원형으로 감은 전선에 전류를 흘리면 원형 가운데로 자기장이 생성되고, 전선 양 끝에 N, S극이 형성 됨
- 엄지손가락을 세우고 전류의 방향으로 오른손을 감싸면 엄지손가락 방향이 N극이 됨



인덕턴스

- 전류는 전하의 시간적 변화이며 도선 속을 움직이는 전하의 흐름은 항상 연속적임
- 특정 위치의 전류가 갑자기 빨라지거나 느려져도 전하 흐름을 만들던 전기적 관성 때문에 여전히 연속적인 흐름을 유지함
- 이때의 관성력을 전압으로 환산한 것이 기전력이며 이런 전기적 관성을 인덕턴스라고 함



인덕턴스

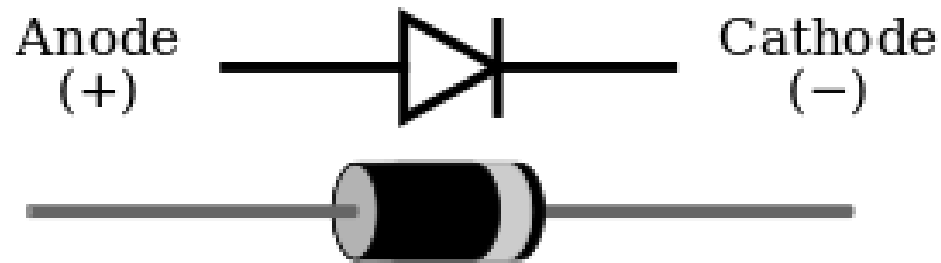
- 유도전류는 유도작용을 일으키는 자속의 변화를 방해하는 방향으로 흐름
- 자속 Φ 는 인덕턴스 L 에 전류 I 를 곱한 것과 같고 이를 시간으로 미분하면 전압이 됨
 - $\Phi = L I$
- 전류를 미분한 것이 전압에 정비례하므로 인덕터에서는 전류가 순식간에 변할 수 없음
 - $V = L \frac{dI}{dt}$

인덕턴 적용 분야

- 인덕터는 발전기를 비롯해 변압기, 전자석 등에 사용
- 주요 적용 분야
 - 자기장 특성 : 솔레노이드, 토로이드
 - 파동적 기계, 전기 에너지 : 마이크, 스피커
 - 일시적 힘 : 솔레노이드 계전기, 전자석
 - 연속적인 전기, 기계 에너지 : 발전기, 전동기
 - 전기회로 사이 에너지 전달 : 변압기

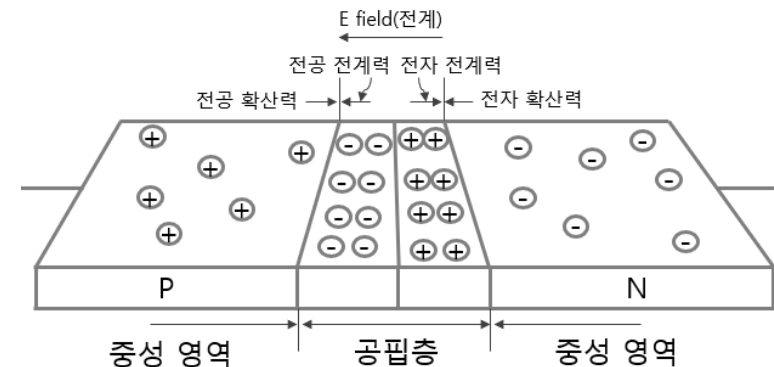
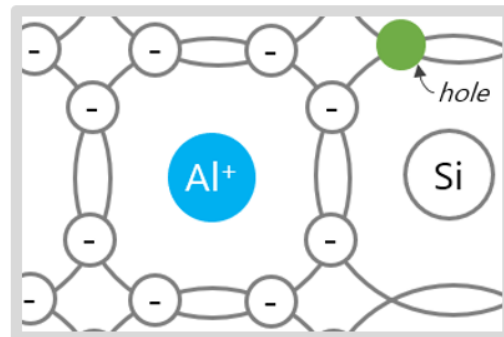
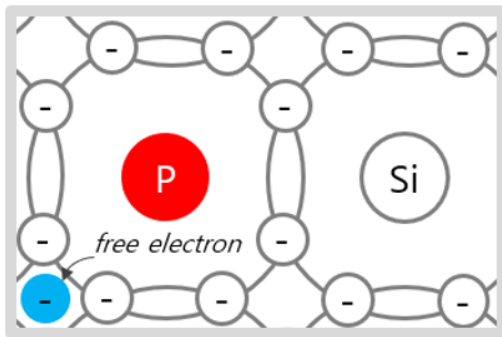
다이오드(Diode)

- 정공이 다수인 P형 반도체와 자유전자가 다수인 N형 반도체를 접합해서 만듦
- P(애노드, Anode)에서 N(캐소드, Cathode) 방향으로만 전류가 흐름
- 기호는 방향을 갖는 채워진 삼각형에 바를 추가한 형태이며, LED도 다이오드의 한 종류



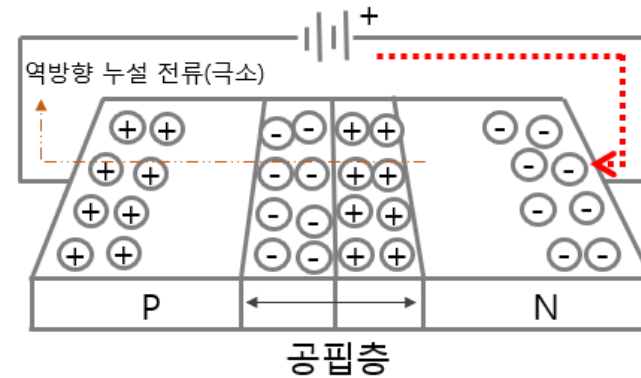
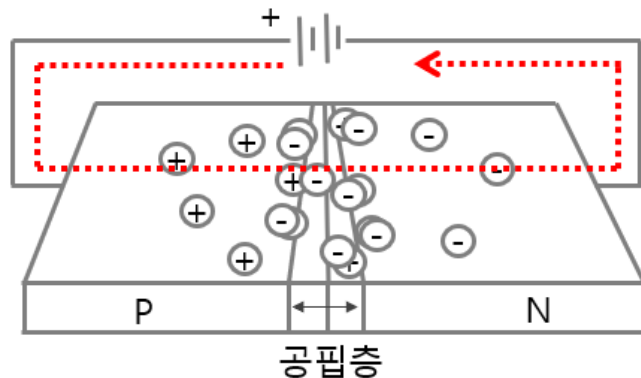
다이오드의 원리

- N형 반도체는 공유결합이 이루어지면 전자가 1개 남으며, P형 반도체는 공유결합이 이루어지면 정공이 1개 추가됨
- P형 반도체와 N형 반도체를 접합하면 P형의 정공과 N형의 자유전자가 접합영역에서 결합하여 공핍층이 형성됨
- 공핍층은 일종의 절연 영역이며, 매우 큰 저항임
- 자유전자나 정공이 공핍층을 통과하려면 일정 수준의 전압이 필요하며, 이를 에너지 전위 장벽 전압 또는 문턱 전압이라 함



다이오드의 원리

- P형에 양전압, N형에 음전압을 공급하는 순방향 바이어스에서는 공핍층이 축소되며, 전류가 흐르게 됨
- 바이어스 전압
 - 전기/전자적으로 의도한 기능을 발휘하도록 설계자가 초기에 설정한 동작 전압
- 반대로 P형에 음전압, N형에 양전압을 공급하는 역방향 바이어스에서는 공핍층이 전압의 크기에 비례해 증가하여 전류가 흐르지 않음



다이오드의 종류

- 용도에 따른 구분



정류 다이오드



스위칭 다이오드



정전압 다이오드



쇼트키 다이오드



PIN 다이오드



브릿지 다이오드

정류 다이오드

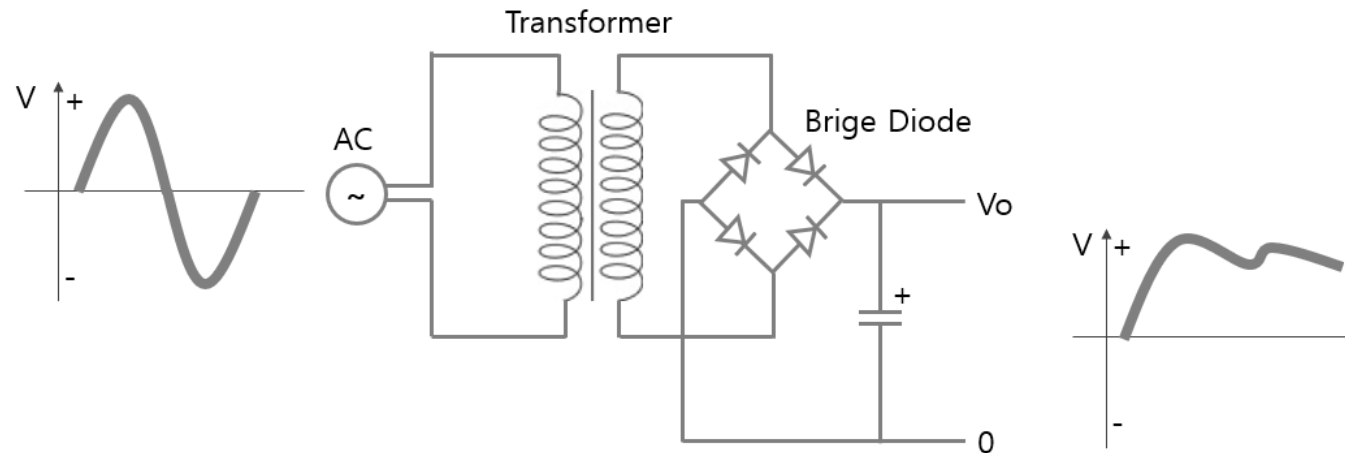
- 용도

- 역전압 방지

- 변압기로부터 전달받은 교류를 브릿지 회로를 이용해 DC 맥류로 정류하는 것

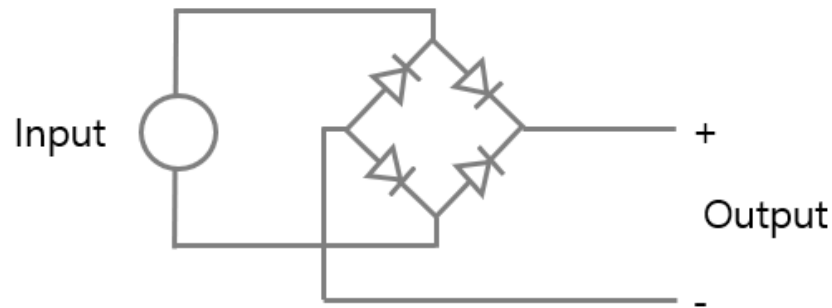
- 모터의 역기전력 방지

- 모터가 멈추면 코일에 축적된 에너지가 역방향 기전력을 일으켜서 연결된 소자를 손상시키는데, 다이오드로 방지할 수 있음

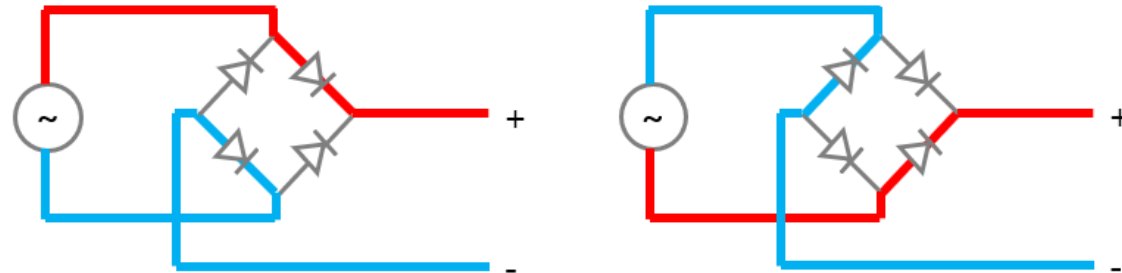


정류 다이오드

- AC 양전압은 통과하고 AC 음전압은 제거하는 것을 다이오드 브릿지 또는 브릿지 정류기라 하며, 4개의 정류 다이오드를 마름모꼴로 연결해 구현 함

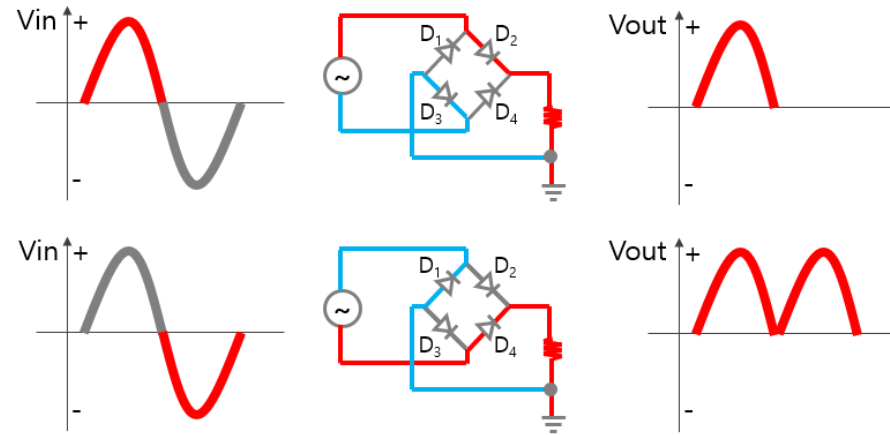


- 다이오드 브릿지는 어떠한 극성의 전압이 입력되더라도 항상 동일한 극성의 전압을 출력 함

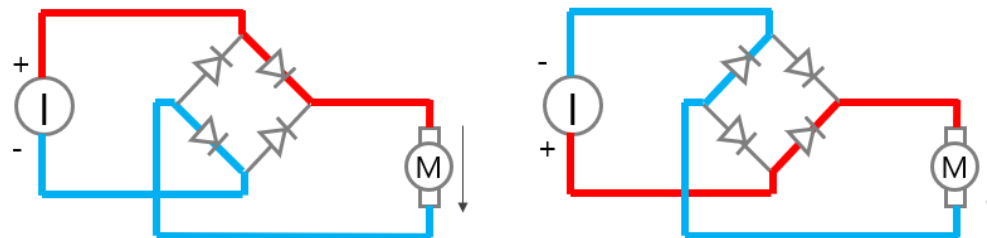


정류 다이오드

- 교류가 +방향으로 인가되면 D_2, D_4 쪽으로 전류가 흐르고, -방향으로 인가되면 D_1, D_3 쪽으로 전류가 흘러 +, -양쪽 모두 맥류 형태로 정류 됨

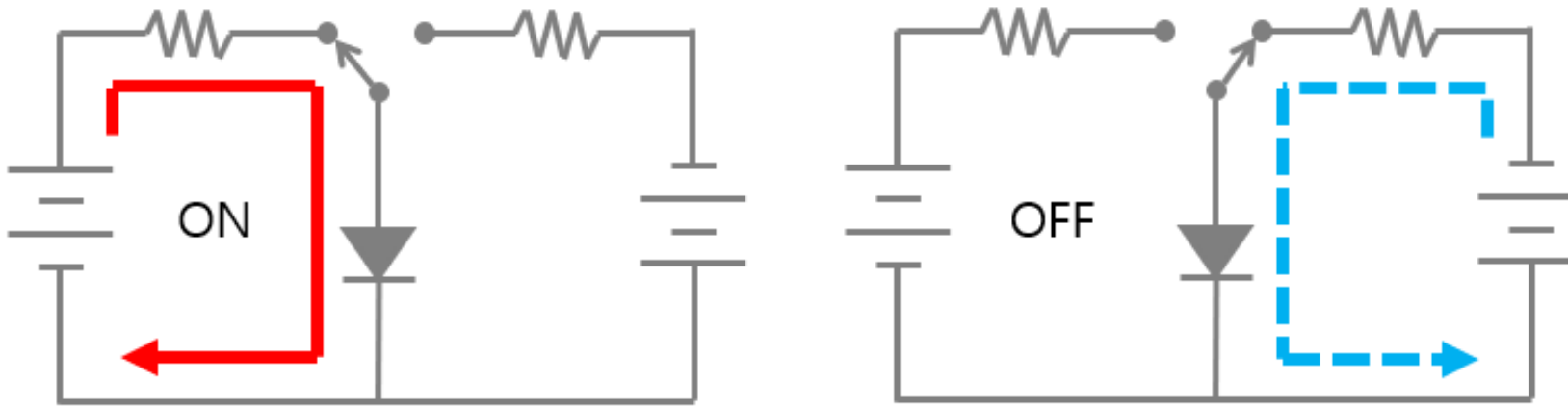


- 직류가 인가되면 위상이 바뀌지 않으므로 사용자가 입력 전원의 방향을 바꿔도 결과는 동일함. 즉, 모터는 항상 같은 방향으로 회전 함



스위칭 다이오드

- 전류를 흐르게 할 때는 순방향 쪽에 전압을 걸고, 멈출 때는 역방향 쪽에 전압을 걸어 전류를 흐르게 하거나 차단함
- ON 상태에서 완전한 OFF 상태가 되기까지 걸리는 시간인 역회복 시간이 정류 다이오드보다 1000배 정도 짧음

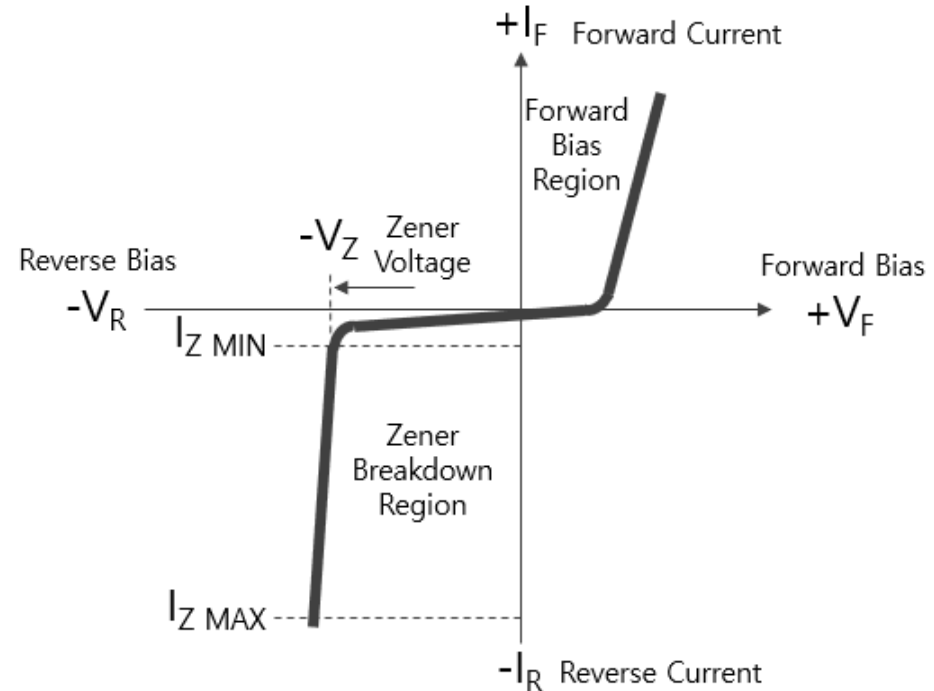


쇼트키 배리어 다이오드

- P형 반도체 대신 N형과 거의 같은 극성의 금속을 접합한 것으로 반도체 표면에 금속을 도핑하면 금속과 반도체 사이에 PN 접합보다 낮은 전위 장벽이 형성됨
- 일반적인 다이오드는 전원을 끊어도 내부에 남아있는 소수의 운송자에 의해 전원이 바로 끊어지지 않고 약간의 시간 동안 전류가 더 흐르는 역회복 시간이 발생하지만 쇼트키 배리어 다이오드는 공핍층이 없고 축적하는 전하도 없으므로 역회복 시간이 매우 짧음

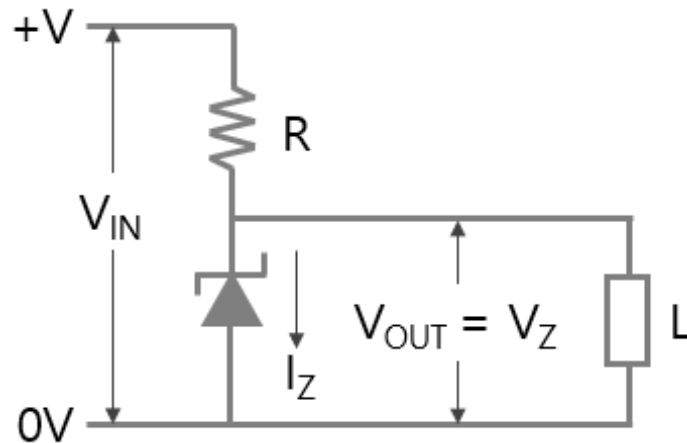
정전압 다이오드

- 제너 효과
 - PN접합 다이오드에 30V 이상의 역방향 전압을 가하면 갑자기 N형에서 P형으로 전류가 흐르는 항복 현상이 발생
- 제너 전압
 - 항복 현상 발생시의 전압
 - 항복 전압이라고도 부름



정전압 다이오드

- 제너 효과가 비교적 낮은 전압에서도 발생하도록 반도체의 불순물의 양을 조절한 다이오드로 역방향 전류가 허용 최대값을 초과하지 않는 한 다이오드의 손상 없이 제너 현상을 반복함
- 역방향 전압을 제너 전압 이하로 낮추면 역방향 전류의 크기는 다시 0에 가까워짐
- 역방향 전압이 제너 전압에 이르면 전압을 조금만 증가시켜도 전류가 많이 증가함
- 정전압 다이오드를 부하 L과 병렬로 연결한 후 직렬로 저항 R 연결하면 정전압 출력 및 다이오드에 흐르는 최대 허용 전류를 제어할 수 있음



PIN 다이오드

- 일반적인 다이오드는 불순물이 섞인 PN접합으로 구성되지만 PIN 다이오드는 P와 N 사이에 공핍층을 대신하는 I형 진성 반도체가 삽입됨
- 순방향 바이어스에서는 가변 저항처럼 동작하고 역방향 바이어스에서는 콘덴서처럼 동작함
- 역방향 전압을 가했을 때 축적되는 전하량이 매우 적어 모바일 환경의 고주파 신호를 스위칭하는 소자나, I 영역을 P, N영역보다 넓게 만들어 빛을 검출하는 포토 다이오드로도 사용함

트랜지스터

- 신호의 증폭과 스위칭을 담당하는 소자

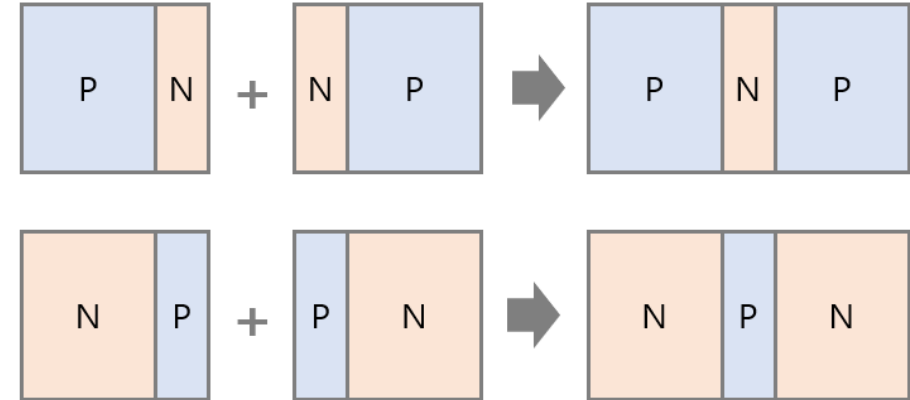
- 바이폴라 접합 트랜지스터(BJT)

- 전자와 정공을 모두 이용
- 전류로 전류를 제어

- 전계효과 트랜지스터(FET)

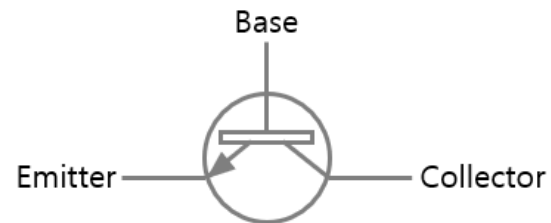
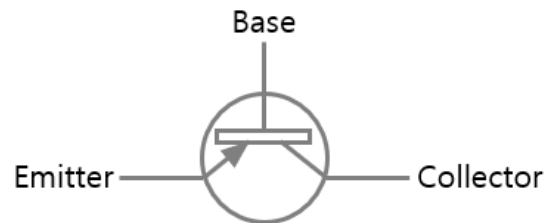
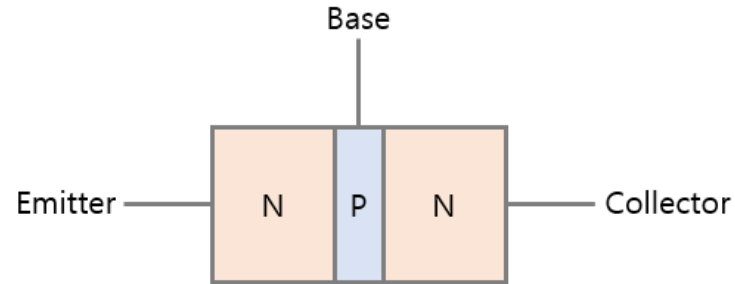
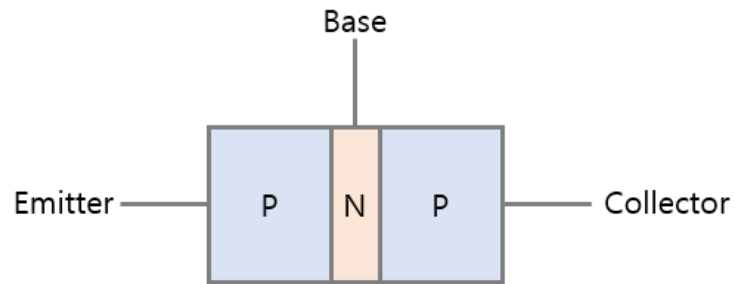
- 전자와 정공중 하나만 이용
- 전압으로 전류를 제어

- 다이오드는 PN접합이지만 BJT는 PN접합과 NP접합을 다시 접합한 PNP와 NP접합과 PN접합을 다시 접합한 NPN로 나뉨



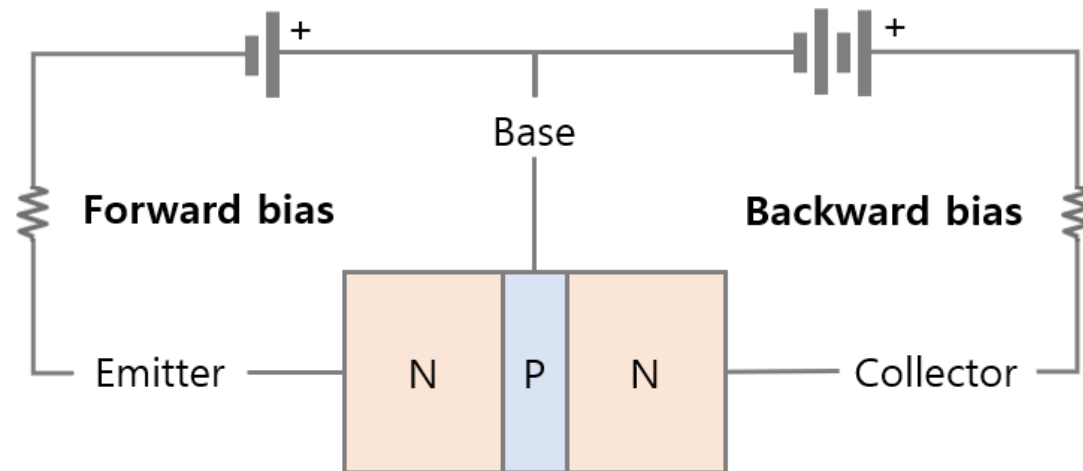
트랜지스터 구조

- BJT는 이미터(Emitter), 베이스(Base), 컬렉터(Collector) 영역으로 나뉨
- 가운데가 베이스이고 양쪽이 반도체 구성이 같은 이미터와 컬렉터이며, 베이스와 이미터(또는 컬렉터)의 반도체 구성은 다름



트랜지스터 동작원리

- PNP와 NPN 트랜지스터의 동작 방식은 비슷함
- 이미터에 순방향 바이어스를 걸어주고 컬렉터에 역방향 바이어스를 걸어주면 작동을 시작하는데 이를 활성모드라고 함
- 활성모드에서 이미터 쪽 순방향 바이어스는 이미터에 음전압, 베이스에 양전압, 컬렉터 쪽 역방향 바이어스는 컬렉터에 양전압, 베이스에 음전압을 걸어주는 것을 의미함

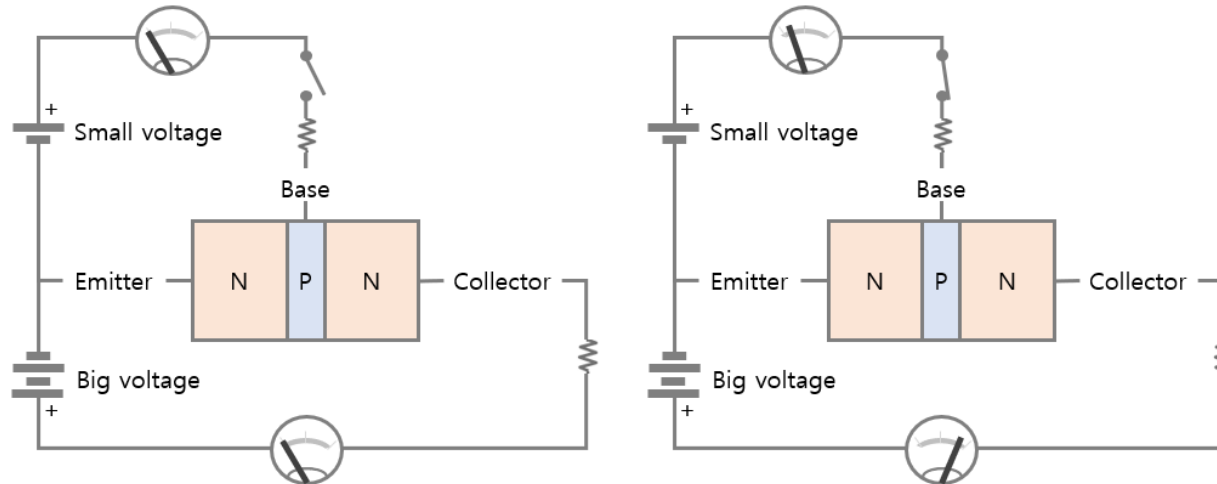


트랜지스터 동작원리

- 이미터와 베이스 사이 순방향 바이어스가 걸리면 이미터에서 베이스로는 전자가, 베이스에서 이미터로는 정공이 주입됨
- 이미터에 존재하는 전자가 베이스에 존재하는 정공보다 훨씬 많아 대부분의 전자는 재결합하지 않은 채 컬렉터 쪽으로 넘어가 컬렉터에 모임
- 전류의 방향은 전자와 반대이므로 컬렉터 쪽의 많은 전류가 이미터 쪽으로 흐름
- 컬렉터와 베이스 사이 역방향 바이어스가 걸리면 베이스 영역을 통과한 전자가 컬렉터에 연결된 양전압에 이끌려 컬렉터 영역에 모여 컬렉터 전류를 이루므로 컬렉터에서 이미터로의 전류 이동이 더욱 활성화 됨

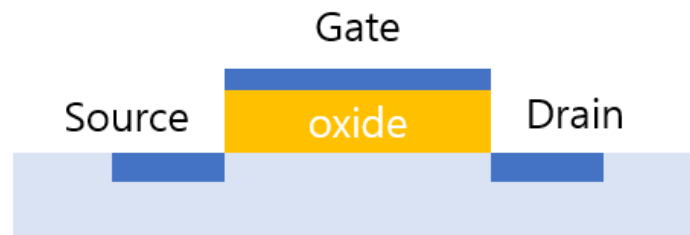
트랜지스터 동작원리

- 활성모드가 아닐 때는 가운데 베이스가 형성한 전위장벽 때문에 전자 이동이 막혀 전류가 흐르지 않음
- 이미터에서 컬렉터로 흐르는 전자의 양, 다른 의미로 컬렉터에서 이미터로 흐르는 전류의 양이 베이스의 전위장벽에 의해 조절되고 베이스의 전위장벽은 베이스 전류에 의해 조절됨
- 베이스 전류는 일반적으로 매우 낮으므로 작은 변화가 전류 흐름을 크게 변화시켜 전류를 증폭함



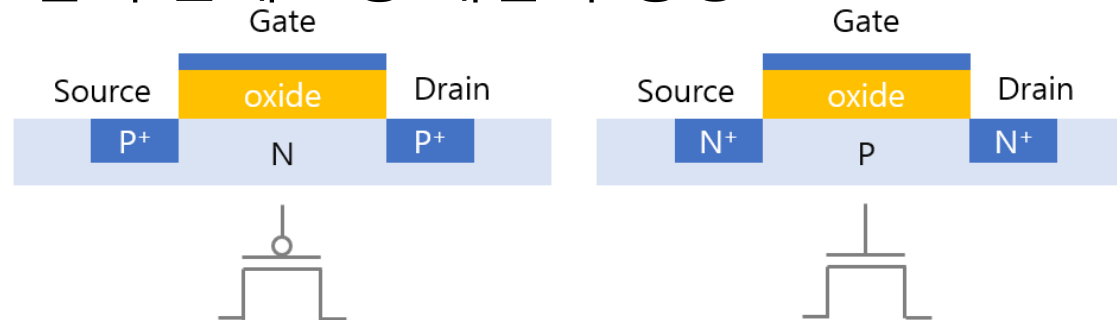
FET

- 전자와 정공 중 하나만 사용하는 단극성 트랜지스터로써 전계에 의해 전류의 흐름을 제어함
- FET은 접합 전계효과 트랜지스터(JFET)와 금속 산화막 반도체 전계효과 트랜지스터(MOSFET)로 나뉘며, 디지털 회로는 MOSFET를 많이 사용함
- MOSFET은 게이트(Gate)와 소스(Source), 드레인(Drain) 영역으로 나뉘는데, M은 게이트의 단자로 사용되는 금속이고 O는 유전체이며 S는 실리콘 기판인데, MOS가 샌드위치처럼 층층이 쌓이면서 그 모습이 전형적인 콘덴서와 같음



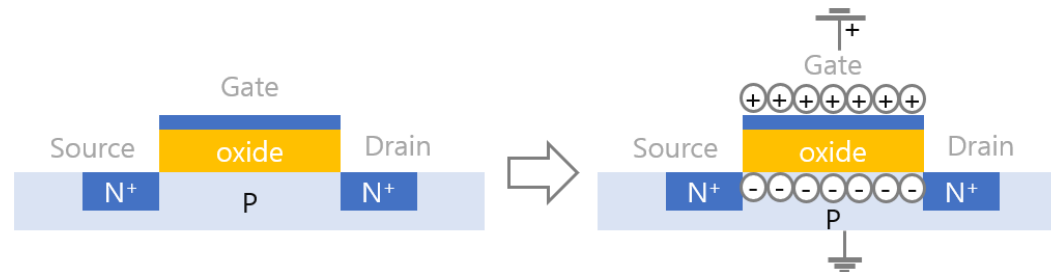
FET 구조

- P게이트의 전압에 의해 소스와 드레인 사이 전류를 제어
- PMOS
 - 소스와 드레인이 P형 반도체 영역이고 실리콘 기판이 N형 반도체
 - 정공이 운송자
 - 게이트 유전체 밑 부분에 P형 채널이 형성
- NMOS
 - 소스와 드레인이 N형 반도체 영역이고 실리콘 기판이 P형 반도체
 - 전자가 운송자
 - 게이트 유전체 밑 부분에 N형 채널이 형성



FET 동작원리

- 공핍형 MOSFET
 - 평상시에 소스와 드레인 사이에 채널이 형성되어 전류가 흐르다가 게이트를 닫아주면 전류가 차단 됨
- 증가형 MOSFET
 - 평상시에는 전류가 흐르지 않지만, 게이트를 열어주면 채널이 형성되어 전류가 흐름
- 증가형 NMOS를 예로 들면 채널이 형성되지 않은 상태에서 게이트에 문턱 전압 이상의 양전압을 걸어주면 유전체에 의해 전기장이 형성되어 정공들은 척력에 의해 밀려나서 N형 채널이 형성됨
- 반대로 게이트에 음전압을 걸어주면 인력에 의해 처음보다 더 많은 정공이 유전체 밑에 모이게 되어 전류는 더더욱 흐를 수 없음



FET 장단점

- 장점

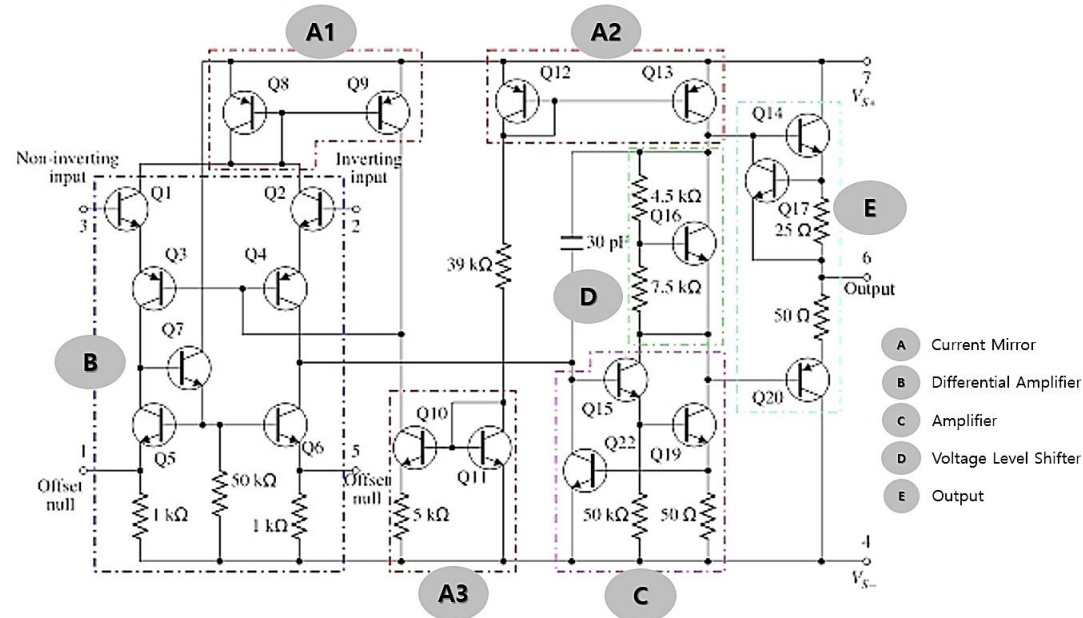
- 무어의 법칙에 의해 집적도를 높이면서 크기를 줄일 수 있어서 원가가 절감되고 성능이 향상됨
- 구조가 단순하고 집적도가 높으며, 공정이 단순하여 생산 단가가 낮음
- 게이트와 실리콘 기판 사이의 전계만을 형성할 뿐 전류를 소비하지 않아서 전력 소모가 적음

- 단점

- 배선의 크기가 줄어들면 저항이 증가하고, 누설이 발생하여 전류 터널링 효과가 발생

연산증폭기

- RLC(저항, 인덕터, 콘덴서)와 트랜지스터를 제외하면 회로를 구성할 때 가장 많이 사용하는 소자
- 기능
 - 어떤 회로에서 흐르는 전류를 복사해 다른 회로에 똑같이 공급하는 전류 거울
 - 두 입력 신호의 전압차만큼 증폭해 출력하는 차동 증폭기
 - 전압 조절기
 - 출력 회로

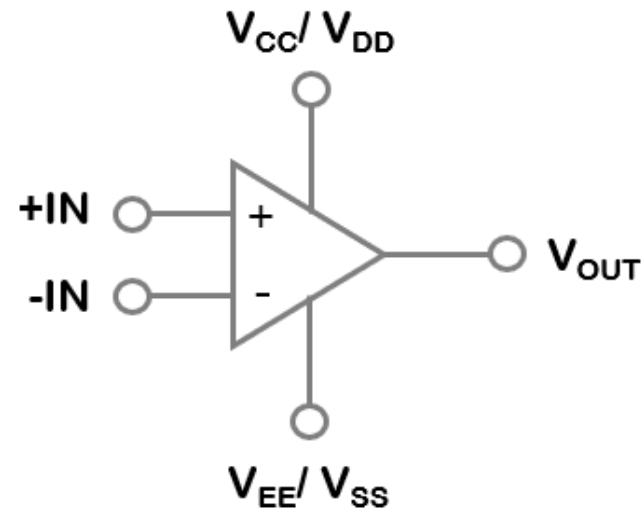


연산증폭기

- 내부 구조

- 비반전 입력단자(+IN)
- 반전 입력단자(-IN)
- 양전압 전원 단자(V_{CC}/V_{DD})
- 음전압 전원 단자(V_{EE}/V_{SS})
- 출력 단자(V_{out})

- 일반적으로 BJT로 제어하는 전원은 V_{CC}/V_{EE} 로 표기하고 MOSFET 전원은 V_{DD}/V_{SS} 로 표기

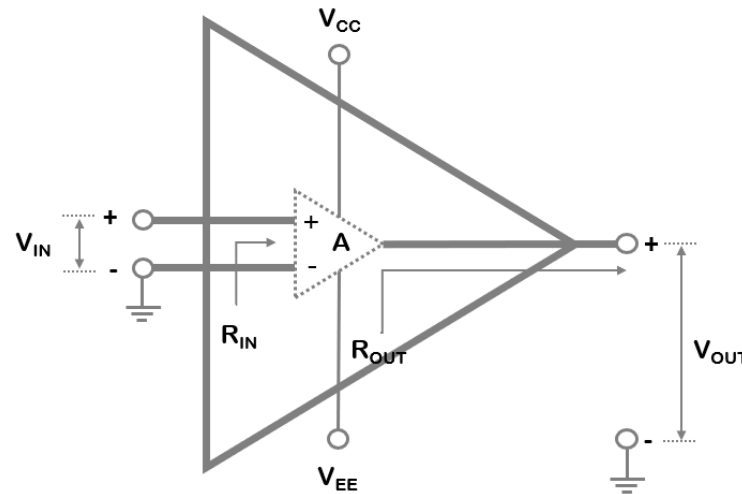


전압이득

- OP Amp의 +IN과 -IN 사이 입력 전압을 걸어주면 V_{OUT} 은 $\frac{V_{OUT}}{V_{IN}}$ 만큼 증폭된 전압을 출력
- 상용대수를 20배 한 데시벨(dB)로 표기
- 예를 들어 OP Amp의 개방 이득이 $100,000 = 10^5$ 배라면 데시벨로는 $100 \text{ [dB]} = 20 \log_{10} 10^5$

이상적인 OP AMP

- 동작을 이해하기 위해 이상적인 OP Amp를 가정
- 이상적인 OP Amp는 입력 전압 V_{IN} , 출력 전압 V_{OUT} , 전압 이득 A , 입력 저항 R_{IN} , 출력 저항 R_{OUT} 및 두 개의 전원인 V_{CC} 과 V_{EE} 로 구성되며 다음 조건을 만족해야 함
 - 전압 이득 무한대 : $AV = \infty$
 - 입력 저항 무한대 : $R_{IN} = \infty$
 - 출력 저항 0 : $R_{OUT} = 0$
 - 대역폭 무한대 : $B = \infty$
 - 전압과 전류 오프셋 : 0



이상적인 OP AMP

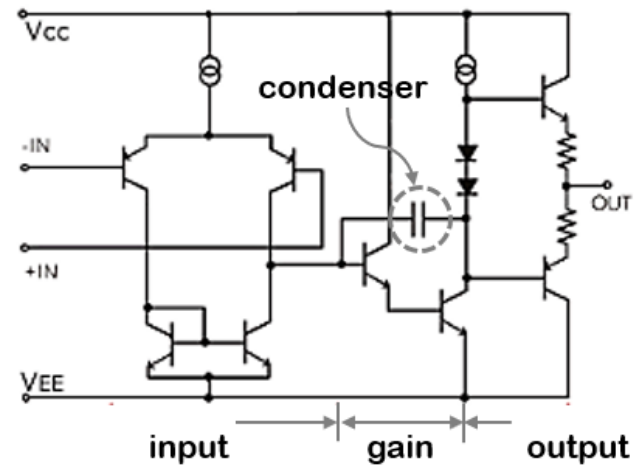
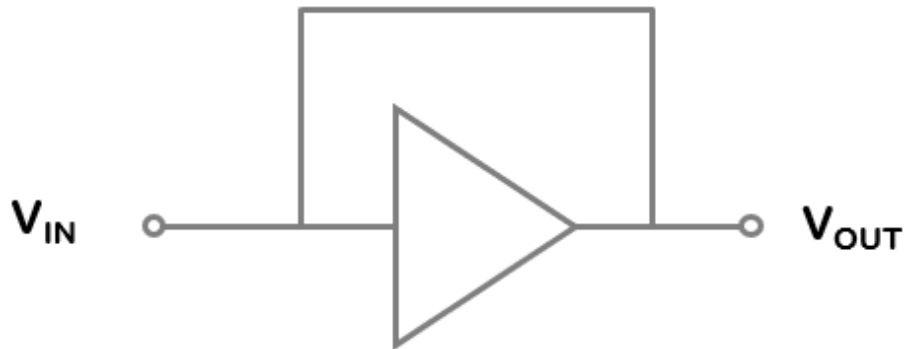
- 전압 이득이 무한대
 - 되먹임 회로를 통해 원하는 이득을 얻을 수 있음
- 입력 저항이 무한대
 - V_{IN+} 와 V_{IN-} 사이의 전압은 0V이므로 V_{IN+} 와 V_{IN-} 에 공급되는 전류는 흐르지 않음
- 출력 저항이 0
 - V_{OUT} 에 어떠한 회로를 연결해도 그 회로에 이상적인 전압이 전달
- 대역폭이 무한
 - V_{IN} 에 인가된 신호에 포함된 모든 주파수 성분을 증폭할 수 있음
- 오프셋이 0
 - 기준치로부터 얼마나 벗어났는지를 나타내므로 0이면 오차가 없음

가상접지

- 이상적인 OP Amp의 입력 저항은 무한대이므로 V_{IN+} 와 V_{IN-} 사이의 전압은 0V이며 단락을 의미함
- 이 단락현상은 물리적인 단락이 아니기 때문에 가상 접지임
- 단일 전원을 공급하거나 이중 전원을 공급할 때 V_{IN+} 에 특정 고정 전압을 입력하면 V_{IN} 은 기준 전압인 0V가 필요하므로 이때는 가상 접지임
- V_{IN-} 에 되먹임 회로가 입력되고 V_{IN+} 에 실제 접지가 연결되었을 때는 가상 접지가 아님

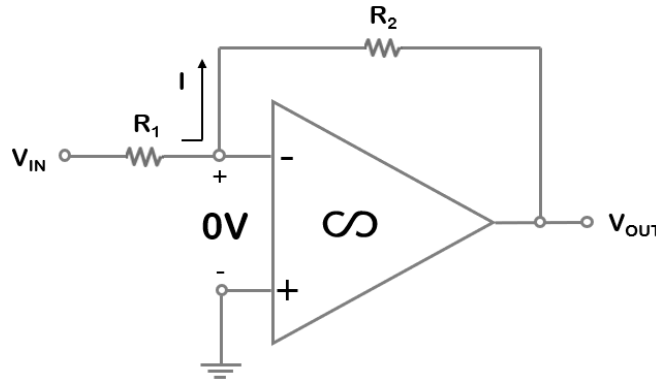
되먹임 회로

- 개방 루프
 - 저주파의 낮은 신호만 왜곡 없이 증폭
 - 대역이 좁고 온도 변화에 민감하며, 전압 이득의 변동이 매우 큼
- 폐쇄 루프
 - 전압 이득 편차가 줄어들고 대역이 늘어나며 왜곡 또한 억제할 수 있음
 - 쉽게 발진이 발생하여 위상보상 콘덴서를 내장함



반전 OP AMP

- 일반적인 신호 증폭에 사용함
- +IN을 GND에 연결하고 -IN을 저항 R_1 이 포함된 입력 V_{IN} 에 연결한 후 출력 V_{OUT} 을 저항 R_2 로 되먹임해 -IN에 연결함



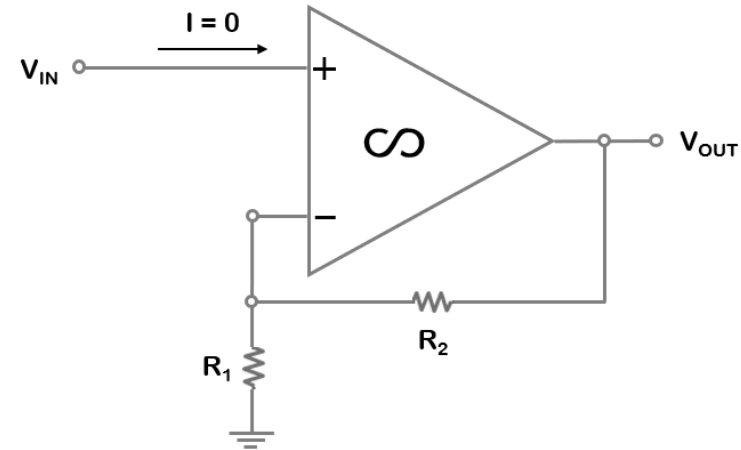
- +IN이 GND이므로 -IN도 0V인 가상 접지 상태
- V_{IN} 에서 -IN의 입력 저항이 무한대이므로 전류가 0
- V_{OUT} 에서 -IN으로 흐르는 양성 되먹임 전류는 다음과 같이 표현
- $$I = -\frac{V_{OUT}}{R_2}$$

반전 OP AMP

- 결과적으로 V_{IN} 의 전압 이득은 R_1 과 R_2 의 비율에 따라 결정
- 전압 이득 $A_v = \frac{V_{OUT}}{V_{IN}} = -\frac{R_2}{R_1}$
- $V_{OUT} = -V_{IN} \frac{R_2}{R_1}$
- V_{OUT} 이 음수라는 것은 위상이 180° 바뀌어 파형이 정반대임을 의미
- 입력 저항은 $-IN$ 이 가상 접지이므로 R_1
- 출력 저항은 Op Amp의 출력 저항이 0에 가까우므로 0
- $R_1 > R_2$ 이면 V_{OUT} 에는 V_{IN} 에 대한 감쇠 신호가 출력

비반전 OP AMP

- +IN을 입력 V_{IN} 에 연결하고 -IN을 저항 R_1 이 포함된 GND에 연결한 후 V_{OUT} 을 저항 R_2 로 되먹임해 -IN에 연결



- 가상 접지에 의해 V_{IN} 은 -IN
- V_{IN} 에서 GND로 흐르는 전류 $I = \frac{V_{IN}}{R_1}$
- OP Amp 안으로는 전류가 흐르지 않음
- V_{OUT} 에서 -IN으로 흐르는 음성 되먹임 전류는 다음과 같이 표현
- $I = \frac{V_{OUT} - V_{IN}}{R_2}$

비반전 OP AMP

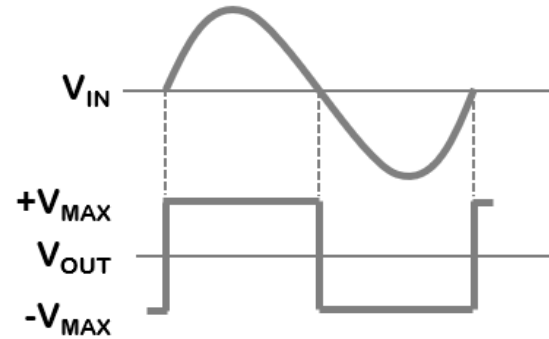
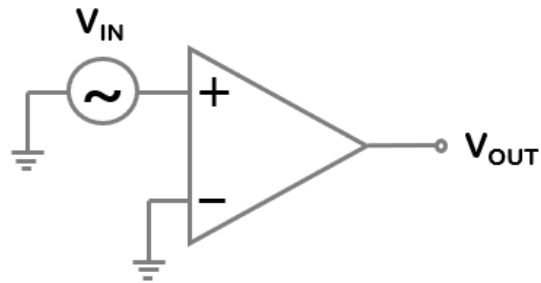
- 항상 1 이상의 전압 이득을 얻음
- V_{OUT} 은 V_{IN} 과 같은 위상의 신호가 출력 됨
- 전압 이득 $V_A = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{R_2}{R_1}$
- $V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) V_{IN}$
- R_1 이 무한대이고 R_2 가 0이면 전압 이득은 1
- V_{OUT} 은 V_{IN} 과 같은 신호를 출력하며, 입출력 저항이 서로 다른 두 개의 회로를 연결할 때 양쪽의 저항 차이를 완충해줄 수 있음

비교기

- 한쪽 입력 단자에 기준 전압(또는 문턱 전압)을 입력
- 다른 쪽에는 AC 신호를 입력
- 입력 신호를 무한대로 증폭한 후 두 입력 신호의 차를 계산해서 포화 전압인 HIGH 또는 LOW를 출력
- OP Amp도 비교기로 사용하지만 전용 비교기는 응답률을 높이기 위해 발진 방지용 위상보상 콘덴서를 제거함

비교기

- 0V 전위 검출
 - GND를 -IN에 연결하고 신호 V_{IN} 을 +IN에 연결하면 GND가 기준 전압이 됨

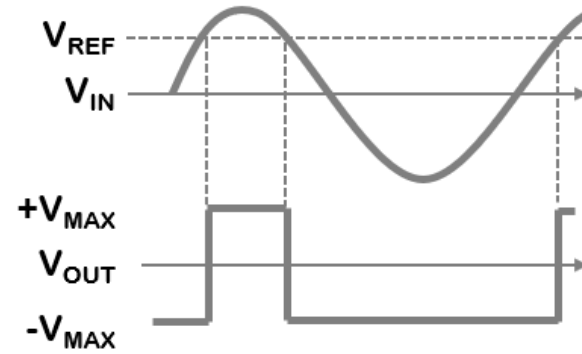
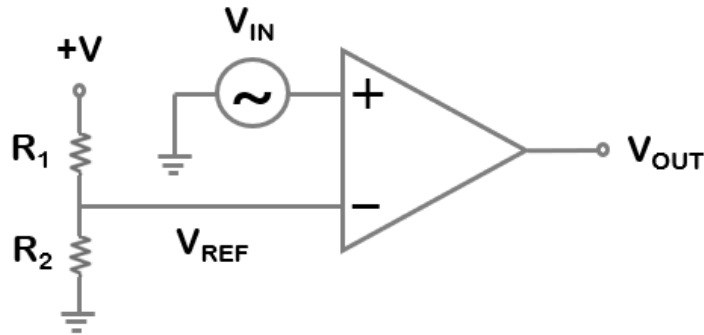


- $V_{OUT} = A_V(V_{IN} - 0)$
- $V_{IN} > \text{GND} \rightarrow V_{OUT} = \text{HIGH} (V_{OUT_MAX})$
- $V_{IN} < \text{GND} \rightarrow V_{OUT} = \text{LOW} (-V_{OUT_MAX})$

비교기

- 기타 전위 검출

- 참조 전압을 -IN에 연결하고 신호 V_{IN} 을 +IN에 연결하면 참조 전압이 기준 전압이 됨
- 참조 전압은 주로 전압 분배를 이용해 만듦

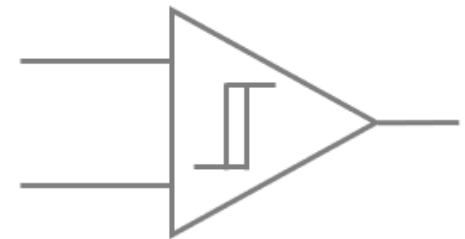
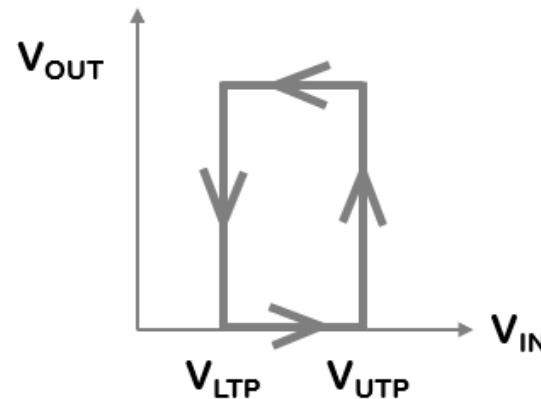
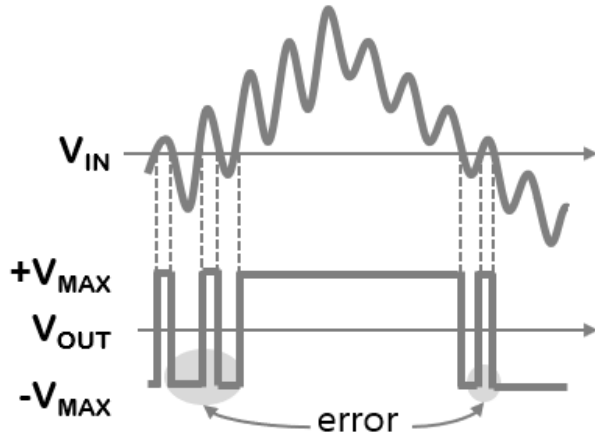


- $V_{REF} = \frac{R_2}{R_1 + R_2} V$
- $V_{OUT} = A_V (V_{IN} - V_{REF})$
- $V_{IN} > V_{REF} \rightarrow V_{OUT} = \text{HIGH } (V_{OUT_MAX})$
- $V_{IN} < V_{REF} \rightarrow V_{OUT} = \text{LOW } (-V_{OUT_MAX})$

비교기

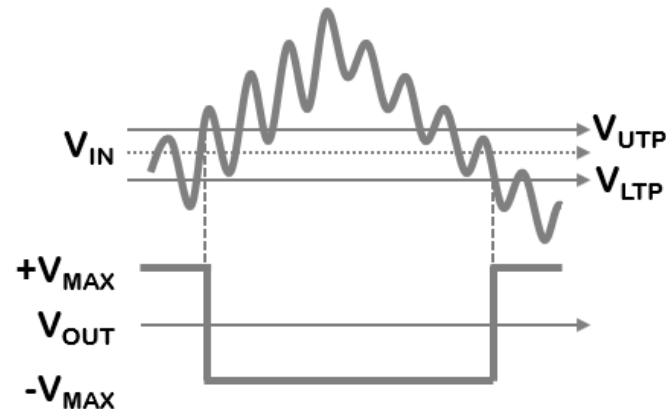
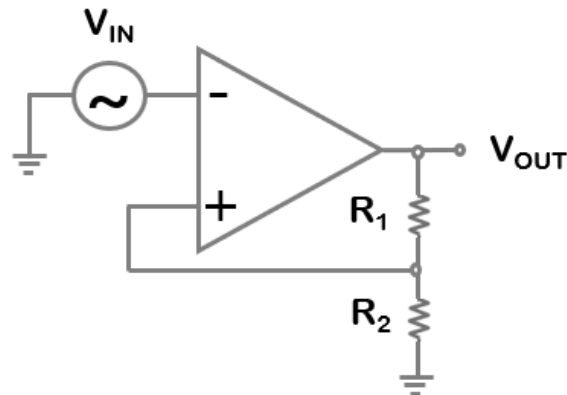
- 입력 잡음

- 신호 V_{IN} 에 잡음이 포함되어 있으면 함께 증폭되므로 입력 잡음은 출력 오차를 발생시킴
- 출력이 현재 입력에 의존하는 비선형적인 특성을 히스테리시스라고 함
- 히스테리시스 특성은 슈미트 트리거 회로를 적용하면 쉽게 제거할 수 있음
- 슈미트 트리거는 높은 트리거와 낮은 트리거에 대한 트리거 전압 V_{UTP} 와 V_{LTP} 를 현재 출력과 연동해 사용함
- 일반적으로 현재 출력이 LOW이고 입력이 V_{UTP} 보다 크면 출력을 HIGH로 변경하고, 현재 출력이 HIGH이고 입력이 V_{LTP} 보다 작으면 출력을 LOW로 변경함



비교기

- 비교기에 슈미트 트리거를 적용할 때는 V_{IN} 을 -IN에 연결
- 2개의 저항에 의해 전압 강하된 V_{OUT} 을 되먹임으로 +IN에 연결
- $V_{UTP} = \frac{R_2}{R_1+R_2} V_{OUT_MAX}$ 이고, $V_{LTP} = \frac{R_2}{R_1+R_2} (-V_{OUT_MAX})$
- 처음에는 $V_{IN} < V_{UTP}$ 동안은 HIGH 출력을 유지하다가 V_{IN} 이 점차 상승해 $V_{IN} > V_{UTP}$ 이 되면 위상이 바뀌어 V_{OUT} 에는 LOW가 출력되고 $V_{IN} > V_{LTP}$ 동안은 LOW 출력을 유지함, 이후 V_{IN} 이 점차 감소해 $V_{IN} < V_{LTP}$ 이 되면 다시 HIGH가 출력됨

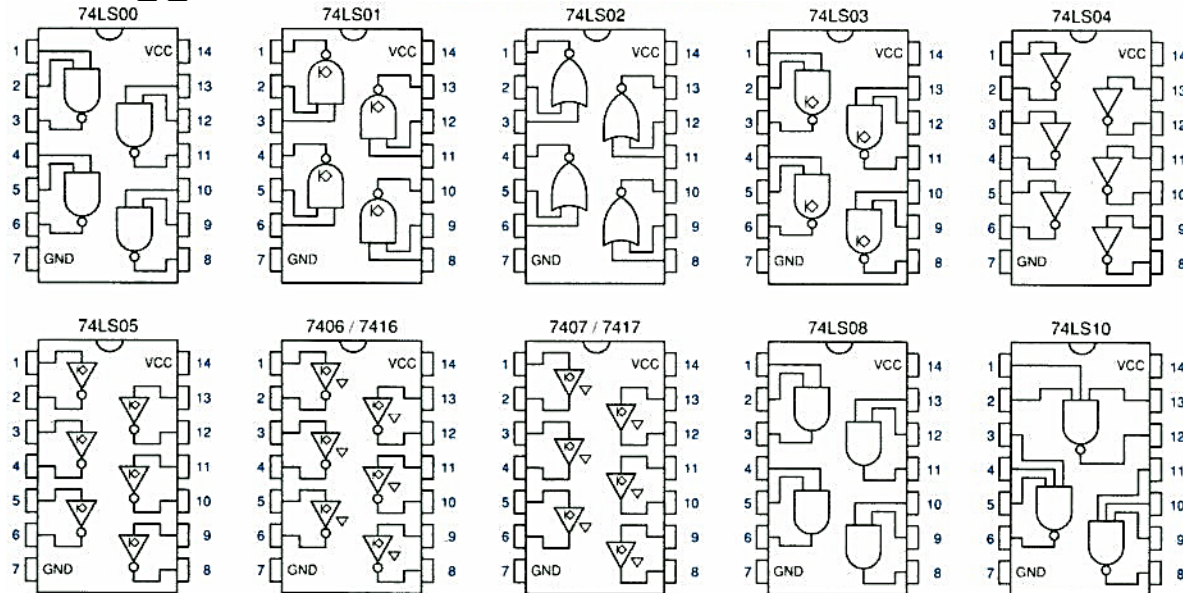


집적회로

- 실리콘 기판의 인쇄 기술을 사용해 반도체와 저항체로 트랜지스터나 저항, 콘덴서 등을 하나의 패키지로 묶은 것
- TTL (Transistor-Transistor Logic)
 - BJT로 만듦
- CMOS (Complementary Metal Oxide Semiconductor)
 - MOSFET로 만듦

TTL

- 디지털 로직 IC로 불리며, 대부분 +5V 전원 전압에서 동작
- 속도가 빠르지만 소비전력이 큼
- 전압 레벨은 0부터 V_{CC} 까지 이고 0V ~ 0.8V 전압 레벨은 논리 0을 의미하며 2V ~ V_{CC} 전압 레벨이 논리 1을 의미함



CMOS

- 소비전력이 매우 적고 잡음에 강함
- TTL보다 동작 속도가 느리고 게이트 입력단이 절연되어 있어 정전기에 약함
- 전압 레벨은 0부터 V_{DD} 까지이고 낮은 레벨은 0부터 $1/3 V_{DD}$ 사잇값이며 높은 레벨은 $2/3 V_{DD}$ 부터 V_{DD} 까지의 사잇값임
- CMOS는 TTL에 비해 집적도를 높이기 쉬움
- 마이크로프로세서나 SRAM과 같은 초고밀도 집적 회로 등 다양한 분야에 사용됨

TTL과 CMOS 입력 신호 레벨

- 디바이스를 설계할 때 TTL과 CMOS를 함께 사용하는 경우가 많은데, 이들의 동작 전압이 다르면 주의해야 함
- CMOS
 - 프로세서로 5V의 전원 전압을 사용
 - 0 ~ 1.6V를 논리 0으로 인식
 - 3.3 ~ 5V를 논리 1로 인식
- TTL
 - 주변장치로 3.3V의 전원 전압을 사용
 - 0 ~ 0.8V를 논리 0으로 인식
 - 2 ~ 3.3V를 논리 1로 인식
- 주변장치의 출력 신호를 프로세서에서 받을 때 논리 0은 문제가 없으나 논리 1은 프로세서의 3.3V 경계에 걸려 정상적으로 입력으로 인식하지 못함
- FET로 구현한 레벨 시프트로 입력 신호 레벨 문제를 해결할 수 있음

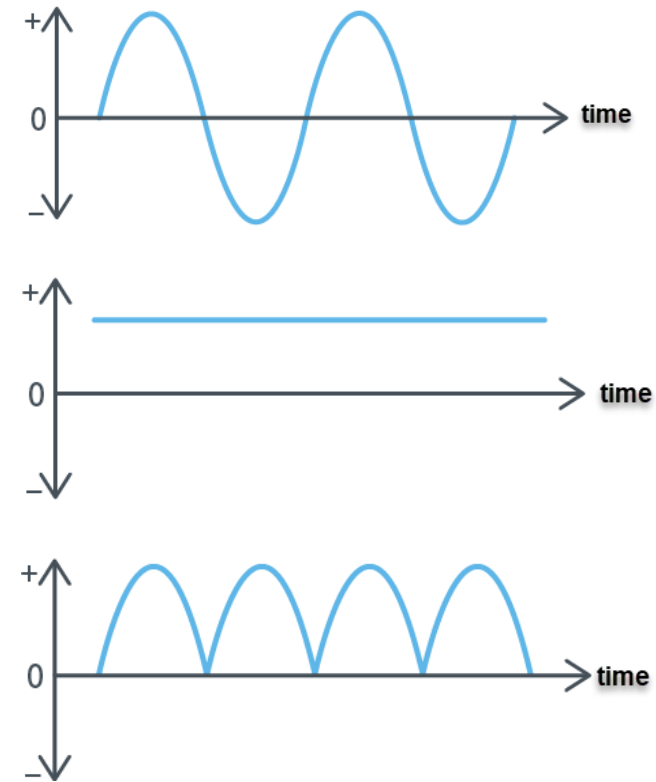


전원 공급장치

- VIN
 - 보드에 연결된 외부 소스의 전압
 - 보드는 다양한 입력 전압을 지원
 - 내부 전압 조정기를 사용하여 나머지 부품에 안정적인 전력을 공급
- VCC 또는 VDD
 - 보드상의 구성 요소에 전원을 공급하는 내부 조절 전압
 - 일반적인 전원 공급 장치 전압은 +5V, +3.3V 및 +1.8V
- GND (접지)
 - 보드상의 0 볼트에 대한 기준
 - 다른 모든 전압은 지면을 기준 측정
 - 지면에서 측정한 전압은 음의 값으로 간주

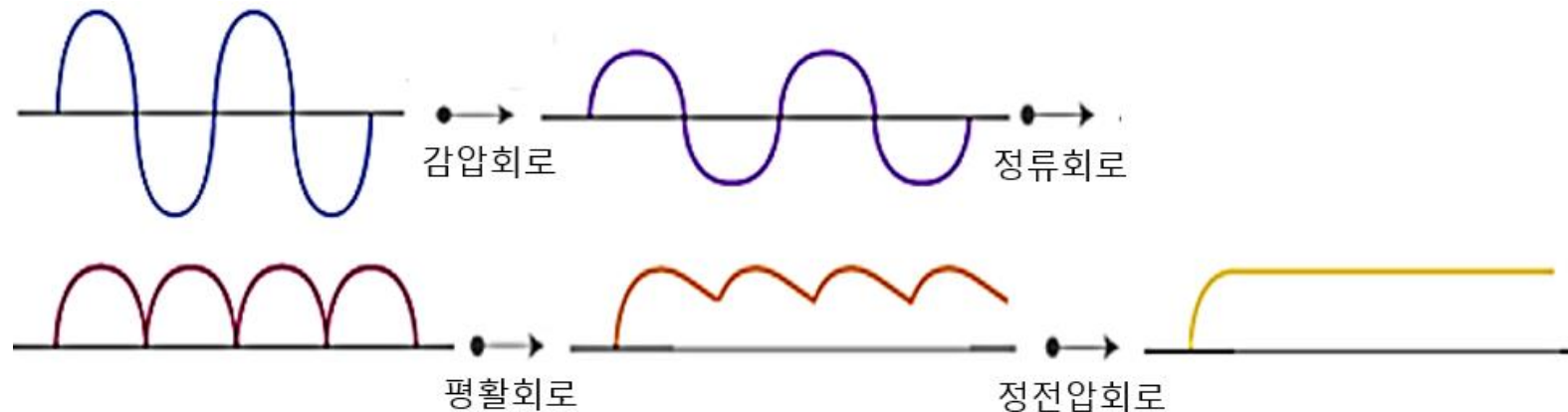
AC를 DC로 변환

- AC
 - 시간에 따라 크기와 극성(방향)이 주기적으로 변하는 전류
 - 1초 사이에 전류의 극성이 변하는 횟수는 주파수이고 단위는 Hz
- DC
 - 시간이 지나도 극성이 변하지 않음
- 맥류
 - 시간에 따라 흐르는 극성은 변하지 않지만, 크기가 변함
 - DC의 일종으로 이를 맥류라고 함



AC를 DC로 변환

- 가정에 공급되는 AC는 110V ~ 220V이며 디바이스의 메인 전원은 DC 3.3V나 5V 또는 12V 를 사용해서 AC를 DC로 변환해야 함
- AC/DC 컨버터는 감압 트랜스로 AC 전원의 전압을 감압
- 낮아진 AC 전원을 정류회로로 보내 DC인 맥류로 변환
- 맥류를 평활 회로의 일종인 브릿지 정류회로 일정 레벨의 DC로 변환
- 완전한 DC가 아니므로(리플 전압) 다이오드나 트랜지스터, 콘덴서 등으로 구성된 정전압 회로를 한 번 더 거쳐 안정적인 DC로 변환

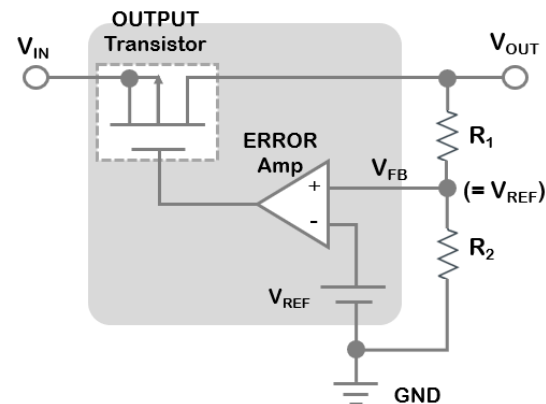
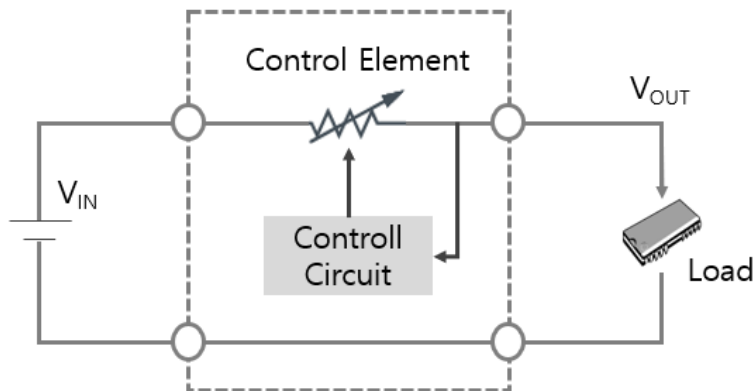


DC를 DC로 변환

- 불안정한 전압은 부품의 오동작 및 열화현상으로 인한 고장 원인이 됨
- DC/DC 컨버터를 이용해 각 부품에 안정화된 전압을 공급해야 함
- 용도에 따른 전원 장치의 구분
 - 전압을 낮추는 전원 장치
 - 강압 컨버터, 벡 컨버터, 스텝-다운 컨버터
 - 전압을 높이는 전원 장치
 - 승압 컨버터, 부스트 컨버터, 스텝-업 컨버터
 - 전압을 높이거나 낮추는 전원 장치
 - 승압-강압 컨버터, 벡-부스트 컨버터
 - 부전압을 생성하는 전원 장치
 - 부전압 컨버터, 반전 컨버터

리니어 레귤레이터

- 입력과 출력 사이 제어 소자인 트랜지스터가 직렬로 배치되어 있음
- 입력과 출력이 선형적
- 내부 전압 강하에 대비해 입력 전압은 출력 전압보다 1 ~ 2V 높아야 함
- 기본적으로 V_{IN} (입력), V_{OUT} (출력), GND(접지)의 3단자로 구성
- 출력이 가변이면 출력 전압을 되돌리는 되먹임 단자가 추가됨
- 반대로 전압 고정 타입은 전압 가변 타입의 외부 저항을 내장한 것으로 오차 검출용 오류 증폭기와 저항기 및 출력 트랜지스터로 구성됨

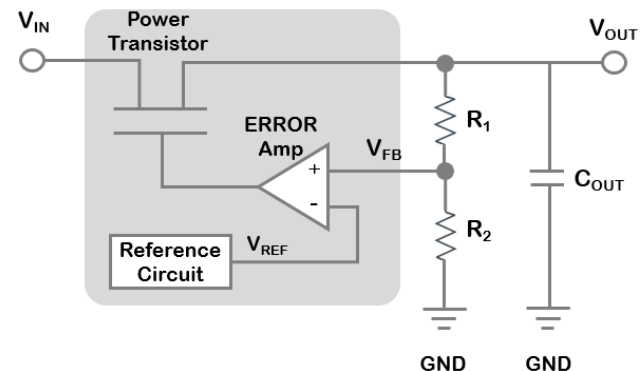


리니어 레귤레이터

- 동작은 반전 증폭 회로와 동일함
- 2개의 저항비로 출력 전압이 결정
- 출력 트랜지스터는 MOSFET을 사용하지만, 바이폴라 트랜지스터를 사용하기도 함
- $V_{out} = \frac{R1+R2}{R2} V_{ref}$
- 입출력 전위치가 드롭 아웃 전압 이하이면 출력 전압이 불안정해짐
- 동작하는데 필요한 최저 입력 전압은 $V_{OUT} + \text{드롭 아웃 전압}$
- 장점
 - 간단한 회로
 - 적은 외장 부품
 - 노이즈 적음
- 단점
 - 나쁜 효율
 - 큰 발열
 - 강압만 대응

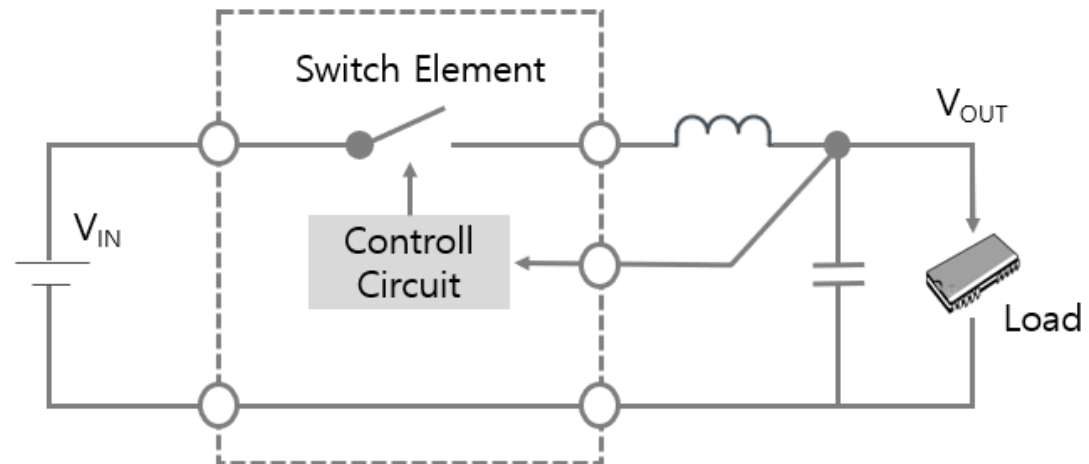
LDO

- 낮은 입출력 전위차에서도 동작하는 리니어 레귤레이터의 일종
- 에너지 손실이 적어 발열 억제 설계를 할 수 있음
- 표준 타입의 레귤레이터 보다 낮은 동작 전압을 사용할 수 있음
- V_{OUT} 은 파워 트랜지스터로 사용된 PMOS에 의해서 전압 강하되어 출력됨
- V_{OUT} 의 일부는 R1과 R2의 전압분배에 의해 오류 증폭기로 되돌아 들어가고(V_{FB}), 이를 V_{REF} 와 비교해 그 차이만큼 증폭된 신호를 출력함
- 이 출력 신호가 다시 파워 트랜지스터를 제어하여 출력 전압을 일정하게 만들며 콘덴서는 V_{OUT} 을 일정하게 유지함
- $$V_{out} = \left(1 + \frac{R_1}{R_2}\right) V_{ref}$$



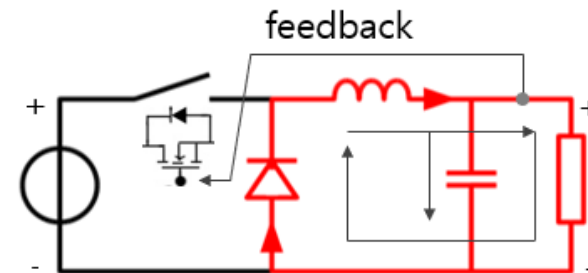
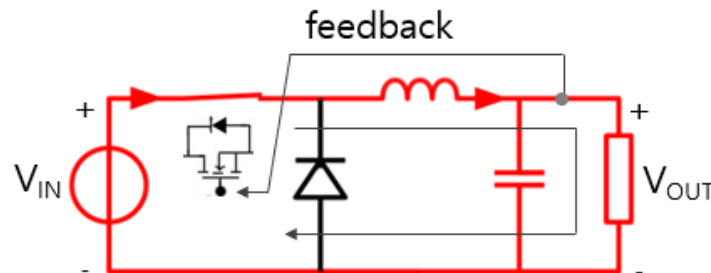
스위칭 레귤레이터

- 출력 전압이 필요한 전압이 될 때까지 전력용 스위치 소자를 켜서 전력을 공급
- 출력 전압이 규정치에 도달하면 다시 끄는 동작을 고속으로 반복
- 스위치 소자가 꺼지는 동안은 전력을 소비하지 않으므로 효율이 우수하고 발열이 적음
- 스위칭 부분과 다이오드, 인덕터, 콘덴서로 구성
- 스위칭 부분은 주로 타이머와 PNP 타입 트랜지스터를 조합해 구성
- 콘덴서는 인덕터와 결합해 저역 통과 필터로 동작하며 리플 전압을 줄임
- 장점
 - 우수한 효율
 - 적은 발열
 - 승압/강압/부전압 모두 대응
- 단점
 - 복잡한 회로
 - 많은 외장 부품
 - 노이즈 많음



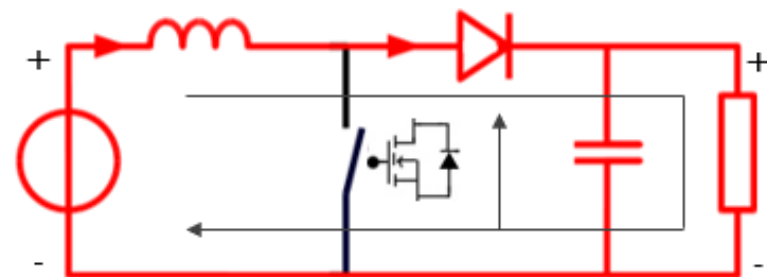
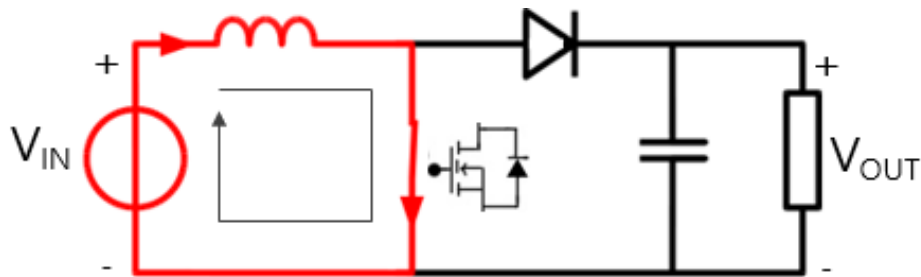
Buck 컨버터

- 스위치가 닫힌 상태에서는 V_{IN} 이 인덕터를 거쳐 V_{OUT} 으로 흐름
- 인덕터는 초기에는 전원 극성과 반대 방향의 기전력을 일으켜 그만큼 감소된 전압이 V_{OUT} 에 전달됨
- 기전력은 시간이 지나면 줄어들어서 그전에 스위치를 개방 함
- 스위치가 열리면 V_{IN} 을 통한 전류의 흐름은 차단
- 인덕터에 저장되어 있던 $\frac{1}{2}LI^2$ 의 에너지가 방출
- 역기전력으로 인해 전류는 다이오드와 인덕터를 거쳐 V_{OUT} 에 전달
- 예를 들어 입력 전압이 5V이면 출력 전압은 1.3V가 됨



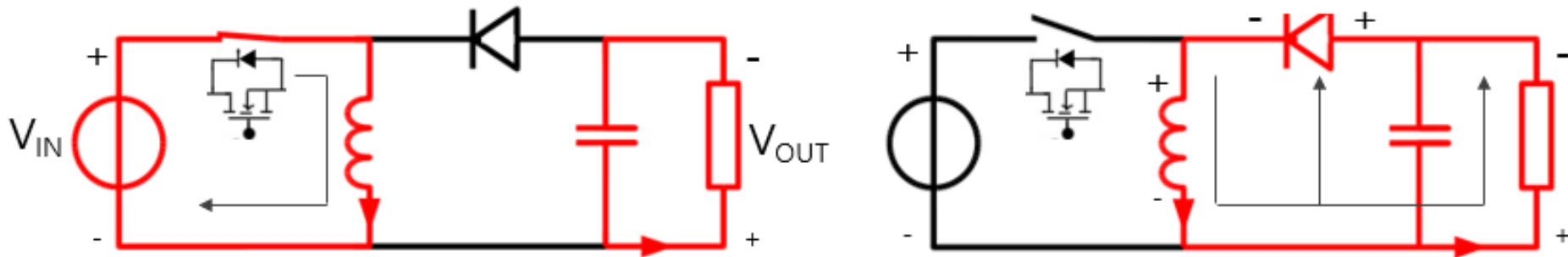
Boost 컨버터

- 인덕터와 다이오드의 위치만 다를 뿐 Buck 컨버터와 구성이 같음
- 스위치가 닫힌 상태에서는 인덕터에 $\frac{1}{2}LI^2$ 의 에너지가 저장되면서 스위칭 소자 방향으로 전류가 흐름
- 스위치가 열리면 V_{IN} 에 인덕터의 출력 전압이 더해져 V_{OUT} 에 전달
- 입력 전압이 5V이면 출력 전압은 48V까지 상승할 수 있음
- 하지만 실제 공급되는 에너지($P = IV$)는 변화가 없으므로 전압이 증가했다는 것은 전류가 감소한 것을 의미함



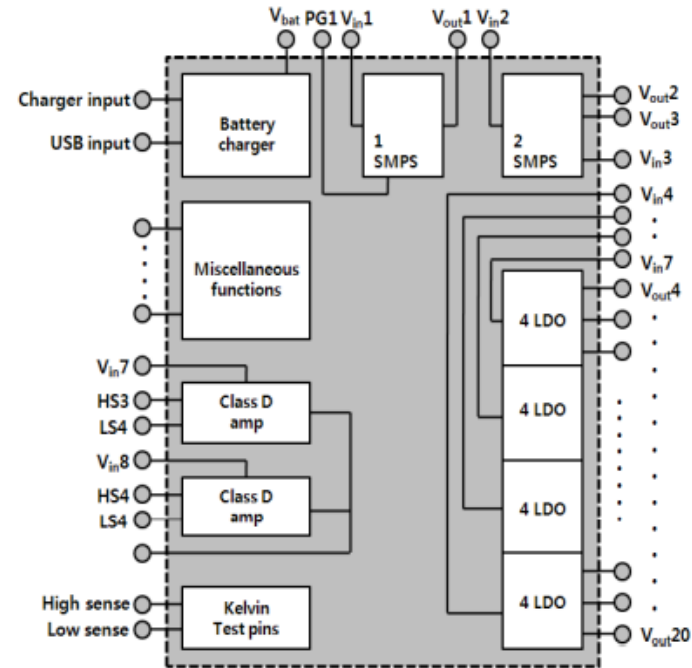
Buck Boost 컨버터

- 스위치가 닫힌 상태에서는 인덕터에 $\frac{1}{2}LI^2$ 의 에너지가 저장되면서 스위칭 소자 방향으로 전류가 흐름
- 스위치가 열리면 인덕터에서 만들어진 전압이 다이오드를 거쳐 V_{IN} 과 반대 방향의 전류가 V_{OUT} 에 전달
- 승압과 강압은 다이오드의 시비율에 따라 달라짐
- 시비율이 0.5보다 크면 승압, 작으면 강압이 됨



PMIC

- 배터리가 내장된 디바이스의 메인 전원 기능들을 단일 칩으로 구현
- 매우 작은 면적에 배터리 충전회로와 온도 보호 회로, SMPS, 여러 개의 LDO 등이 집적됨
- 프로세서를 비롯한 다양한 주변장치에 필요한 전원을 공급하며 프로세서를 통한 전원 공급 제어도 함

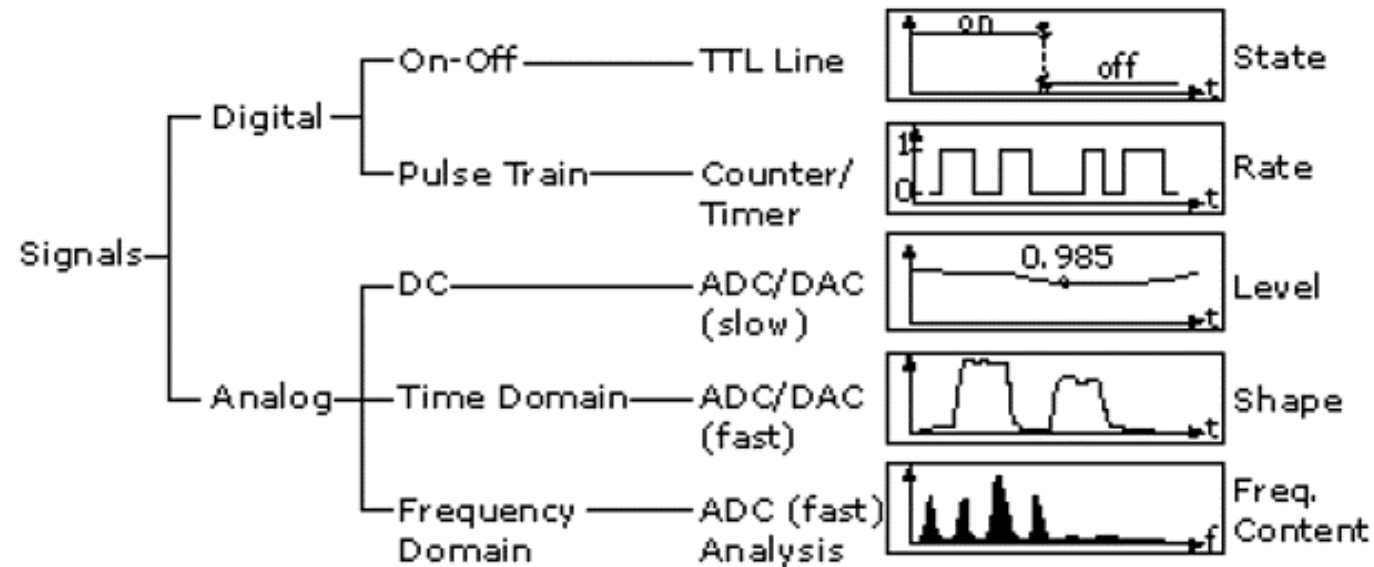


하드웨어 인터페이스

- 주변 장치는 프로세서로 제어
- 센서 프로그래밍의 기본은 하드웨어 인터페이스를 다루는 방법을 습득하는 것
- 하드웨어 인터페이스
 - GPIO
 - I2C
 - SPI
 - UART 등

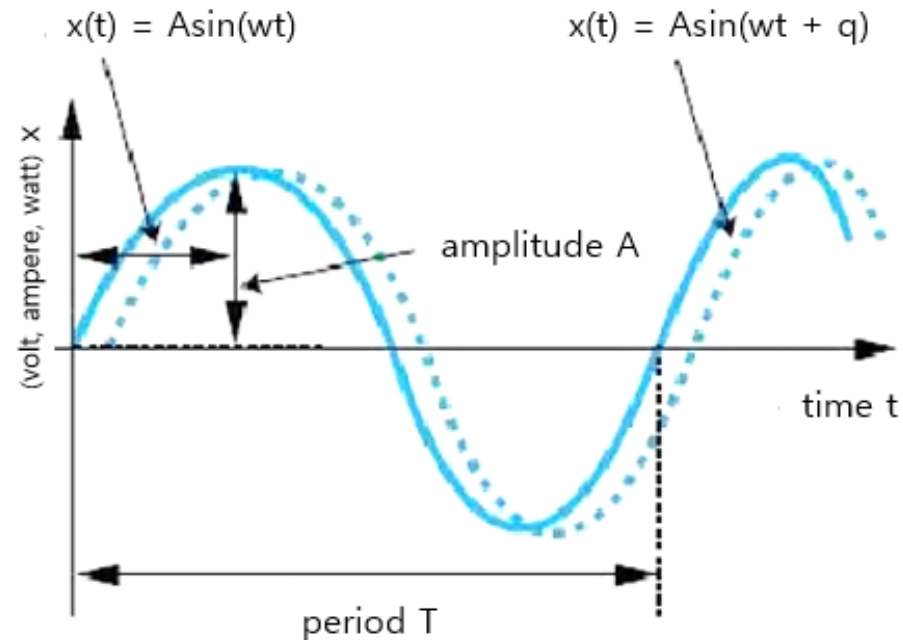
신호 유형

- 정보를 전달하는 방식
- 아날로그
 - 시간에 대한 신호의 연속적인 변화에 대한 정보
- 디지털
 - HIGH 레벨 (on) 또는 LOW 레벨(off) 두 가지만 허용



아날로그 신호

- 전압이나 전류 또는 전력에 대한 아날로그 신호는 연속적인 흐름을 한 사이클 동안 부드럽고 일정하게 변화하는 정현파로 표현
- 정현파는 A 를 진폭, w 는 주파수, q 는 위상, t 는 시간, T 는 주기, x 는 전압이나 전류 또는 전력이라면 $x(t) = A\sin(wt + q)$ 로 일반화할 수 있음



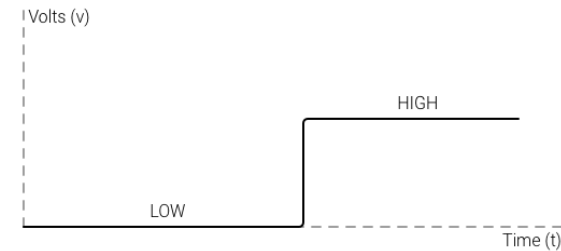
디지털 신호

- 디지털 신호는 아날로그 전압 신호를 이진 값으로 나타냄
- HIGH는 전압이 공급 전압 또는 그 근처에 있을 때이며 일반적으로 논리 1로 표시
- LOW는 전압이 그라운드 또는 그 근처이며 일반적으로 논리 0으로 표시
- 디지털 신호가 정확히 0V 또는 공급 전압이 되는 경우는 거의 없음
- 대부분의 디지털 로직은 다음과 같이 극한에 가까운 전압 범위를 유효한 로직 레벨로 해석

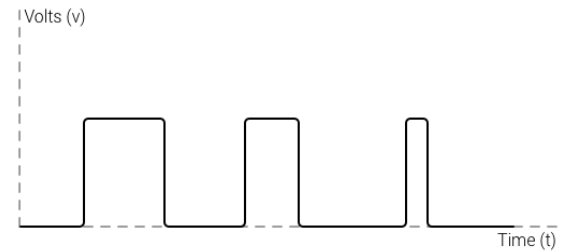
공급 전압 (V_{cc})	Logic LOW (0)	Logic HIGH (1)
5V (TTL)	< 0.8V	> 2.0V
3.3V (CMOS)	< 0.8V	> 2.0V
1.8V (CMOS)	< 0.6V	> 1.2V

디지털 신호

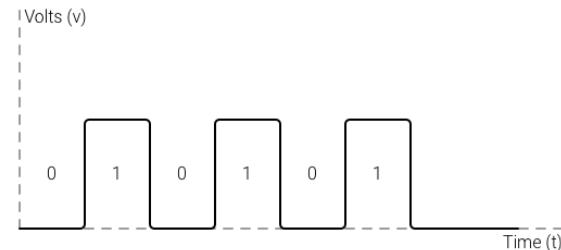
- 주변장치의 디지털 입출력
 - 안정 상태
 - 안정된 높은 값 또는 낮은 값이 하나의 켜기/끄기 상태로 매핑



- 펄스 트레인
 - 시간에 따라 연속적으로 전송되는 다양한 주파수와 폭을 갖는 디지털 신호

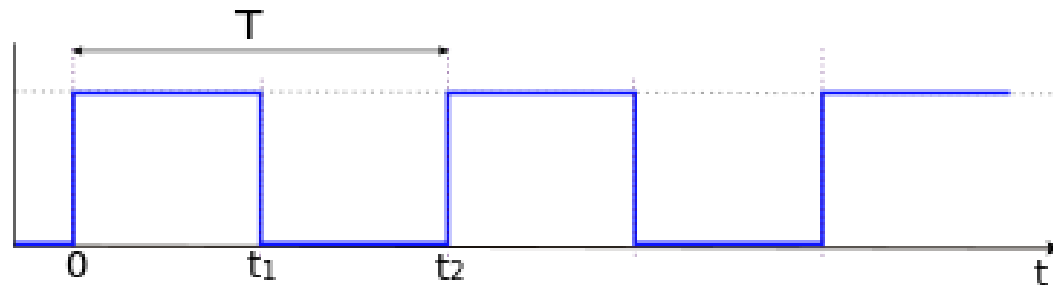


- 직렬 통신
 - 디지털 신호의 일종으로 2진수의 개별 비트를 디지털 1 및 0의 조합으로 나타냄



클럭 신호

- 주기 펄스 형태이며 회로 사이 협업에 필요한 타이밍과 속도 조절을 위해 사용
- 크기와 주기를 결정하는 주파수와 한 주기 동안 HIGH와 LOW 시간 비율인 듀티 사이클로 구성
- 신호의 크기는 전압으로 나타남
- 주파수는 요구 사항에 따라 달라지므로 규모가 큰 회로는 다양한 주파수가 필요

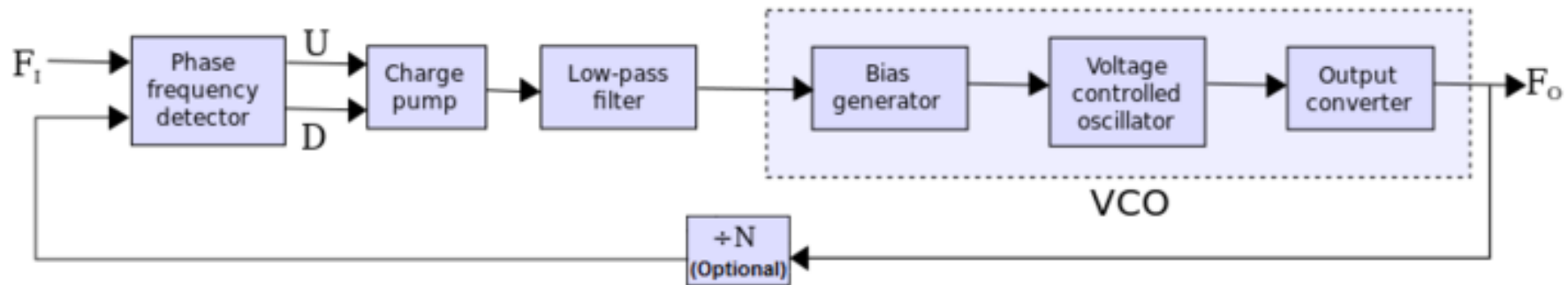


수정발진기

- 클럭은 대부분 수정 발진기에 의해 발생됨
- 수정을 가공해 얇은 판을 만든 후 양극에 특정 주파수를 입력하면 자신의 고유 주파수만을 걸러내어 주파수를 발생
- 가공 방식과 크기에 따라 주파수가 달라지지만, 너무 낮은 주파수나 너무 높은 주파수는 제한됨

위상 동기화 회로

- 수정 발진기가 발생시키는 주파수보다 더 빠른 클럭을 공급할 때 사용함
- 출력에 따른 되먹임 신호를 입력 신호와 비교한 후 위상 차만큼 전압 조정 발진기가 공급하는 전압을 조절해 출력 주파수를 바꾸는 방식
- 항상 일정한 클럭 신호를 만들거나 전압을 높여 더 빠른 클럭 신호를 발생시킴

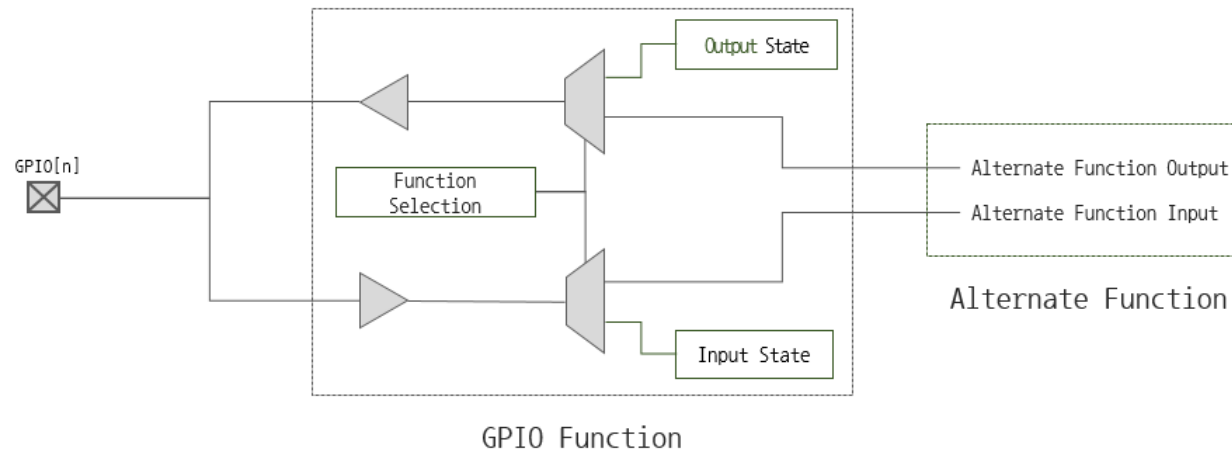


GPIO

- 프로세서에 내장된 범용 디지털 입출력 인터페이스
- 프로세서 외부에 노출된 핀에는 주변 장치가 연결
- 핀의 기능을 사용자가 선택할 수 있어 유연한 하드웨어 설계 가능
- 프로세서 내부에는 범용 입/출력 회로 외에 UART나 PWM, I2C, SPI 컨트롤러와 같은 인터페이스 회로도 함께 구현되어 있음
- 핀의 기능을 인터페이스 회로 중 하나에 연결하는 것을 대체 기능이라고 함

GPIO

- 기능 선택은 연결된 주변 장치에 따라 달라짐
- 출력 장치에 연결된 GPIO는 출력 모드로 사용
- 입력 장치에 연결된 GPIO는 입력 모드로 사용
- 조건이나 시간에 따라 역할이 바뀌는 특별한 장치라면 입력 또는 출력 모드를 바꿔가며 사용
- PWM이나 Timer/Counter를 비롯해 I2C, SPI에 연결된 장치는 부가 기능 모드를 사용

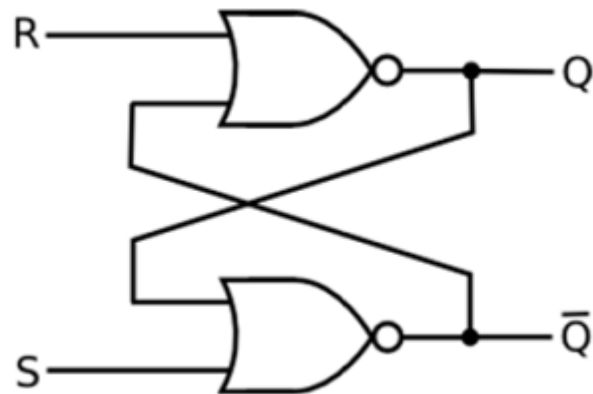


디지털 출력

- 출력 핀에 연결된 출력 장치를 제어할 때 HIGH와 LOW를 어떤 패턴으로 내보낼지는 출력 장치에 의존적임
- 단순한 출력 장치는 HIGH에 반응하면 Active High, LOW에 반응하면 Active Low라고 함
- 별도의 프로토콜을 사용하는 출력 장치는 HIGH와 LOW 패턴을 비트 스트림처럼 시간에 맞춰 연속적으로 전달함

래치

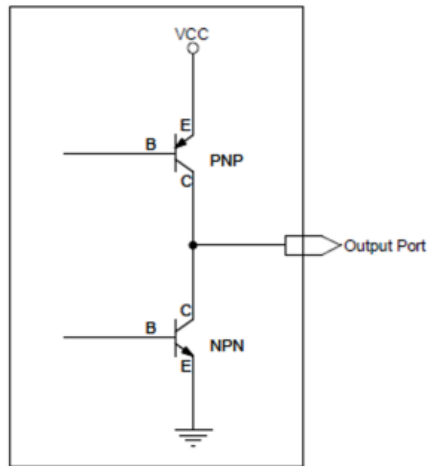
- 1비트 정보를 보관, 유지할 수 있는 회로
- 입력되는 순간 바로 적용되기 때문에 플립플롭에 비해 회로가 단순
- 되먹임을 갖는 가장 단순한 SR NOR 래치 회로의 경우 S(Set) 또는 R(Reset)이 1일 때 출력 Q는 1 또는 0을 가지며 S, R이 모두 0일 때는 기존 값을 유지, S, R이 모두 1인 상태는 정의되어 있지 않음
- GPIO 출력 회로는 래치를 포함하고 있으므로 사용자가 HIGH 또는 LOW 중 하나를 설정하면 이를 계속 유지하는 특성을 가짐



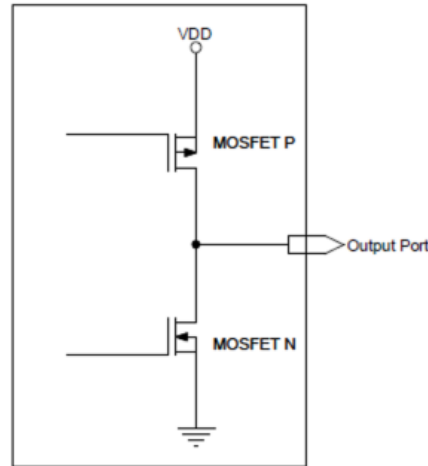
S	R	Q	Q'	
0	0	0	1	Init
1	0	1	0	Set
0	0	1	0	Keep
0	1	0	1	Reset
0	0	0	1	Keep
1	1	0	0	Abnormal

푸시-풀

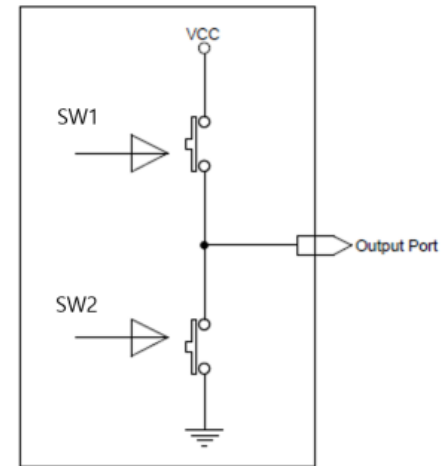
- 상호 토글 상태인 2개의 스위치로 구성
- 위쪽 스위치는 전원 쪽으로 밀어 올리고(Push), 아래쪽 스위치는 그라운드로 끌어당김(Pull)
- 위쪽 스위치를 켜면 전원이 출력 핀에 연결되어 HIGH 상태를 만들고, 아래쪽 스위치를 켜면 그라운드를 출력 핀에 연결해 LOW 상태를 만듦
- 구조가 단순하지만 두 개 이상의 출력 장치를 하나의 라인에 함께 하면 회로가 손상됨



BJT 회로



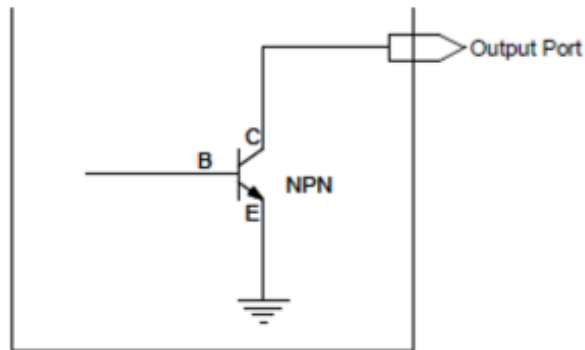
CMOS 회로



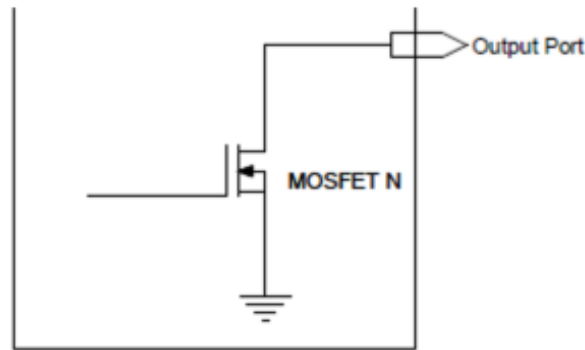
추상화 회로

오픈 드레인

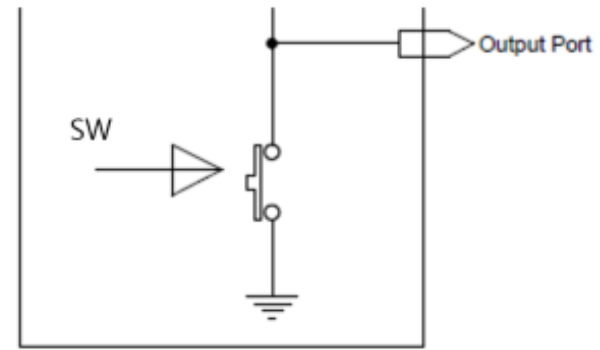
- 하나의 라인에 여러 개의 출력을 연결할 때 사용
- 오픈 컬렉터라고도 부르며, 드레인(또는 컬렉터) 핀이 오픈 상태로 외부에 노출되어 푸시-풀 출력 회로의 위쪽 절반이 생략된 상태임
- 아래쪽 스위치만 존재하며 스위치가 켜지면 그라운드가 출력 핀에 연결되지만 꺼지면 외부 정의에 의존함



BJT 회로



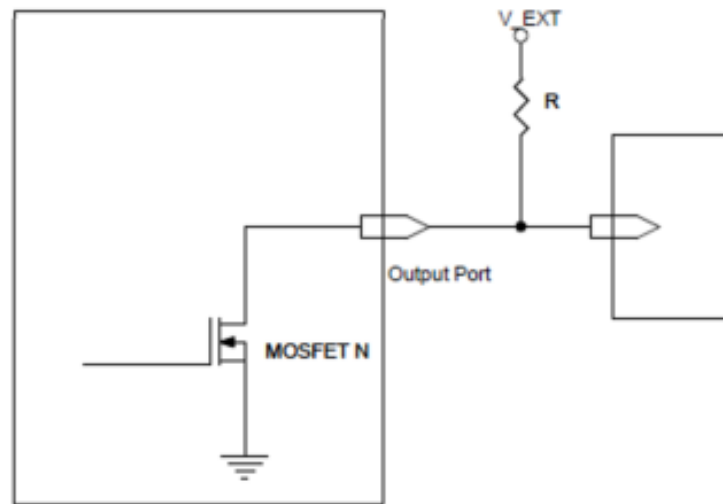
CMOS 회로



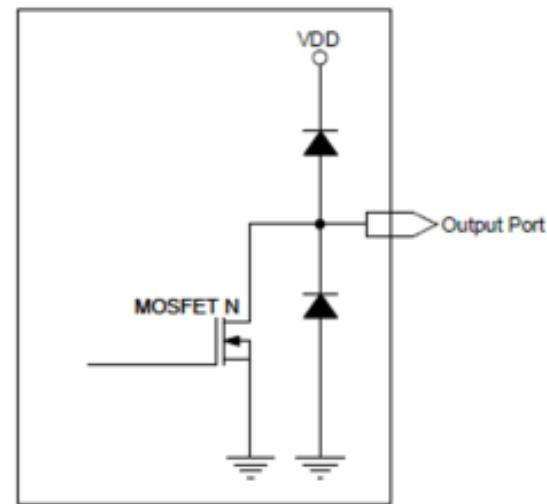
추상화 회로

오픈 드레인

- 출력 장치 전원을 따로 구성한 후 그라운드 출력으로 출력 장치를 제어하는 방식
- 프로세서의 출력 전압과 출력 장치의 입력 전압이 다를 때 사용하는 레벨 변환기나 동작 전압이 서로 다른 다수의 칩을 하나의 통신 회선으로 묶는 버스를 구성할 때 사용함



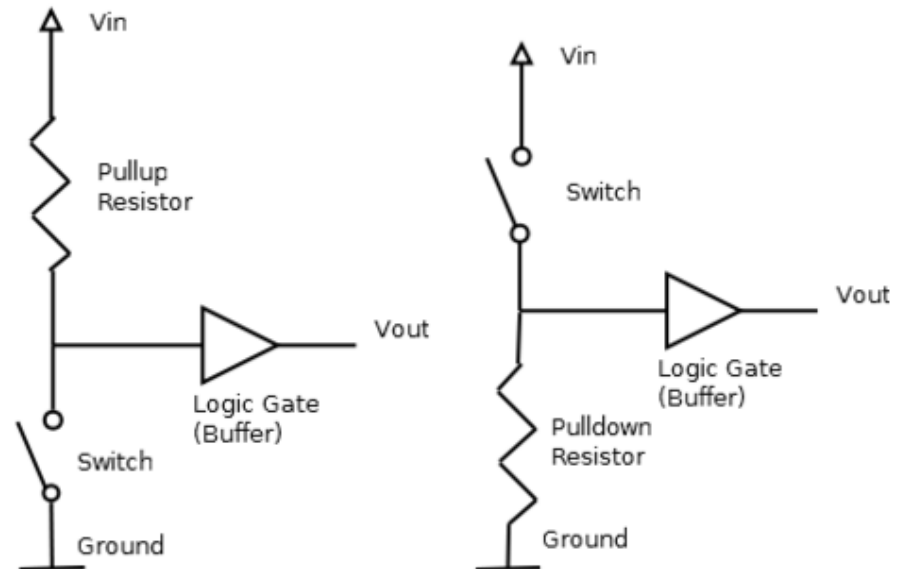
Level Converter 회로



ESD Electro-Static Discharge 적용 회로

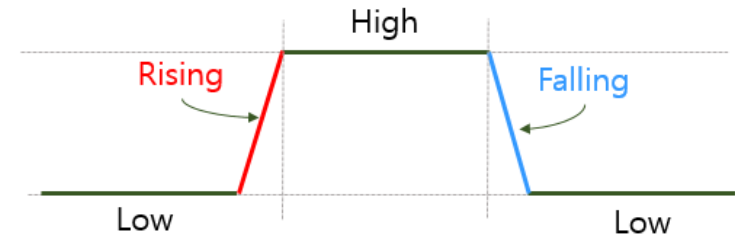
풀 업/다운

- 프로세서의 GPIO 입력 핀에는 입력 장치의 전원 또는 그라운드 출력이 연결됨
- 어떤 신호도 연결되어 있지 않을 때를 플로팅 입력이라 함
- 플로팅 입력은 전자기 간섭을 일으켜 입력값을 예측할 수 없게 만들어서 풀 업 또는 풀 다운 저항으로 제거함
- 입력 장치에 풀 업 또는 풀 다운 저항이 없다면 GPIO에 포함된 풀 업 또는 풀 다운 저항을 활성화 시켜 사용
- 풀 업
 - 입력 핀과 전원 사이에 저항이 있음
 - 입력이 없으면 전원이 입력 핀에 전달되어 HIGH
 - 입력이 있으면 전원은 그라운드로 흘러 LOW
- 풀 다운
 - 입력 핀과 그라운드 사이에 저항이 있음
 - 입력이 없으면 그라운드가 입력 핀으로 흘러 LOW
 - 입력이 있으면 전원이 전달되어 HIGH



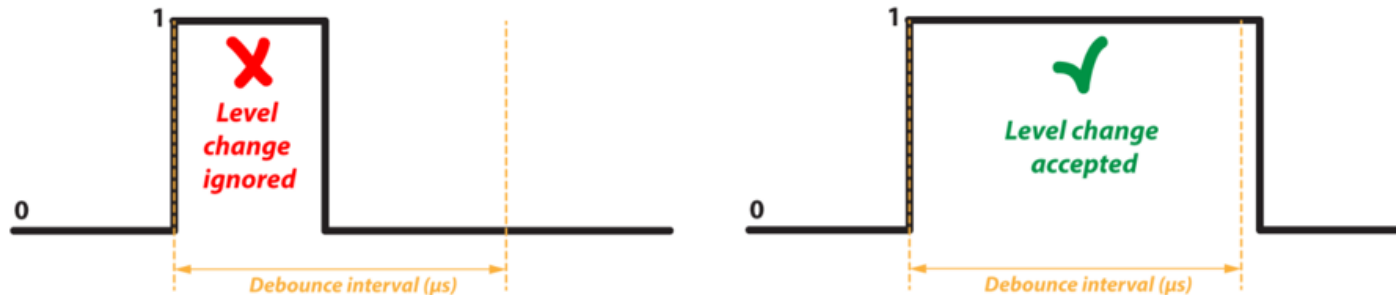
이벤트 감지

- GPIO 입력 회로는 레벨 또는 에지 상태를 감지함
- 감지 후 인터럽트 컨트롤러에 전달하여 비동기적으로 입력을 처리함
- 레벨
 - 입력 신호가 HIGH인지 LOW인지를 감지
 - 수십 회 이상 발생할 수 있음
- 에지
 - LOW에서 HIGH로 상승하는지, HIGH에서 LOW로 하강하는지를 감지
 - 반드시 한 번씩만 발생함



디바운스 필터

- 입력 장치의 기계적 마찰 또는 노이즈 때문에 접촉 바운스가 발생함
- 접촉 바운스는 불필요한 입력 이벤트를 발생시킴
- 하드웨어 설계자는 입력 핀과 장치 사이에 저항과 콘덴서가 포함된 간단한 RC 회로를 추가해 접촉 바운스 문제를 해결할 수 있음
- RC 회로는 입력 장치가 상태를 바꾸면 콘덴서가 입력 저항의 크기에 비례하는 속도로 충전 및 방전되어 입력 핀의 변화를 효과적으로 느리게 만듦
- GPIO에도 비활성화된 디바운스 필터가 포함되어 있어 외부 회로에서 이를 지원하지 않으면 활성화해서 사용할 수 있음
- 디바운스 필터는 설정 간격보다 짧은 펄스는 자동으로 거부되고 긴 펄스만 받아들임



폴링과 인터럽트

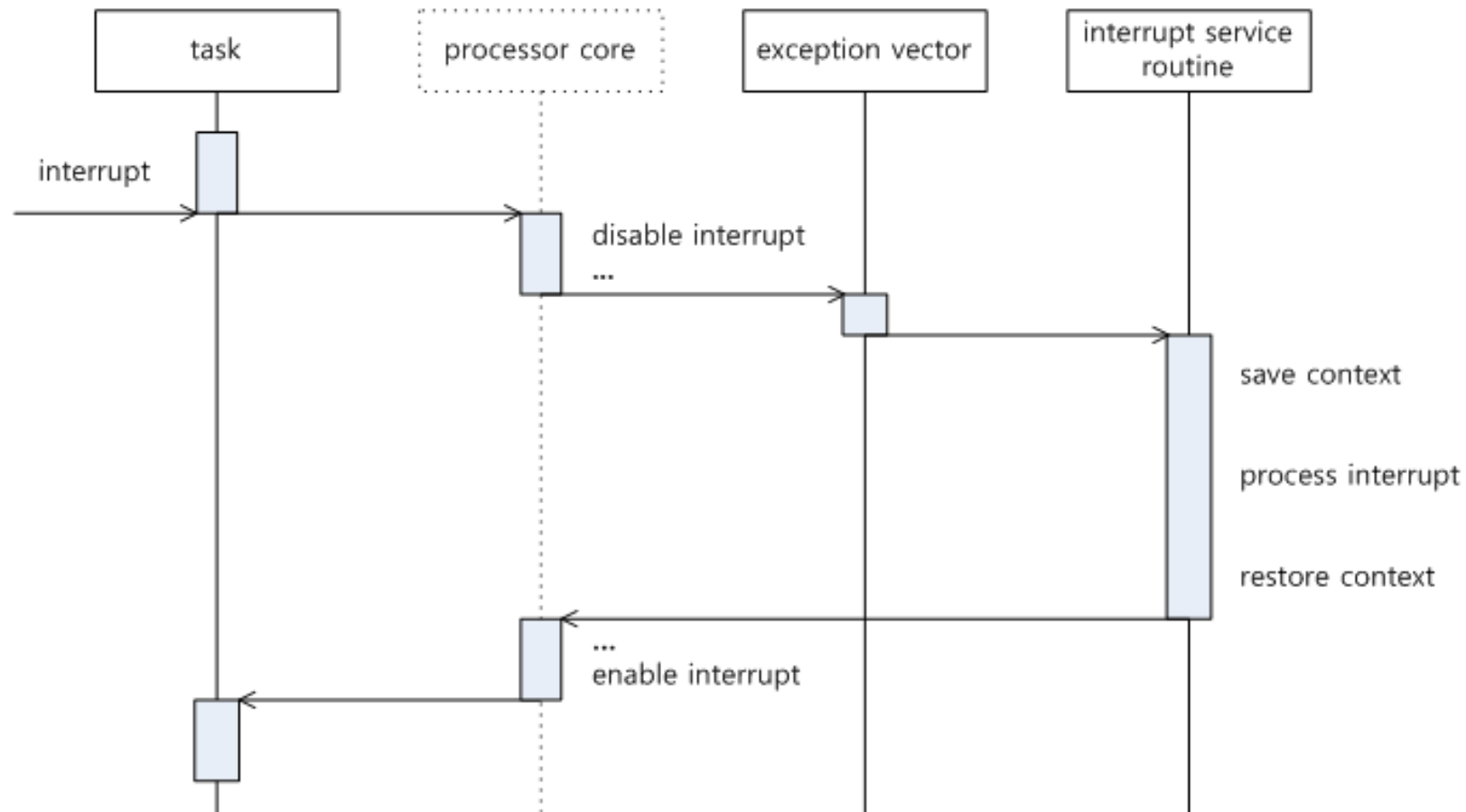
- 폴링

- 지속적으로 입력 신호를 검사해서 레벨 또는 에지 상황을 감지
- 입력 이벤트를 검사하는 코드와 결과를 처리하는 코드가 순차적으로 기술됨
- 입력 이벤트가 발생할 때 코드의 실행 여부에 따라 이벤트를 놓칠 수 있음

- 인터럽트

- 프로세서에 내장된 인터럽트 컨트롤러를 이용
- 컨트롤러가 입력 조건을 감지하면 현재 실행 중인 사용자 코드와는 관계없이 즉시 인터럽트 핸들러 또는 인터럽트 서비스 루틴이라고 불리는 사용자 코드를 실행
- 이벤트를 놓치지 않음
- 입력 장치에서 이벤트를 감지할 때마다 프로세서의 실행 흐름을 예외 벡터를 통해 사용자가 지정한 인터럽트 서비스 루틴으로 변경함
- 인터럽트 서비스 루틴이 실행되면 현재 실행 중인 문맥을 저장하고 인터럽트를 비활성화하고 사용자 코드를 실행
- 인터럽트 서비스 루틴이 종료할 때는 다시 인터럽트를 활성화하고 중단되었던 작업을 이어서 할 수 있도록 저장한 문맥을 복원

플링과 인터럽트



입출력 핀 보호

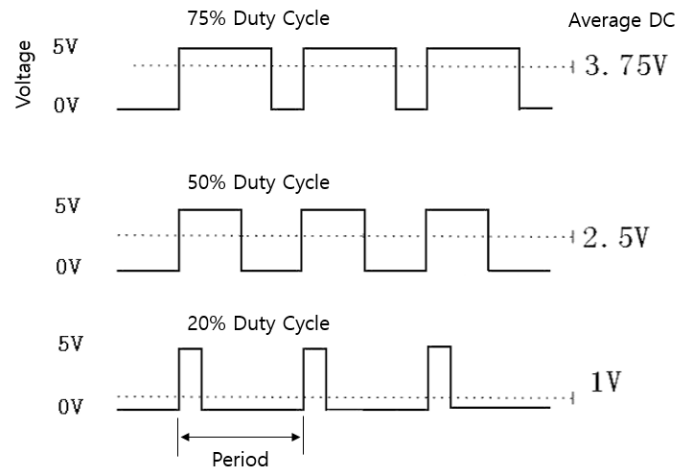
- GPIO의 입출력 핀은 연결된 회로에서 전류를 공급하거나 받아들일 수 있는 능력이 제한됨
- 핀을 허용치보다 높은 전압에 연결하면 손상될 수 있음
- 하드웨어 설계자는 전류를 제한하는 저항을 부하와 직렬로 설계해야함

PWM

- 디지털 방식으로 다양한 아날로그 신호를 흉내 내는 기술
- 동일 크기의 그릇에 담의 음식의 양을 달리하는 것과 같이 HIGH와 LOW로 구성된 펄스(그릇)에 HIGH(음식) 구간의 비율 (음식의 양)을 조절하는 것으로 이해
- 디지털 신호를 충분히 빠른 속도로 HIGH 및 LOW로 전환할 수 있으며, 이때 HIGH가 많을수록 아날로그 개념에서는 높은 전압 출력임

PWM 작동방식

- 매개 변수는 주파수와 듀티 사이클
- 주파수는 펄스, 듀티 사이클은 펄스 폭에 해당
- 출력 장치의 전원에 주파수를 듀티 사이클로 순환시킨 PWM 출력을 전달하면, 출력 장치는 이를 아날로그 신호로 인식
- 평균 전압은 HIGH 최대 전압 \times 듀티 사이클이며, 최대 전압이 5V이고 75% 듀티 사이클을 적용하면 $5V \times 0.75 = 3.75V$



PWM 주파수

- 주파수는 $\frac{1}{\text{시간}(t)}$ 이며, 주파수에 대한 시간은 $\frac{1}{\text{주파수}(f)}$
- 100kHz를 시간으로 변환하면 $\frac{1}{100,000} = 0.00001\text{s}(= 0.01\text{ms} = 10\mu\text{s})$ 이고 2kHz(2,000Hz)는 $\frac{1}{2,000} = 0.0005\text{s}(= 0.5\text{ms})$
- 일반적으로 PWM 주파수는 50Hz ~ 1kHz 범위를 사용하는데, 높을수록 출력되는 정전압 아날로그 신호는 정교해짐

PWM 듀티 사이클

- HIGH 구간의 펄스 폭을 주기에 대한 백분율로 표현
- 주파수가 고정된 상태에서 듀티 사이클을 바꾸면 출력되는 평균 전압도 변함
- 100% 듀티 사이클은 출력 레벨이 HIGH임을 의미하고 0% 듀티 사이클은 LOW임을 의미
- 50% 듀티 사이클은 출력 레벨이 HIGH와 LOW의 중간
- 60% 듀티 사이클은 출력을 60% 동안만 HIGH로 유지하므로 주기가 10 μ s(100kHz)인 경우 6 μ s 동안 출력이 HIGH를 유지하며, HIGH 일 때 최대 전압이 3.3V라면 평균 전압은 $3.3V \times 0.6 = 1.98V$

PWM 채널

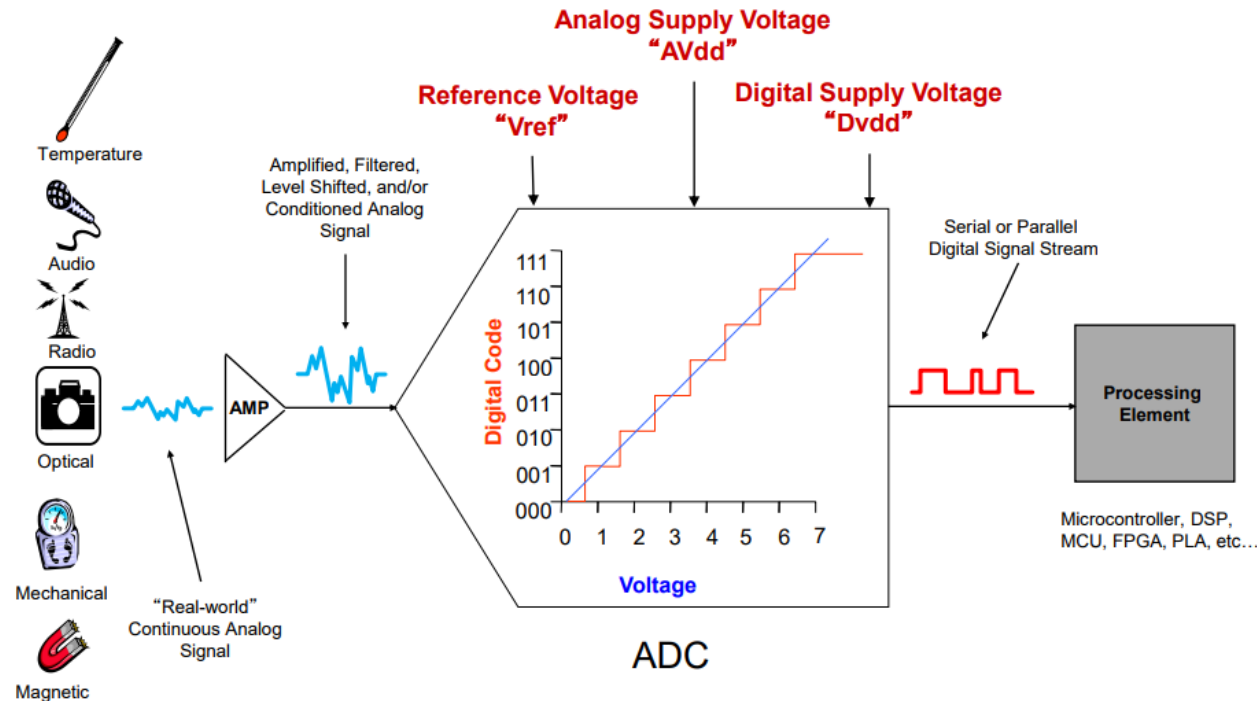
- 프로세서에 내장된 PWM 제너레이터는 여러 개의 PWM 채널을 제공
- 모든 채널은 독립적이며 주파수 및 듀티 사이클을 개별적으로 설정 가능
- 모든 GPIO 핀에서 PWM 제너레이터를 사용할 수 있는 것은 아님
- 라즈베리 파이처럼 채널이 2개로 제한되는 환경에서는 소프트웨어 PWM을 사용함
- 소프트웨어 PWM 구현은 주파수의 시간 범위에서 듀티 사이클만큼 GPIO를 HIGH로 만든 후 나머지는 LOW로 만들기를 원하는 시간만큼 반복하는 스레드를 사용

ADC

- 아날로그 입력 신호를 처리함
- 백금은 온도가 0°C일 때 저항 값이 100Ω이고 100°C에서는 138.5Ω 이므로 이러한 성질을 이용하면 신뢰성이 높은 액체 온도 센서를 제작할 수 있음
- 이러한 센서들은 측정 결과가 전압이나 전류이므로 아날로그 센서라고 함
- 문제는 전압이나 전류는 아날로그 신호로 프로세스에 전달되는데 디지털 신호보다 잡음에 약하고 저장과 조작이 어렵기 때문에 아날로그 신호를 다시 디지털 값으로 변환하는 ADC가 필요함

ADC

- ADC는 GPIO와 달리 프로세서에 없을 수 있음
- 라즈베리 파이는 ADC가 없으므로 주변장치로 ADC 모듈을 사용해야 함

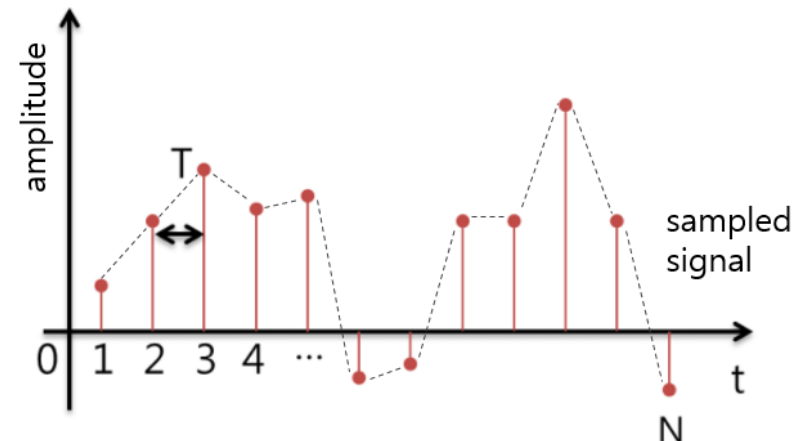
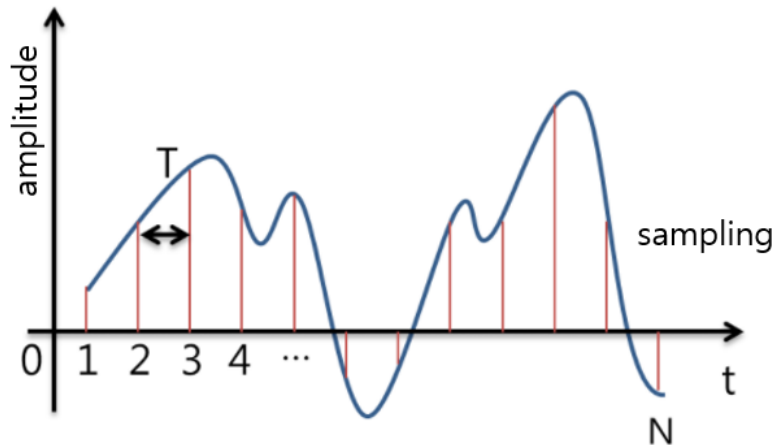


ADC 샘플링

- 아날로그 센서 데이터들은 측정된 시점과 관련된 연속적인 전압의 파형임
- 측정된 전압 파형으로부터 디지털 값을 얻으려면 이러한 연속된 파형을 디지털 형식으로 바꿔야 하는데, 이를 샘플링이라고 함
- 샘플링은 기본적으로 무한한 데이터들 가운데 유한한 개수의 데이터를 뽑아내는 데이터 수집 과정임
- 모집단 전체 데이터를 모두 사용하면 가장 정확하겠지만 시간과 비용이 많이 들기 때문에 적당한 개수의 데이터만 뽑아서 전체 패턴을 추정함
- 샘플링은 일정한 시간 간격 T 마다 신호 강도를 수집함

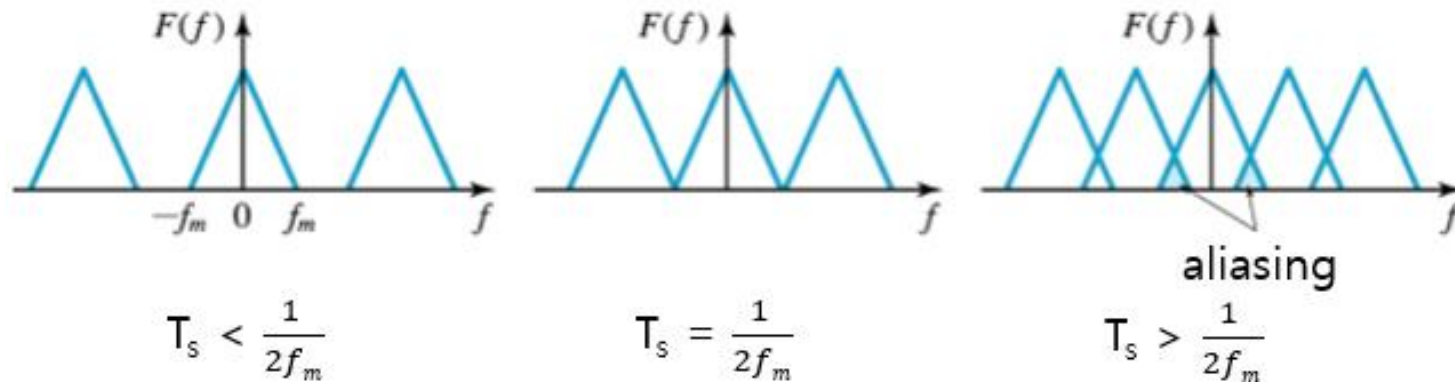
ADC 샘플링

- 시간 단위가 밀리초($\frac{1}{1000} = 0.001$)라고 가정할 때 아래의 첫번째 그림은 1밀리초 주기(1초당 1000개)의 샘플링 지점을 표현함
- 이때, 주파수 $f = \frac{1}{T}$, $T = \frac{1}{f}$ 이므로 1밀리초 주기의 샘플링 주파수는 1kHz임
- 샘플링 주파수에 맞춰 신호 강도를 측정하면 아래의 두번째 그림과 같은 결과를 얻는 데 반대로 각 점을 선으로 연결하면 원래 신호의 모양을 대략 알 수 있음



ADC 샘플링

- 샘플링 주파수는 클수록 원래의 신호에 가까워짐
- 샤논/나이퀴스트 이론에서는 최대 주파수보다 2배 더 큰 샘플링 주파수를 사용하면 중첩이 발생하지 않는 정확한 소리를 만들어낼 수 있음
- 즉, 1kHz 음성 신호를 녹음할 때는 최소 2kHz 샘플링 주파수를 적용해야 함
- 하지만 샘플링 주파수가 클수록 수집한 데이터도 증가하고 더 많은 연산이 필요하므로 응용에 따라 적절한 샘플링 주파수를 찾는 것이 중요함

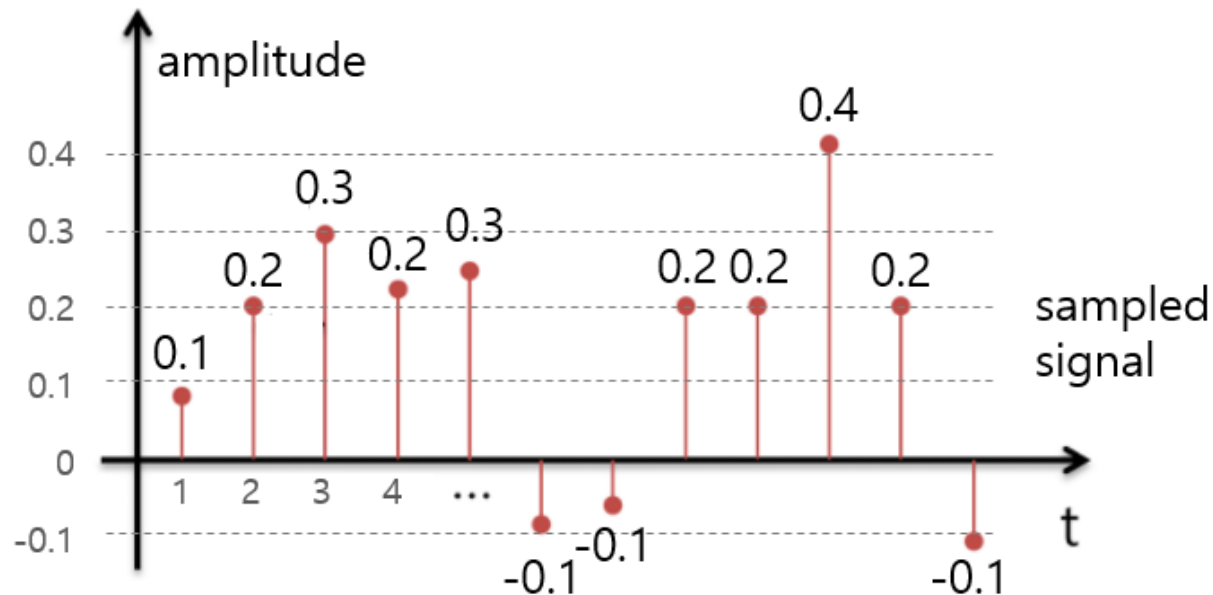


ADC 양자화

- 양자화는 샘플링한 아날로그 데이터를 디지털로 변환하기 위해 근사값을 찾는 과정
- 디지털은 0, 1만 있지만 아날로그는 0과 1사이에도 무한히 많은 수가 있음
- 현실적으로 무한 수를 다룰 수 없으므로 유효자리에 대한 자리 올림과 같이 일정 범위나 기준을 정해 놓고 어떤 임의 숫자가 나오면 그와 가장 근접한 기준 값을 사용함

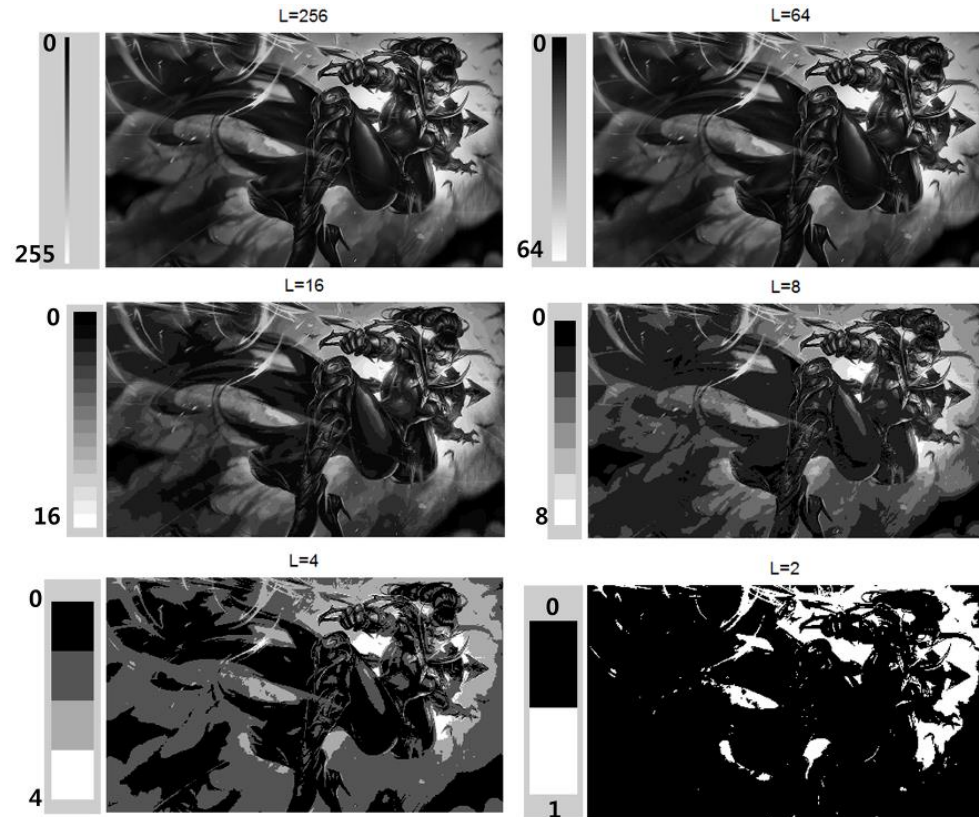
ADC 양자화

- 다음 그림은 샘플링한 음성 신호를 0.1V 레벨로 양자화한 결과
- t_2 와 t_4 의 실제 데이터 값은 다르지만 0.1V 양자화 레벨을 적용하면 둘 다 0.2V가 되므로, 이를 구분해야 한다면 적절한 양자화 레벨을 설정할 필요가 있음



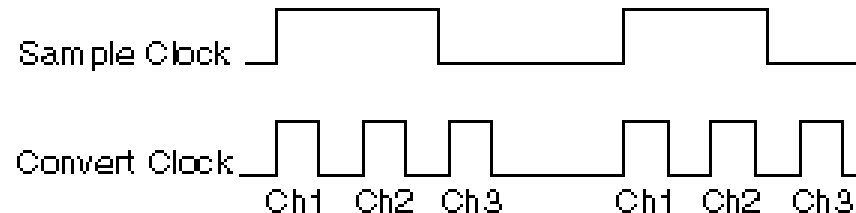
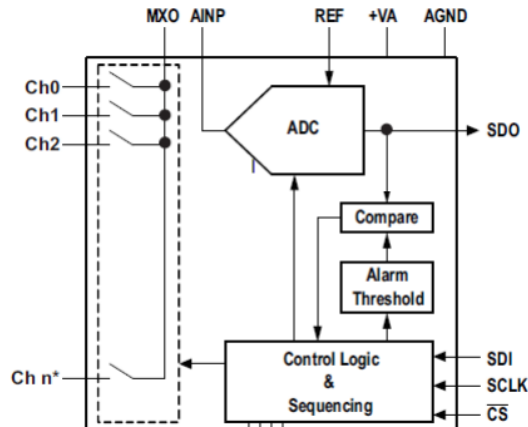
ADC 양자화

- 양자화 레벨 256은 흑백 이미지를 표현할 때 0(검은색) ~ 255(흰색)까지 256개의 색을 사용하고, 양자화 레벨 2는 0(검은색), 1(흰색) 단 2개의 색만 사용하므로 양자화 레벨 256이 이미지를 좀 더 세밀하게 표현함



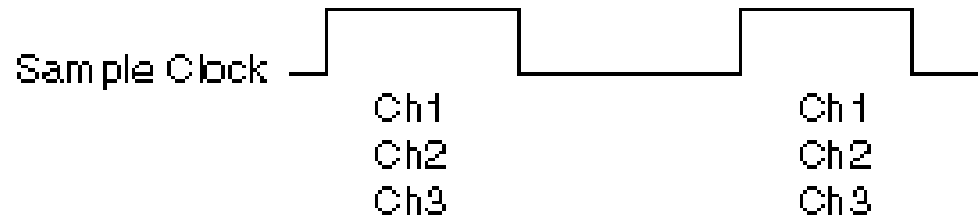
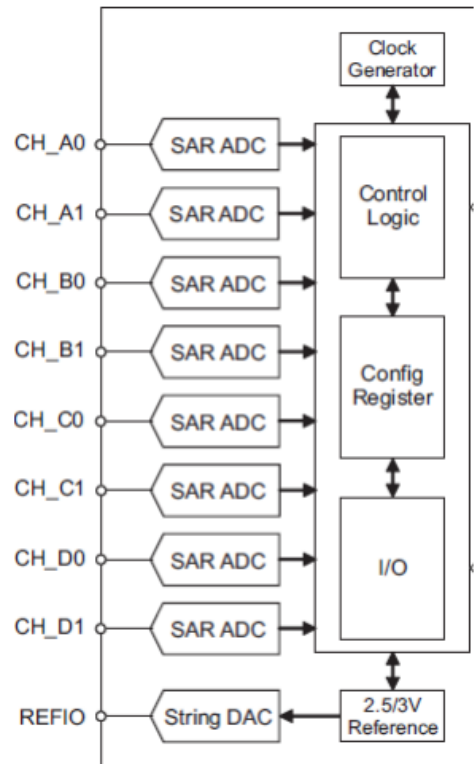
ADC 다중화와 동시 입력

- 아날로그 센서는 채널을 통해 ADC에 연결하므로 채널 수에 따라 연결할 수 있는 센서들의 개수를 결정
- 채널은 샘플링 방식에 따라 다중화와 동시 입력으로 구분
- 다중화 샘플링은 모든 아날로그 입력 채널에 대해 단일 ADC를 사용
- 스캔 목록의 모든 채널에서 샘플을 수집하는 샘플 클럭과 각각의 채널에 대해 ADC 변환을 발생시키는 변환 클럭을 사용
- 일반적으로 샘플링 주기는 변환 속도에 채널 수를 곱한 것과 크거나 같음



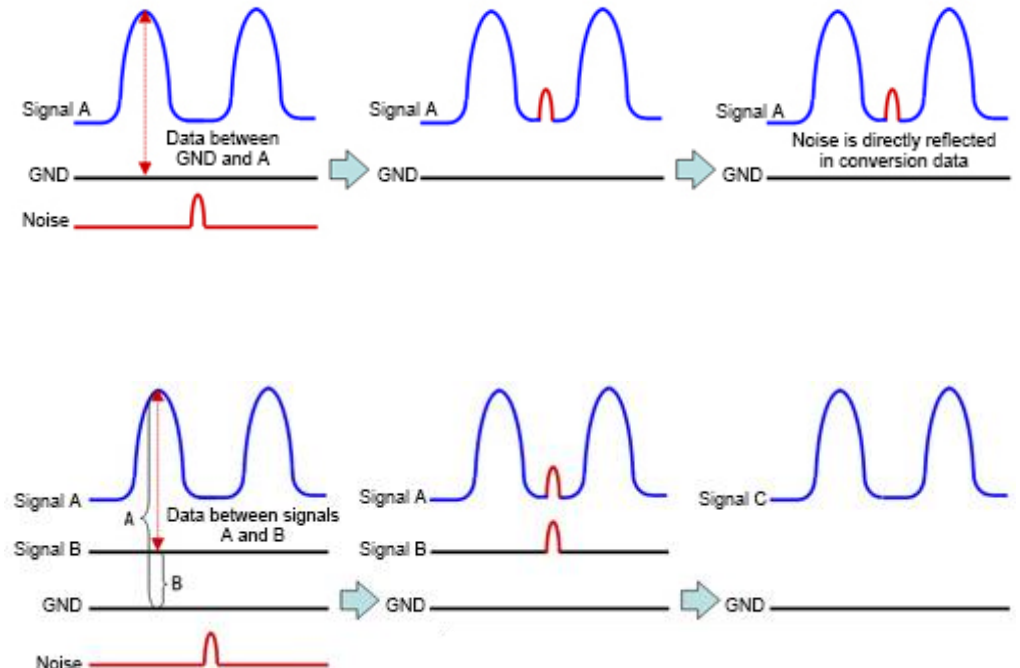
ADC 다중화와 동시 입력

- 동시 샘플링은 각 아날로그 채널별로 ADC가 있음
- 모든 채널에서 동시에 샘플링을 진행할 수 있어 성능이 높지만, 가격이 비쌘



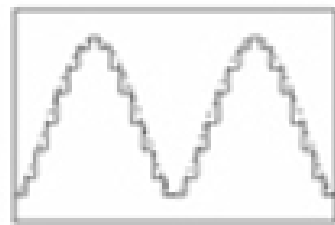
ADC 단일 종단과 차동 입력

- 아날로그 신호를 채널에서 인식하는 방식
- 단일 종단
 - 입력 신호와 그라운드의 전위차를 비교해 입력 신호의 전압을 인식
 - 잡음에 취약
- 차동 입력
 - 채널 2개를 하나의 입력 신호로 사용
 - 입력 신호 A와 그라운드의 전위차를 계산한 후 이를 입력 신호 B와 그라운드의 전위차로 뺀 값을 입력 신호 A의 전압으로 인식
 - 잡음에 따른 영향이 감소
 - 하나의 입력에 2개의 채널을 사용해서 사용할 수 있는 채널 수가 감소



ADC 분해능

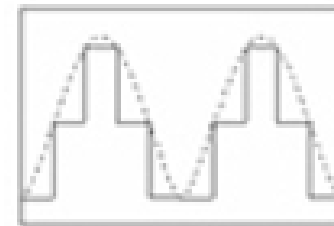
- 해상도로 불리는 분해능은 양자화 레벨 비트 수로 양자화 레벨 $256 = 2^8$ 이므로 분해능은 8bit
- 10bit 이상을 고해상도 수준 ADC라고 하는데 분해능이 12bit이면 양자화 레벨은 4096
- 6bit 이하는 저해상도이고 7bit ~ 9bit는 중해상도
- 정밀한 측정이 필요 할 수록 고해상도의 ADC가 필요함



High resolution



Analog voltage
Before conversion



Low resolution

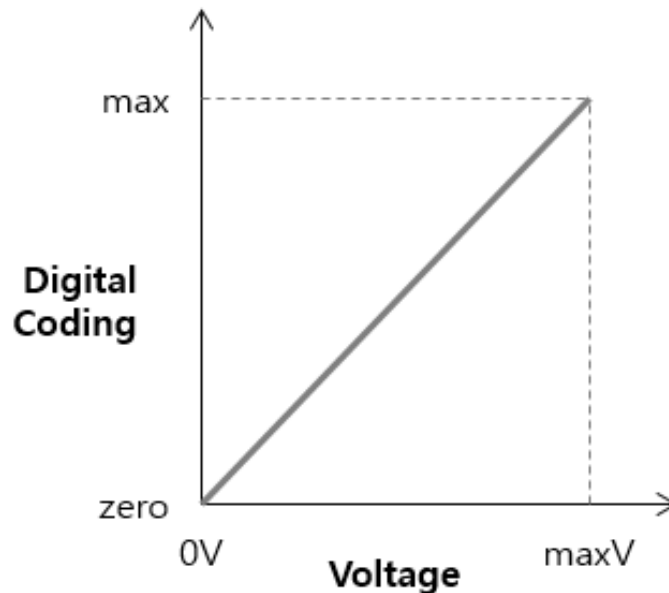
ADC 양자화 오차

- 변환 정확도인 양자화 오차는 양자화 과정에서 발생
- 1LSB 단위로 표시
- 입력 범위가 바이폴라 $\pm 10V$ 이고 분해능이 12bit인 ADC는 $\frac{20V}{4096} = 4.88mV$ 가 1LSB이지만 ADC 사양서에 $\pm 2LSB$ 로 표시되어 있으면 오차 범위는 $4.88mV \times 2 = \pm 9.76mV$

BITS	CODES	LSB VALUE		
		20V	5V	2V
8	256	78.1mV	19.5mv	7.81mV
10	1,024	19.5mV	4.88mv	1.95mV
12	4,096	4.88mV	1.22mv	488uV
14	16,384	1.22mV	305uV	122uV
16	65,536	305uV	76.3uV	30.5uV
18	262,144	76.3uV	19.1uV	7.63uV
20	1,048,576	19.1uV	4.78uV	1.91uV

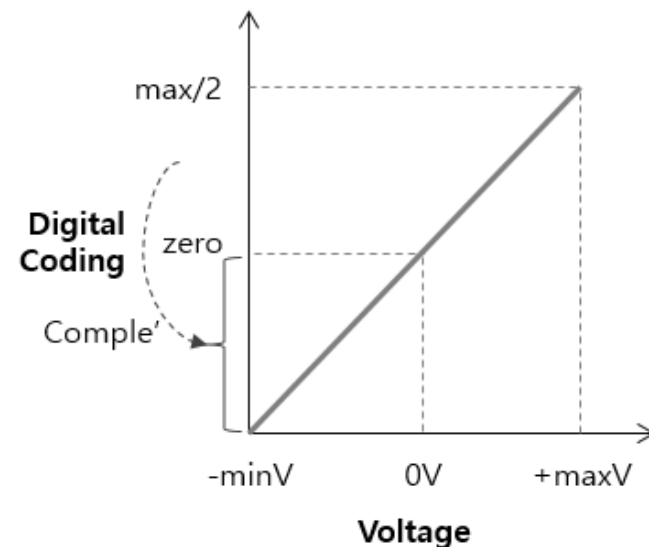
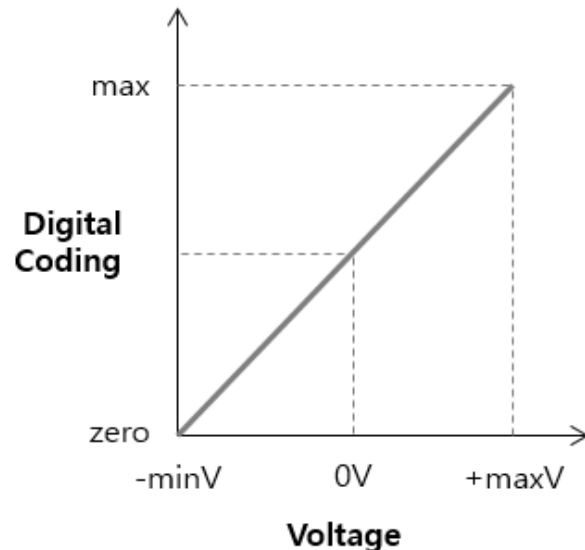
ADC 코드화

- 양자화된 데이터는 스트레이트 바이너리나 오프셋 바이너리 보수 바이너리와 같은 고유 코드 시스템으로 디지털 코드로 변환
- 스트레이트 바이너리는 가장 간단한 코딩 체계로 유니폴라 전압에서 사용
- 0V 전압일 때 디지털 코드는 0이며 LSB가 증가할 때마다 디지털 코드도 최댓값까지 증가



ADC 코드화

- 오프셋 바이너리와 보수 바이너리는 바이폴라 전압에서 사용
- 오프셋 바이너리는 -최대전압일 때 디지털 코드가 0이라는 점을 제외하면 스트레이트 바이너리와 같음
- 보수 바이너리는 0V 전압일 때 디지털 코드는 0이며 +전압에서는 디지털 코드도 함께 증가하고 -전압에서는 디지털 코드를 2의 보수로 표현

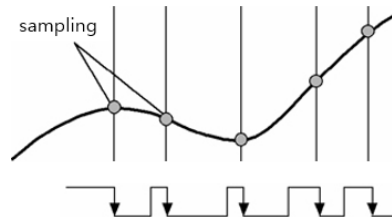
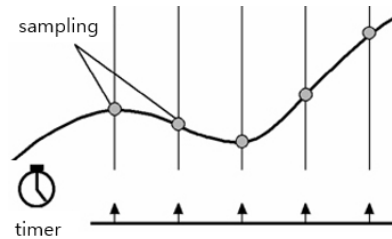


ADC 입력 범위

- ADC 채널에 입력되는 아날로그 전압 또는 전류의 범위
- 아날로그 센서의 출력 범위와 ADC의 입력 범위가 같을수록 측정 정밀도가 높아짐
- 바이폴라
 - -전원 ~ +전원
- 유니폴라
 - 그라운드 ~ +전원

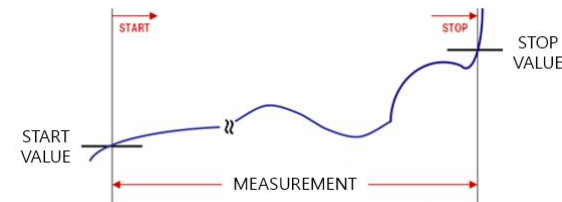
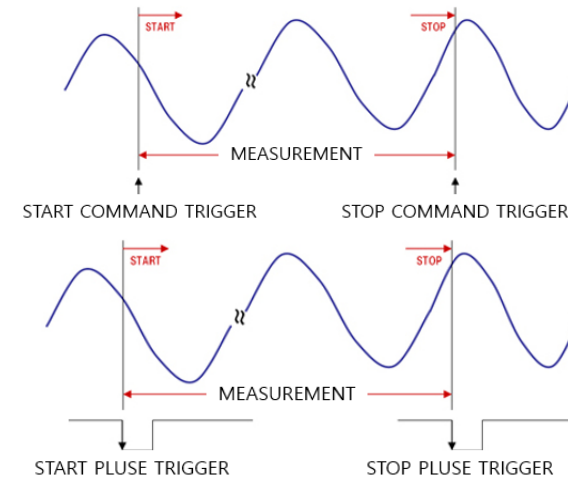
ADC 샘플링 클럭

- 샘플링 주기를 결정하며 내부 클럭과 외부 클럭으로 구분
- 내부 클럭
 - 장치에 내장된 타이머를 이용해 주기적인 변환을 진행
 - 짧은 주기의 확률적인 현상을 시간상으로 관측하여 얻는 시계열 처리에 유리
- 외부 클럭
 - 전용 핀을 통해 연결
 - 입력되는 펄스 신호에 따라 변하므로 샘플링 역시 외부 장치에 동기화된 처리를 할 수 있음



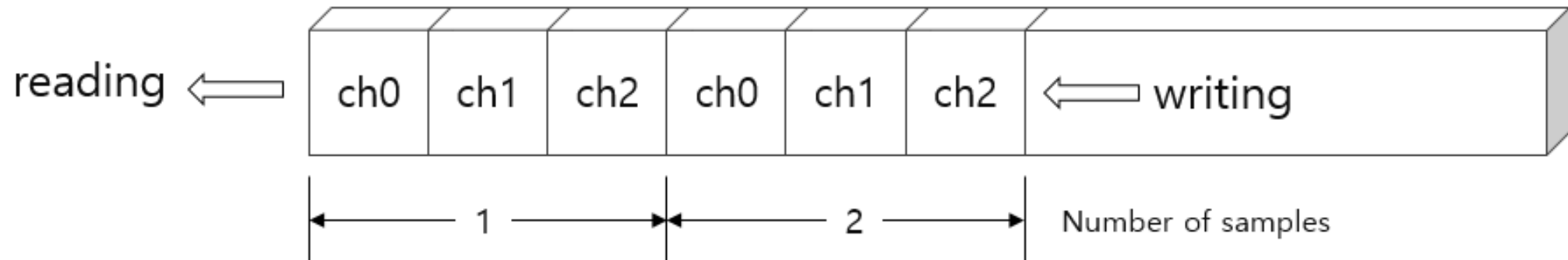
ADC 트리거

- ADC의 변환 시작과 정지를 결정
- 소프트웨어 트리거
 - 사용자 명령으로부터 시작 또는 정지
- 외부 트리거
 - 외부 신호에 의해 시작 또는 정지가
- 레벨 트리거
 - 채널의 신호 변화를 트리거로 사용
 - 미리 설정한 비교 레벨 값과 채널의 아날로그 신호 크기를 비교해 변환을 시작하거나 정지



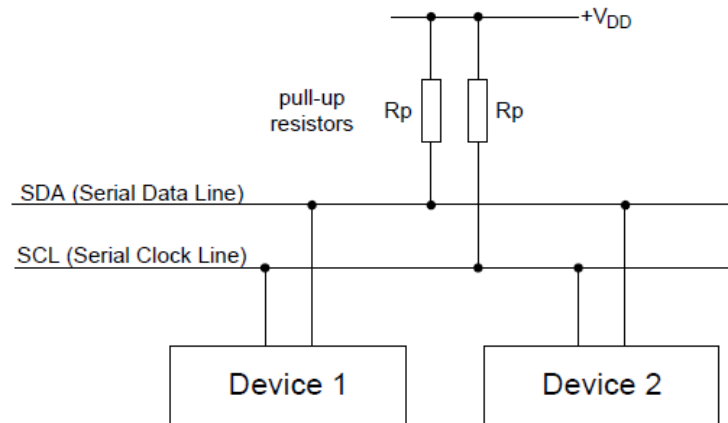
ADC 버퍼 메모리

- 프로세스의 부하를 줄이기 위해 각 채널의 최종 디지털 변화 데이터를 임시로 저장하는 공간
- FIFO 구조를 많이 사용
- 버퍼가 가득 차면 변환 데이터는 버림
- 프로세스가 데이터를 읽으면 삭제



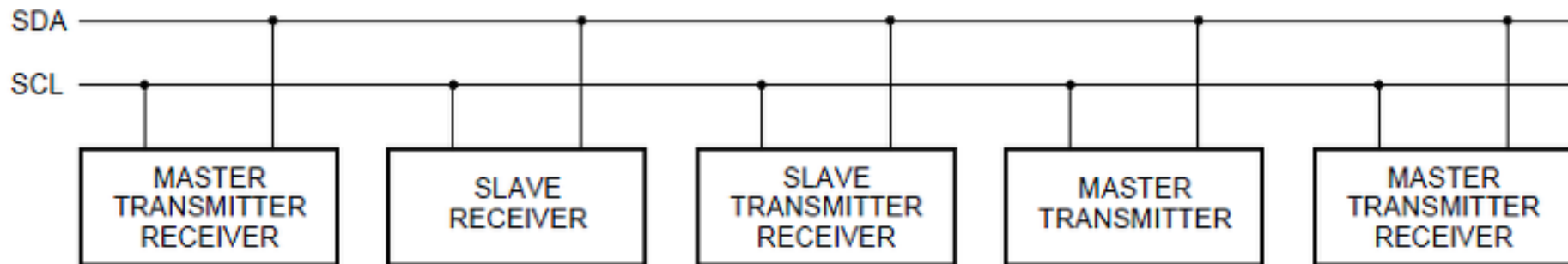
I2C

- 프로세서에 내장되어 근거리 칩 사이 통신에 사용
- 동기식 직렬 통신 방식 중 하나
- 풀업 저항이 연결된 SDA와 SCL이라는 두 개의 반 이중 방식오픈 드레인 버스 라인을 사용
- 프로세서와 주변장치 사이에 데이터를 교환
- 전송 속도는 최대 100kbit/s인 표준 모드와 최대 400kbit/s인 고속 모드, 최대 1Mbit/s 인 빠른 모드 플러스, 최대 3.4Mbit/s인 고속 모드(HS)가 있음



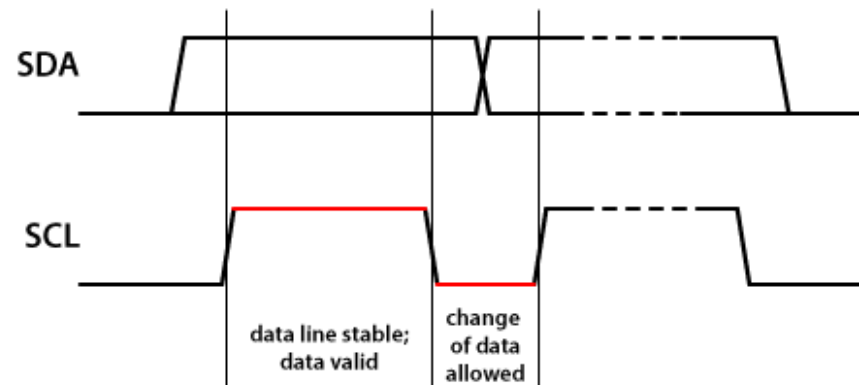
I2C 시스템 구성

- 데이터를 생성하는 송신 쪽과 데이터를 처리하는 수신 쪽 또는 데이터를 제어하는 마스터와 마스터의 제어를 받는 슬레이브로 구분
- 버스에는 여러 개의 마스터가 존재할 수 있음
- 다수의 슬레이브는 디지털 온/습도 센서나 터치 센서와 같은 주변 장치
- 마스터와 슬레이브는 송신과 수신을 모두 수행할 수 있음
- 슬레이브의 송신은 반드시 마스터의 요청을 위해서만 이뤄짐



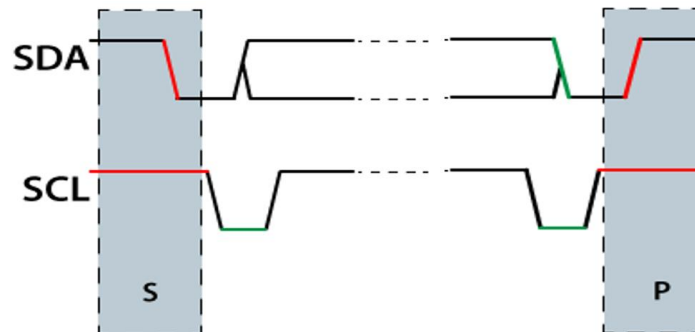
I2C 바이트 전송

- 데이터 전송의 기본 단위는 1바이트
- SCL 클럭 1펄스마다 1bit가 전송
- SCL이 LOW 일 때는 SDA의 상태 변화를 허용
- SCL이 HIGH 일 때는 데이터 안정 구간으로 SDA의 상태 변화를 허용하지 않음
- SCL이 LOW 일 때 수신 쪽이 SDA에 데이터 bit를 설정하면, 송신 쪽은 SCL이 HIGH 일 때 인식하게 되고 이를 8번 반복해 1바이트 데이터를 전송



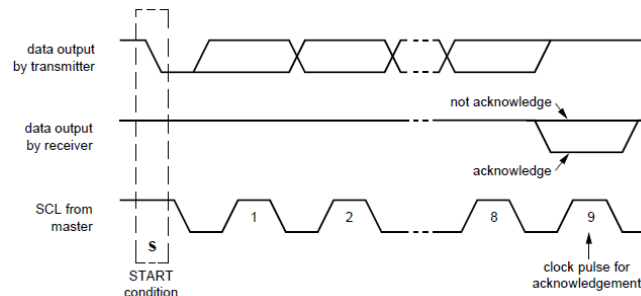
I2C 시작, 종료 조건

- SCL이 HIGH 일 때 SDA를 바꾸는 것은 특별한 조건으로 취급
- 시작 조건
 - SDA를 HIGH에서 LOW로 변경
 - I2C 버스를 점유해 bit 단위 데이터 전송이 시작됨을 버스에 연결된 장치에 알림
- 종료 조건
 - SDA를 LOW에서 HIGH로 변경
 - 종료 조건은 데이터 전송이 완료되어 I2C 버스의 점유를 해제한다는 것을 의미
- 일반적으로 데이터 전송은 시작, 종료 조건 사이에 위치



I2C ACK, NACK

- 수신 쪽인 마스터 또는 슬레이브는 1바이트를 수신할 때마다 응답인 ACK를 송신 쪽에 알림
- 시작 조건 이후 여덟 번째 SCL 클럭 펄스까지는 송신 쪽에서 SDA를 바꿔 데이터 비트를 전송
- 아홉 번째 SCL 클럭 펄스에는 수신 쪽이 SDA를 LOW로 설정해 ACK를 송신 쪽에 전달
- 아홉 번째 SCL 클럭 펄스에서는 송수신 역할을 서로 변경
- 아홉 번째 SCL 클럭 펄스에서 수신 쪽이 SDA를 LOW로 설정하지 않으면 이를 NACK라 하며, 읽기 모드에서 종료 조건 전의 응답은 NACK를 사용



I2C 주소 지정

- 슬레이브를 구분하는 식별자로 운영 모드를 나타내는 R/W bit와 결합해 첫 번째 데이터 바이트로 사용
- 주소 공간은 7bit 또는 10bit를 사용하며 16개는 예약됨
- 동일한 버스에 7bit는 최대 112개의 슬레이브, 10bit는 최대 1008개의 슬레이브를 연결
- 10bit 주소는 첫 번째 바이트 b1111 10xx 중 [1:0]에 2bit 주소를 적용하고 두 번째 바이트[7:0]에 나머지 주소를 적용

Address	R/W bit	Descript	Address	R/W bit	Descript
0000 000	0	General Call Address	0000 011	X	Reserved
0000 000	1	START Byte	0000 1XX	X	Hs-mode master code
0000 001	X	CBUS Address	1111 1XX	X	Reserved
0000 010	X	Reserved	1111 0XX	X	10bit addressing

I2C 주소 지정

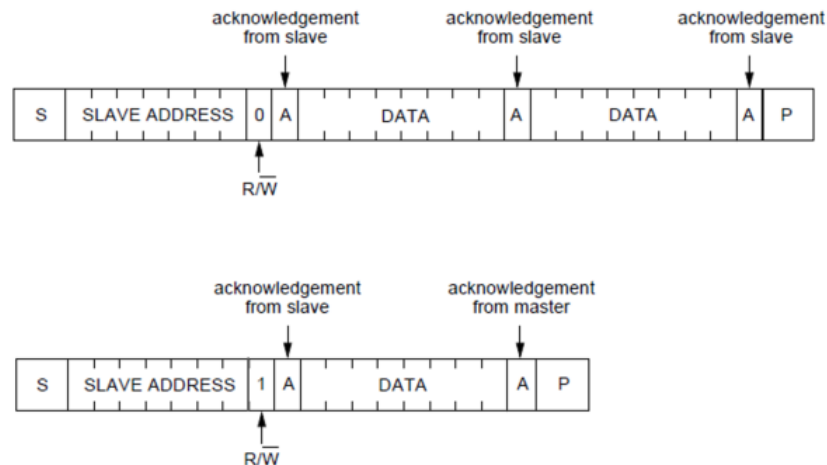
- I2C 통신은 마스터가 시작 조건과 함께 슬레이브 주소를 I2C 버스에 전송해 슬레이브를 찾는 것부터 시작
- 일치하는 주소의 슬레이브가 있으면 확인 응답인 ACK를 받음
- 없거나 전송 방향을 지원하지 않거나, 이전 명령을 처리 중이면 응답이 없음
- 이때, 버스의 다른 장치는 종료 조건을 기다리므로 응답을 받지 못해도 마스터는 종료 조건을 설정해 버스를 비워야 함

I2C 통신 흐름

- 마스터가 슬레이브를 제어하는 것이 일반적
- 슬레이브마다 자체 프로토콜을 가지고 있으므로 데이터 프로토콜은 응용 시스템마다 다름
- 하지만 세부 프로토콜을 제외한 보편적인 통신 흐름은 마스터에서 슬레이브로 명령을 전달하는 것과 슬레이브가 처리한 결과를 마스터가 수신하는 것으로 구분
- 마스터는 통신을 시작할 때 I2C 버스에 연결된 슬레이브를 선택하기 위해 주소를 데이터의 일부로 전송
- 7bit 주소 기준으로, 데이터는 1바이트 단위로 전송되므로 [7:1]에 7bit 주소를 넣고 모드 비트 [0]에는 읽기/쓰기 구분 값인 0(쓰기) 또는 1(읽기)을 넣어 버스로 보냄

I2C 통신 흐름

- 마스터에서 슬레이브로 데이터를 전달할 때 슬레이브 주소[7:1]와 함께 0[0]이 포함된 1바이트를 전송한 후 ACK가 확인되면 다음 바이트를 전송
- 반대로 슬레이브의 데이터를 읽어올 때는 슬레이브 주소[7:1]와 함께 1[0]이 포함된 1바이트를 전송한 후 ACK가 확인되면 슬레이브가 전송한 바이트를 수신
- 시작과 종료 조건 사이에 전송되는 데이터 바이트의 크기는 제한이 없음
- 시작, 종료 조건과 SCL 제어는 마스터가 처리
- 쓰기, 읽기 동작이 연속적일 때는 종료 조건 대신 시작 조건을 다시 사용

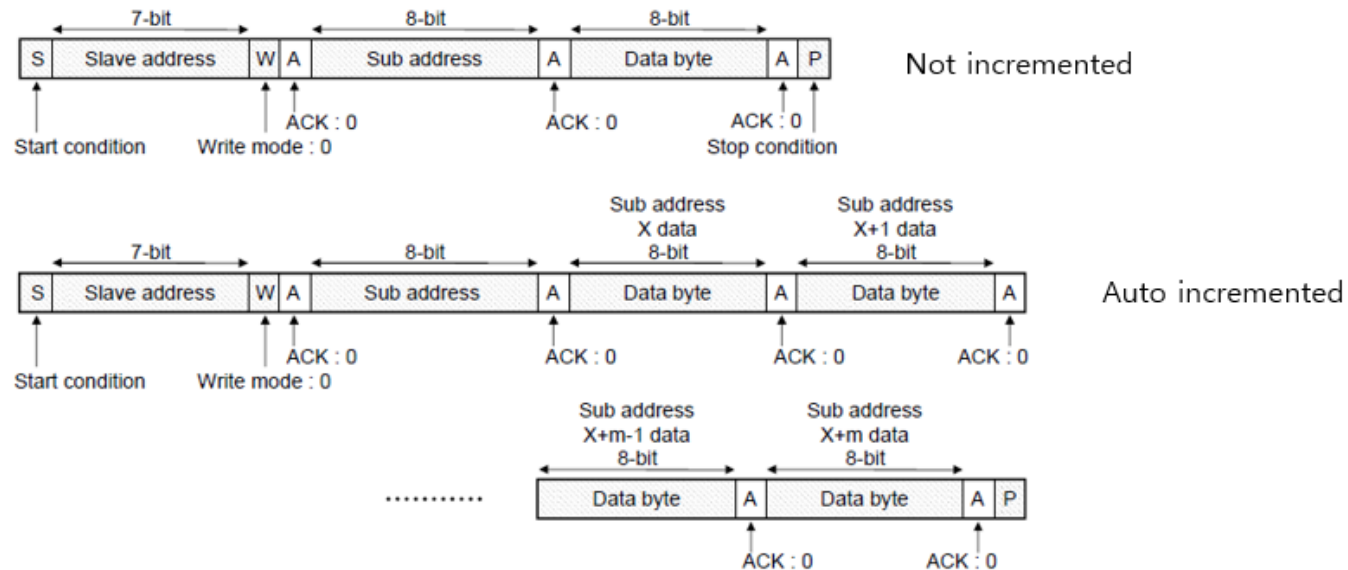


I2C 쓰기 프레임 구조

- 마스터에서 슬레이브로 데이터를 전달할 때는 시작 조건과 함께 슬레이브 주소 및 모드 bit가 0으로 설정된 바이트를 전송한 후 ACK를 확인
- 이때 NACK 상태가 감지되면 슬레이브가 존재하지 않거나 통신에 참여할 수 없는 상황임
- 두 번째 바이트부터는 슬레이브 구조에 따라 달라짐
- 슬레이브 내부에 추가 레지스터를 가지고 있다면 하위 주소이고 세 번째 바이트는 하위 주소에 저장될 데이터임

I2C 쓰기 프레임 구조

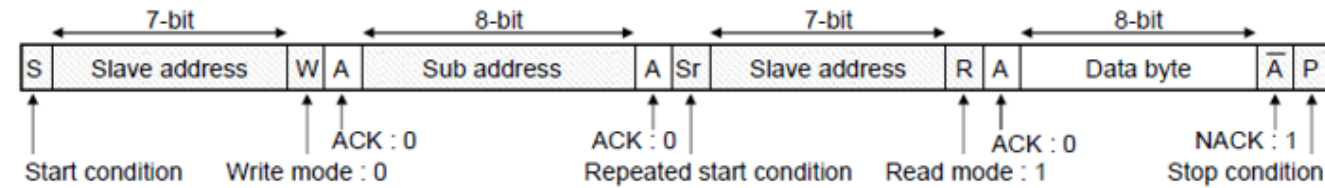
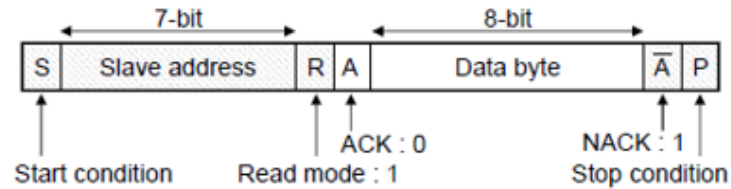
- 슬레이브가 자동 증가 모드를 지원하면 세 번째 데이터부터 종료 조건 전까지 연속으로 데이터를 전달할 수 있음
- 이렇게 하면 슬레이브는 하위 주소부터 1씩 증가시키면서 전달받은 데이터를 저장함
- 단순한 구조의 슬레이브에서 두 번째 바이트는 슬레이브가 실행할 명령임



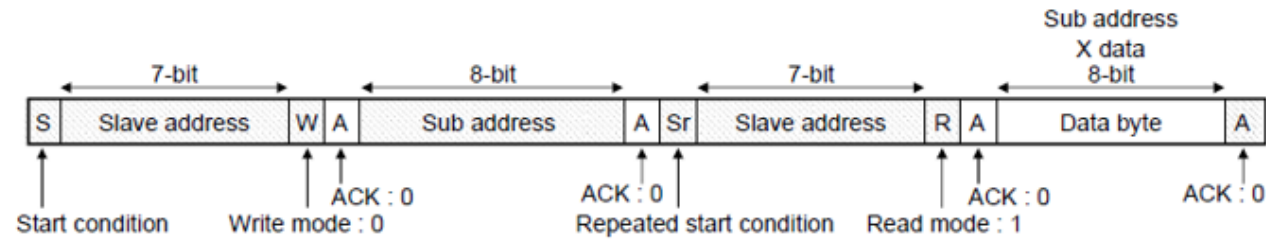
I2C 읽기 프레임 구조

- 마스터가 슬레이브로부터 데이터를 읽을 때는 슬레이브 주소와 함께 모드 bit를 1로 설정하는 것과 종료 조건 앞의 응답으로 NACK를 사용하는 것을 제외하면 쓰기 모드와 비슷함
- 마스터는 시작 조건 이후 슬레이브 주소와 함께 모드 bit가 1로 설정된 바이트를 전송한 후 ACK를 확인
- ACK 이후는 슬레이브가 마스터로 전달하는 데이터임
- 내부에 추가 레지스터를 갖는 슬레이브는 ACK 이후 추가로 하위 주소 바이트 및 읽기 모드가 설정된 주소 바이트를 다시 요구함
- 자동 증가 모드를 지원하는 슬레이브라면 반환되는 데이터가 연속 바이트일 수 있음

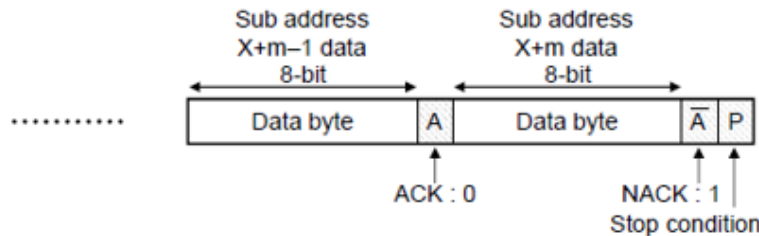
I2C 읽기 프레임 구조



Not incremented



Auto incremented



SPI

- 프로세서에 내장되어 근거리 칩 사이 통신에 사용
- 동기식 직렬 통신 방식 중 하나
- SS와 SCLK 라인 외에 전 이중 방식의 MISO와 MOSI 라인을 사용해 프로세서와 다수의 주변장치 사이에 데이터를 교환함
- SCLK, MISO, MOSI는 프로세서의 부가 기능을 사용
- SS는 GPIO를 사용

SPI

- 마스터가 생성하는 SCLK 라인을 통해 통신을 동기화하는 점은 I2C와 동일
- 마스터는 1개만 허용(1:n) 하고 통신에 참여하는 슬레이브의 선택은 주소 대신 SS 라인에 의해 결정
- 데이터는 ACK 없이 한 번에 한 바이트 이상을 전송할 수 있음
- 전송 속도는 최대 48MHz까지 지원



SPI 시스템 구성

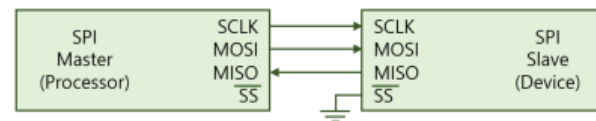
- MOSI 라인은 마스터에서 슬레이브로 데이터를 전송할 때 사용
- MISO 라인은 슬레이브의 데이터를 마스터로 옮길 때 사용
- 마스터가 생성해 슬레이브로 전달하는 SCLK는 I2C의 SCL과 같이 데이터 교환 과정에서 필요한 동기화 클럭으로 전송 속도를 결정
- 통신에 참여할 슬레이브를 선택할 때 사용하는 SS 라인은 Active Low로 동작
- 슬레이브 연결 방법에 따라 4-Wire, 3-Wire, 다중 슬레이브 방식으로 구분됨
- 4-Wire는 4개의 라인을 모두 사용해 하나의 슬레이브를 연결
- 3-Wire는 특정 슬레이브의 SS를 그라운드에 연결해 항상 통신에 참여하게 함

SPI 시스템 구성

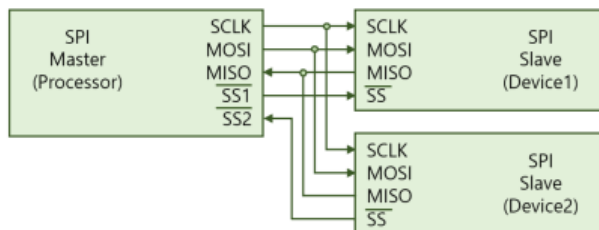
- 다중 슬레이브는 4-Wire 방식을 확장해 마스터 쪽의 SS를 여러 개 두는 것으로 각각의 슬레이브를 선택할 수 있게 함
- 다중 슬레이브 방식에서 마스터의 SS 라인 증가를 줄이기 위해 SS라인을 디멀티플렉서로 분배하거나 MOSI와 MISO 라인을 데이터 체인으로 연결하기도 함
- 데이터 체인은 첫 번째 슬레이브의 MISO를 두 번째 슬레이브의 MOSI에 연결하고 마지막 슬레이브의 MISO를 마스터의 MISO에 연결하는 방식임



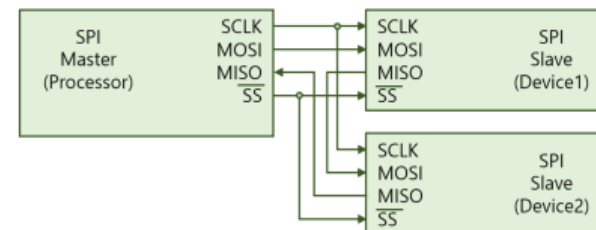
4-Wire



3-Wire



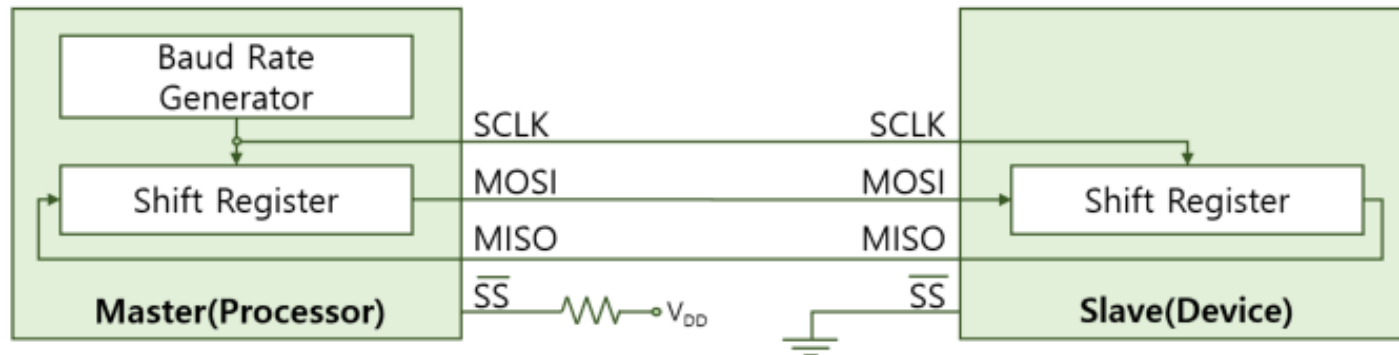
Multiple-Slave



Daisy-Chained

SPI 블록 구조

- 마스터는 전송에 필요한 클럭을 생성하는 보레이트 제너레이터와, 클럭마다 bit 전송 및 bit 수신을 동시에 진행하는 시프트 레지스터로 구성
- 슬레이브는 시프트 레지스터로만 구성
- 마스터와 슬레이브의 시프트 레지스터는 하나의 시프트 레지스터를 원격으로 분리한 것
- 마스터의 시프트 연산 결과는 슬레이브에 반영됨
- 슬레이브의 시프트 연산 결과는 다시 마스터에 반영되는 일종의 되먹임 시스템임
- bit 전송 순서는 규정이 없으므로 구현 의존적이고, 한 워드의 크기 역시 구현 의존적임

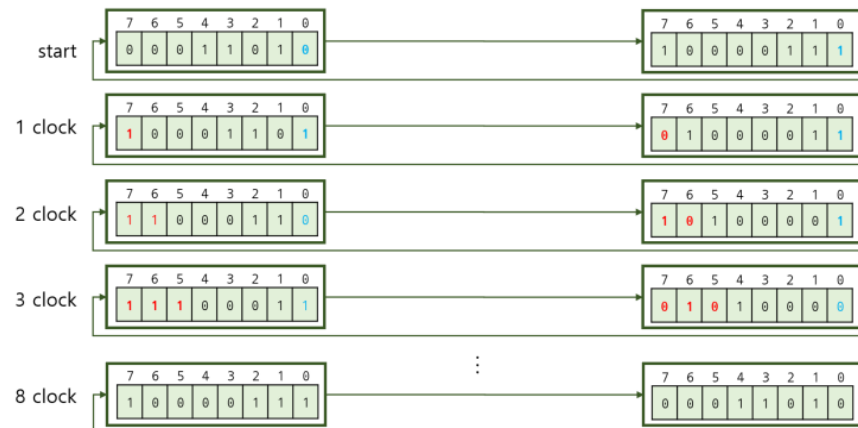


SPI 데이터 교환

- SPI 버스에서 워드 크기는 제한이 없지만 주로 1바이트 또는 2바이트를 사용
- 시프트 레지스터를 이용한 상호 교환 방식임
- n 클럭 동안 마스터가 슬레이브로 n 개의 bit 데이터를 전달할 때 슬레이브도 마스터로 n 개의 bit 데이터를 전달함
- 예를 들어 마스터에서 1 bit를 시프트 시켜 슬레이브에 전달하면 수신한 1 bit가 슬레이브의 시프트 레지스터에 들어가면서 1 bit 시프트된 결과가 출력되어 다시 마스터에 전달됨
- 따라서 n 사이클이 지난 후에는 마스터와 슬레이브의 시프트 레지스터 내용이 서로 바뀌게 됨

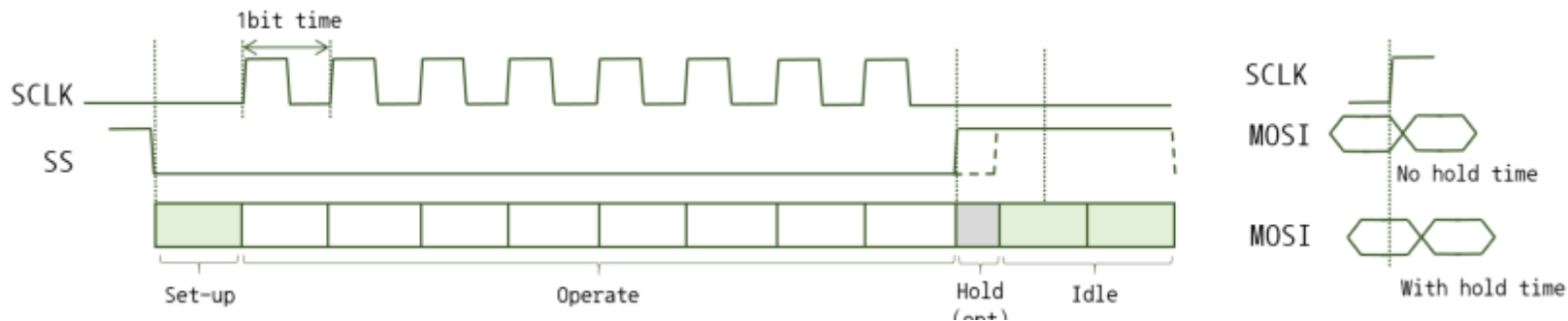
SPI 데이터 교환

- 마스터가 슬레이브로 데이터만 전달할 때는 수신한 데이터를 무시
- 반대로 데이터 전달 없이 슬레이브의 n bit 데이터를 넘겨받으려면 의미 없는 n bit 더미 데이터를 전달하면 됨
- 슬레이브의 특성에 따라 출력 전용 장치라면 MOSI 라인만 연결해 데이터를 전달
- 입력 전용 장치라면 MISO 라인만 연결해 데이터를 읽을 수 있음



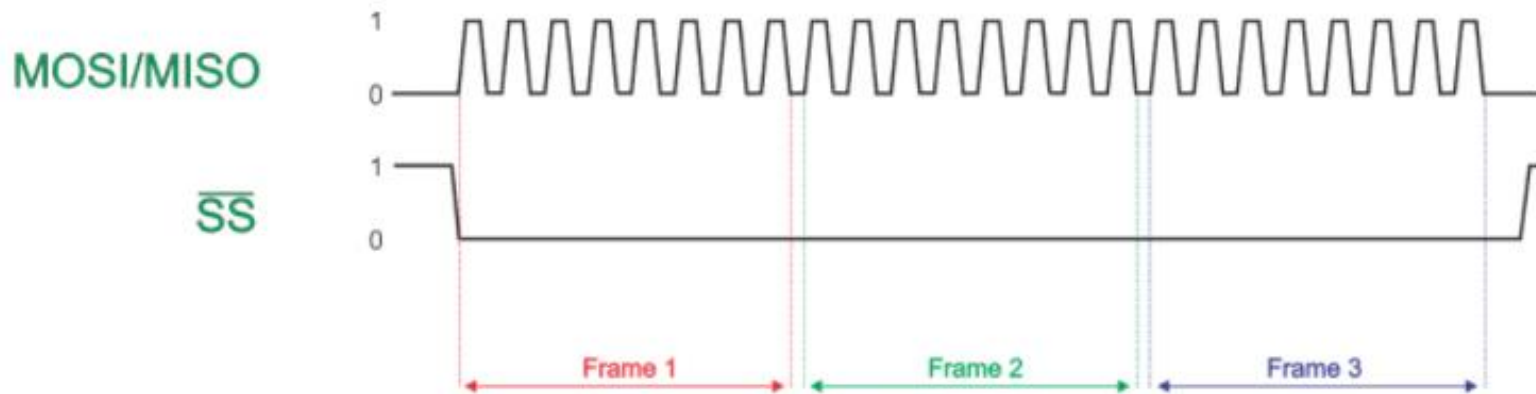
SPI 동작 사이클

- 클럭 사이클을 운영하기 전에 SS를 LOW로 설정해야 데이터 교환이 가능
- SS를 LOW로 설정하면 데이터 전송을 위한 클럭 에지가 동기화됨
- 이후부터 마지막 클럭 사이클까지 실제 데이터를 교환하는 동작 사이클을 유지
- 동작 사이클에서 한 사이클은 1bit 전송 시간임
- 슬레이브에서 마지막 bit 수신을 보장하기 위해 클럭이 멈춘 후 $\frac{1}{2}$ bit만큼의 추가시간을 동작 사이클에 포함하거나 $\frac{1}{2}$ 클럭을 추가하기도 함
- 마스터에 따라 동작 사이클이 완료되면 자동으로 SS를 HIGH로 바꾸는 경우도 있음



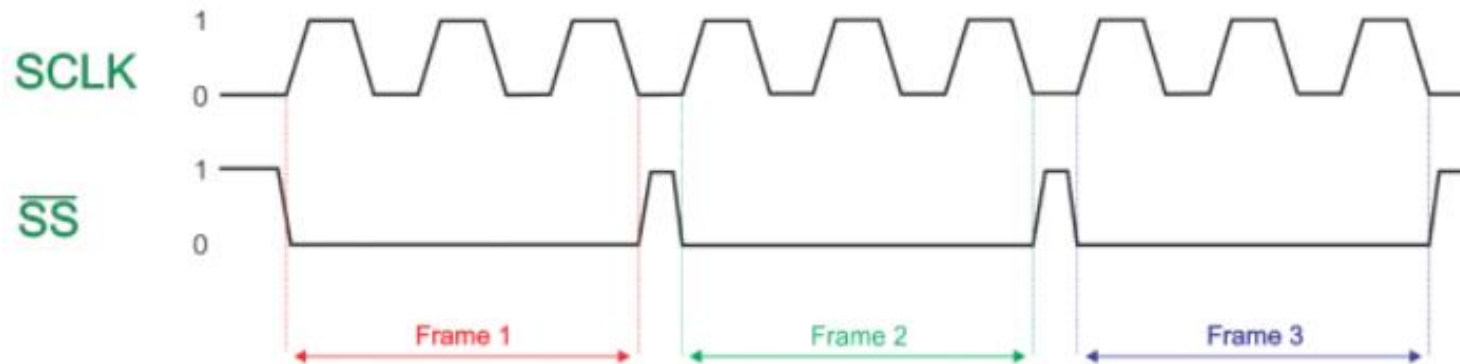
SPI 데이터 프레임

- 데이터 프레임 크기는 슬레이브에 정의된 데이터 크기에 의존적임
- 마스터는 데이터 프레임 크기 및 전송 순서를 결정함
- 프레임 크기가 8 bit 이하면 응용에서는 1바이트를 사용
- 프레임 크기가 9 ~ 16 bit 면 2바이트를 사용하지만, SPI 컨트롤러는 여분 비트를 무시함
- ACK가 없기 때문에 SS가 Active Low인 동안 클럭을 참조해 MOSI와 MISO 라인을 통해 데이터를 교환하는 단순한 구조임



SPI 데이터 프레임

- 일반적으로 여러 프레임의 데이터를 교환하는 동안 SS는 Active Low를 유지함
- 일부 슬레이브는 SS의 다시 설정을 요구 함

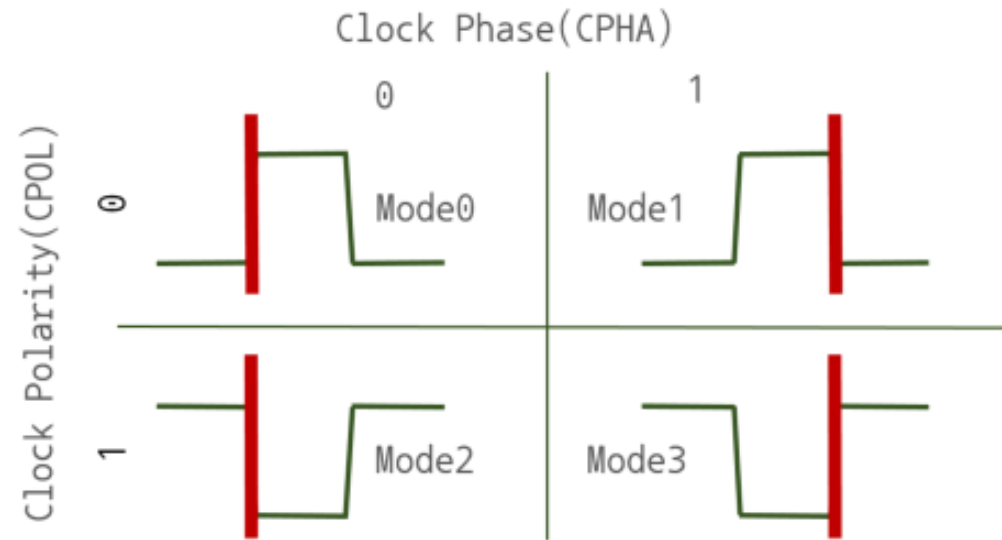


SPI 전송 모드

- SPI 인터페이스는 MOSI와 MISO 라인에서 동시에 데이터를 송수신함
- 클럭에 대한 극성과 위상의 조합인 전송 모드를 통해 데이터를 읽거나 쓰는 시점을 구분함
- CPOL은 클럭의 모양을 결정하는데 CPOL = 0은 클럭이 HIGH 일 때 활성화되는 정방향 펄스를 의미
- CPOL = 1은 LOW 일 때 활성화되는 역방향 펄스를 의미
- CPHA는 신호 해석 시점을 결정하는데 CPHA = 0은 첫 번째 클럭 에지에서 데이터를 샘플링하고, CPHA = 1은 두 번째 클럭 에지에서 샘플링 함

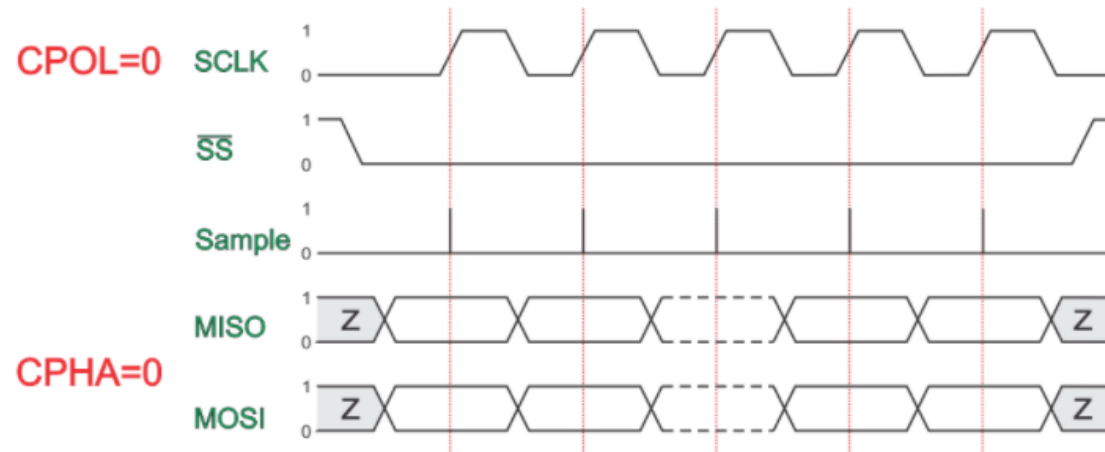
SPI 전송 모드

- 슬레이브에 따라 지원하는 전송 모드가 다르므로 마스터는 슬레이브가 지원하는 전송 모드에 맞춰야 함



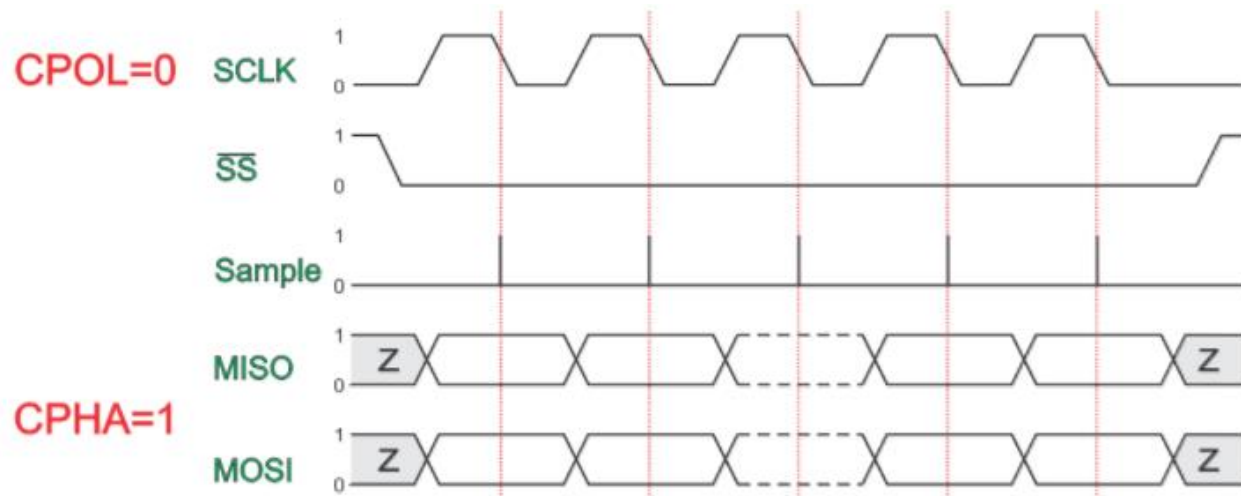
SPI Mode 0

- 상승 에지에서 데이터를 읽고, 하강 에지일 때는 데이터를 쓰기 때문에 첫 번째 클럭 신호가 상승하기 전에 데이터를 사용할 수 있어야 함
- MISO, MOSI 라인의 데이터는 클럭이 HIGH 일 때 안정적이며, LOW 일 때 바꿀 수 있음
- 클럭 유휴 상태는 0



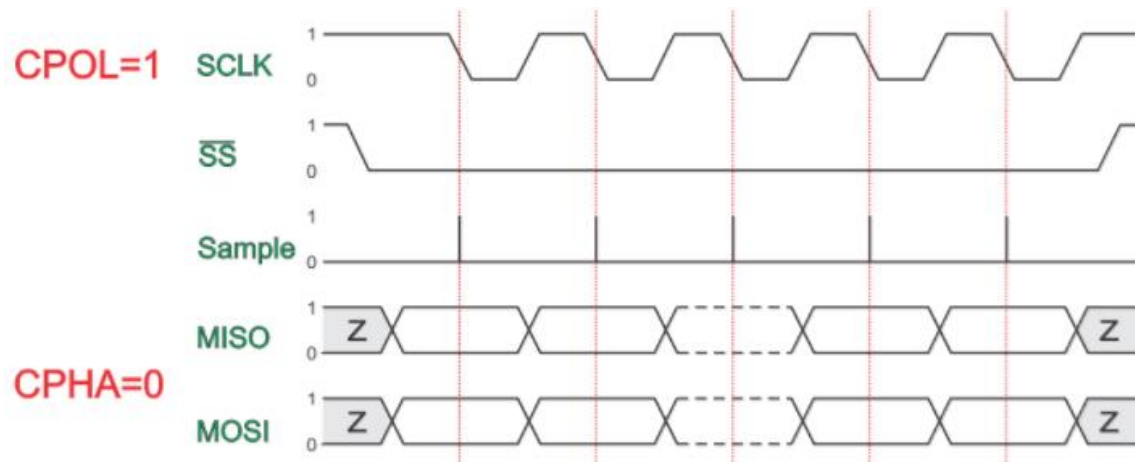
SPI Mode 1

- 하강 에지일 때 데이터를 읽고, 상승 에지에서 데이터를 쓰기 때문에 첫 번째 클럭 신호 상승은 데이터를 준비하는데 사용함
- MISO, MOSI 라인의 데이터는 클럭이 LOW 일 때 기존 상태를 유지하고 HIGH 일 때 바뀜
- 클럭 유휴 상태는 0



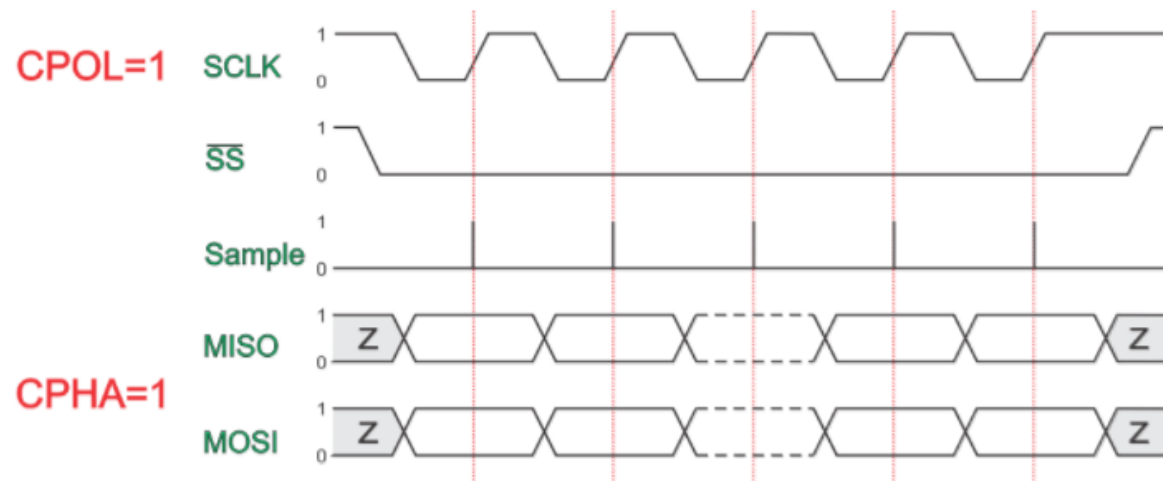
SPI Mode 2

- 하강 에지에서 데이터를 읽고, 상승 에지일 때 데이터를 쓰기 때문에 첫 번째 클럭 신호가 하강하기 전에 데이터 사용 가능
- MISO, MOSI 라인의 데이터는 클럭이 LOW이면 기존 상태를 유지하고 HIGH 일 때 바뀜
- 클럭 유희 상태는 1



SPI Mode 3

- 상승 에지에서 데이터를 읽고 하강 에지에서 데이터를 쓰기 때문에 첫 번째 클럭 신호 하강은 데이터를 준비하는데 사용함
- MISO, MOSI 라인의 데이터는 HIGH일 때 기존 상태를 유지하고 LOW이면 바뀜
- 클럭 유희 상태는 1



UART

- 시스템 사이 비동기 직렬 통신 방식 중 하나
- EIA RS-232, RS-422, RS-485와 같은 통신 표준을 따름
- 옛지 디바이스는 프로세서에 UART 컨트롤러가 내장되어 있으며 PC는 별도의 주변장치로 지원

UART 범용

- 데이터 형태나 전송 속도를 비롯해 전기 신호 수준과 통신 방식을 사용자가 직접 설정할 수 있음
- 1840년대 모스 부호를 사용하는 최초의 전신 시스템으로부터 시작됨
- 모스 부호는 송신기에서 수신기로 흐르는 전류를 이용해 종이 위에 점을 찍도록 고안됨
- 이는 수신기에 전류가 흐르면 점을 찍고, 흐르지 않으면 공백으로 처리하는 식임
- 컴퓨터에서는 전류 감지 방식을 전압 측정으로 변경함
- RS-232 표준은 음전압이면 논리 1, 양전압이면 논리 0으로 인식해 비트를 표현
- 하지만 프로세스는 음전압을 사용하기 어렵고, 특히 엡지 디바이스는 PC와 전압 레벨도 다르기 때문에 TTL 신호를 사용
- TTL 레벨에서는 3.3V이면 논리 1, 0V는 논리 0으로 인식

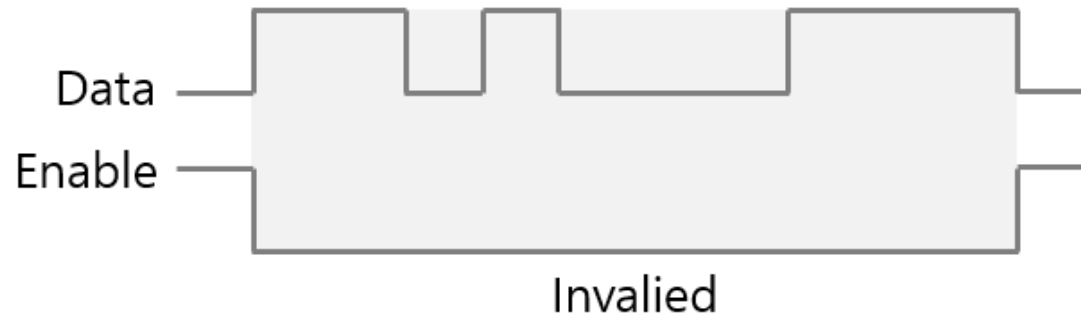
UART 비동기

- 송신 쪽에서 메시지를 전송하려면 수신 쪽은 이를 받을 준비가 되어 있어야 함
- 병렬 통신에서는 한 번에 여러 비트를 전송
- 직렬 통신은 한 번에 한 비트씩 전송해서 하나의 데이터를 전송하는데 시간이 걸림

UART 비동기

- 동기 통신

- 송신 쪽이 데이터를 보내면서 별도의 신호 라인을 통해 데이터가 송신 중이라는 신호도 함께 보내는 방식



- 비동기 통신

- 신호 라인을 추가하지 않고 양쪽에 설정한 동일한 시계를 기준으로 데이터를 송수신함



UART 보레이트

- 비트레이트는 초당 얼마나 많은 데이터 비트를 전송할 수 있는지를 나타내는 것으로 단위는 BPS를 사용
- 보레이트는 초당 얼마나 많은 심볼을 전송할 수 있는지를 나타내는 것
- 심볼은 의미 있는 데이터의 묶음
- 보레이트는 비트레이트에 비해 상대적인 개념임
- 심볼이 8비트라면 비트 레이트 9600bps는 보 레이트 1200Baud로 서로 다르지만, UART처럼 심볼이 1비트라면 보 레이트 9600Baud로 서로 같음
- 보레이트는 시스템의 고유 클럭을 이용하는데, 이 값은 보레이트보다 크므로 분주기라고 불리는 값으로 나눠 사용함

UART 보레이트

- 일반적으로 클럭이 작으면 상대적으로 유효한 보레이트도 작고, 크면 보레이트도 함께 커짐
- 저속 마이크로 컨트롤러는 19.2K까지 보장하고 라즈베리 파이와 같은 엡지 디바이스는 115.2K, PC는 250K까지 보장

F _{OSC} = 18.4320MHz		
Baud Rate	Prescaler	Error
2400	7,680	0
4800	3,840	0
9600	1,920	0
14.4k	1,280	0
19.2k	960	0
28.8k	640	0
38.4k	649	0.141
57.6k	320	0
76.8k	240	0
115.2k	160	0
230.4k	80	0
250k	73	0.728

UART 데이터 프레임

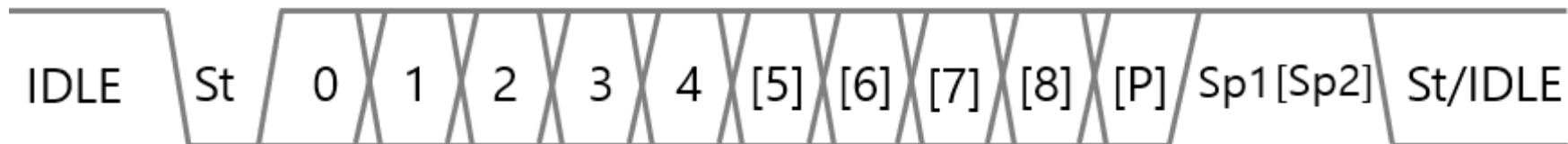
- 데이터 프레임은 1개의 시작 비트와 5 ~ 9개의 데이터 비트 및 1개의 패리티 비트, 1 ~ 2개의 종료 비트로 구성
- 데이터를 교환하기 전에 송신 및 수신 쪽에서 보레이트를 포함해 같은 값으로 미리 설정되어 있어야 함



- 대기 중인 데이터 라인은 HIGH 상태를 유지하는데, 프레임의 첫 번째인 시작 비트는 보레이트를 기준으로 1비트 시간 동안 데이터 라인을 LOW 상태로 만들어 상대 쪽 수신기에 새로운 프레임이 오고 있음을 알림
- 이어서 양쪽에서 미리 약속한 길이만큼의 데이터 비트가 오는데, ASCII 코드 또는 바이트일 때는 8비트를 사용하며 LSB부터 시작해 값에 따라 데이터 라인을 HIGH 또는 LOW로 만듦
- 데이터 비트의 길이는 송수신 쪽에서 한 번 정하면 계속 같은 크기의 데이터를 주고받아야 함

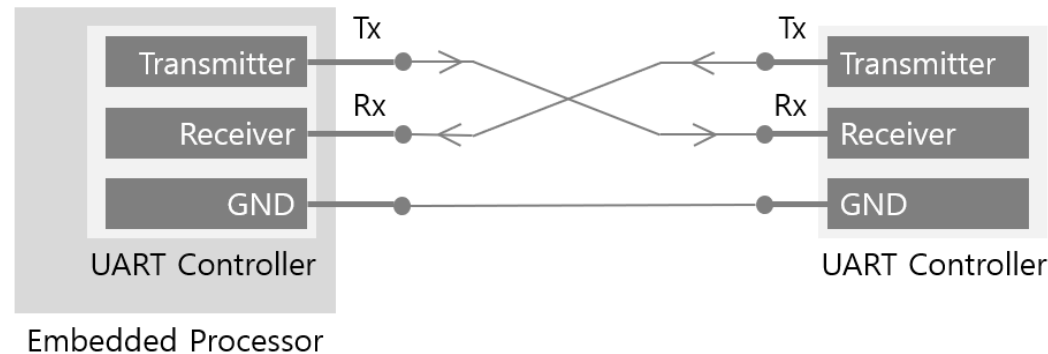
UART 데이터 프레임

- 데이터 전송이 완료되면 오류 검출을 위해 데이터 비트의 합이 홀수 또는 짝수가 되도록 0 또는 1을 삽입한 패리티 비트를 보낼 수 있음
- 예를 들어 홀수 패리티를 사용한다고 할 때, 데이터 비트의 합이 7이면 0, 8이면 1을 패리티 비트로 사용
- 패리티 비트의 단점은 한 번에 2^n 개의 데이터가 바뀔 경우 이를 알아채지 못함
- 정지 비트는 프레임의 끝을 알리는 것으로 보레이트 오차를 줄이기 위해 1 ~ 2비트 시간 동안 데이터 라인을 HIGH로 유지함



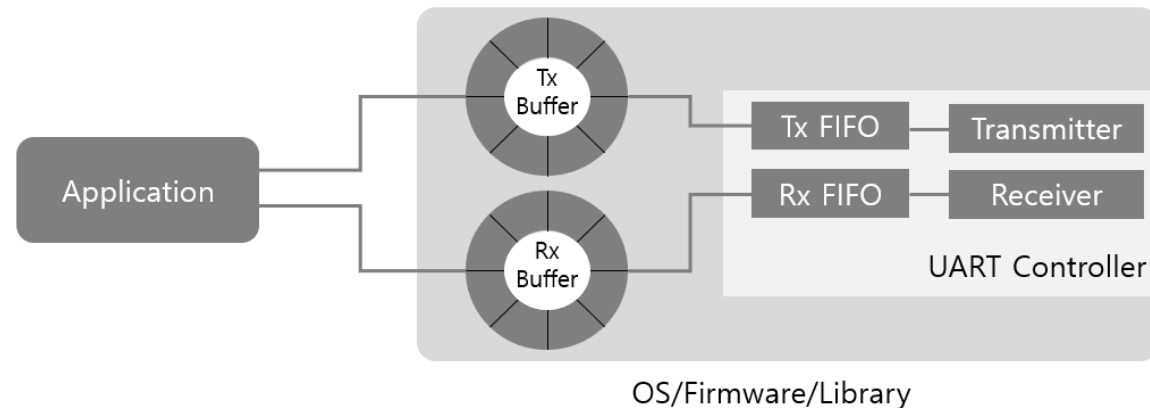
UART 수신기와 송신기

- 하나의 컨트롤러에 수신기와 송신기를 모두 가지고 있음
- 송신기로 데이터를 보내면서 수신기로 상대 쪽 데이터를 받는 전이중 통신을 할 수 있음
- 송신기와 수신기는 각각 Tx, Rx 라인으로 상대 쪽 수신기와 송신기에 연결됨
- 송신기에서 보낸 데이터는 Tx 라인을 통해 상대 쪽 Rx 라인에 연결된 수신기에 전달됨
- 수신기가 Rx 라인에서 받은 데이터는 상대 쪽 송신기가 Tx 로 전달한 것임



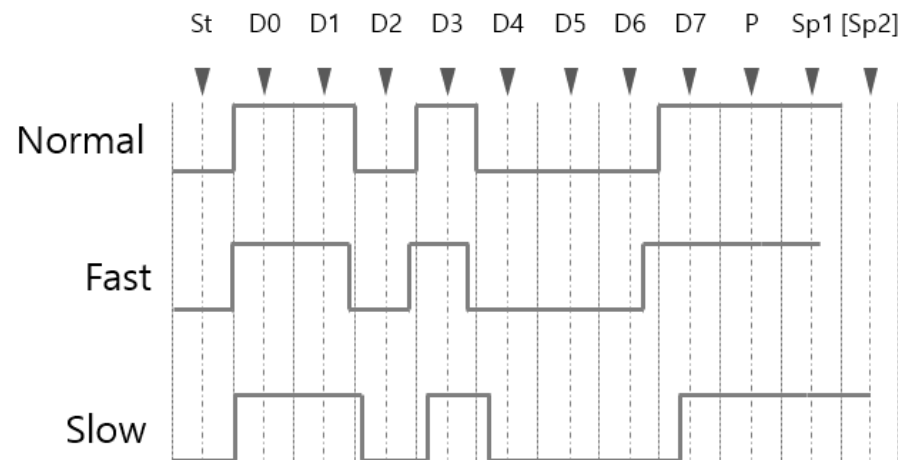
UART 송수신 버퍼

- 송신기와 수신기는 자신만의 작은 버퍼를 가지고 있음
- 한 바이트를 송신 버퍼에 쓰면 송신기는 UART 신호로 바꿔 비트 단위로 Tx 라인에 전송함
- Rx 라인에서 수신한 비트들은 바이트 단위로 모아 수신 버퍼에 저장됨
- 사용자는 이 수신 버퍼에서 바이트를 읽어야 함
- UART 컨트롤러에 내장된 이 버퍼의 크기는 매우 작음
- 운영체제와 같은 소프트웨어 계층은 환경 큐 형태의 좀 더 큰 송신 버퍼와 수신 버퍼 제공
- 실제로는 이 송수신 버퍼를 사용함



UART 비트 샘플링

- 라인에서 발행하는 잡음을 제거하기 위해 수신기는 한 비트를 여러 개의 샘플로 나눈 후 가운데 몇 개의 샘플이 유효한지 확인함
- 예를 들어 시작 비트를 16개의 샘플[15:0]로 나눈 후 8 ~ 10 샘플이 모두 LOW이면 프레임의 시작으로 인식함
- 하나라도 HIGH이면 잡음으로 인식함
- 이러한 방법은 종료 비트의 크기를 조정해 보레이트 오차를 줄이는데도 적용할 수 있음

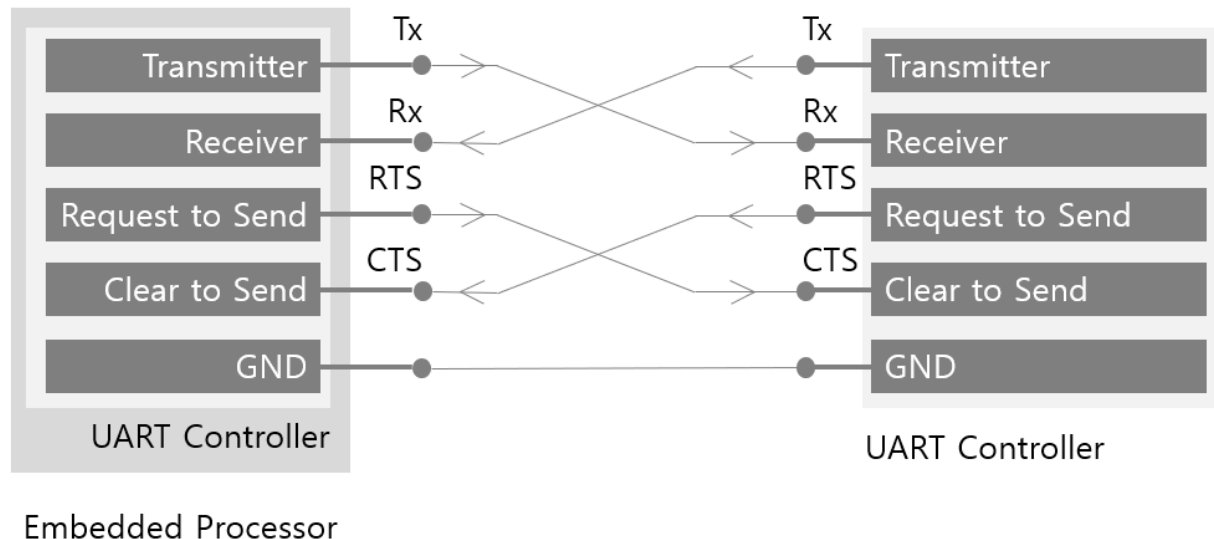


UART 비트 샘플링

- 오차가 없는 보레이트에서는 정확한 타이밍에 비트들이 해석됨
- 비트 샘플링을 사용하면 전송 속도가 빨라도 오차 범위 이하라면 데이터 해석이 가능함
- 느려도 종료 비트 조절로 데이터 해석이 가능함

UART 하드웨어 흐름 제어

- UART가 5개의 라인을 지원하는 경우 하드웨어 흐름 제어를 사용하면 데이터 전송의 신뢰성을 높일 수 있음
- 고속 보레이트의 사용은 안정적으로 데이터를 송수신 가능



UART 하드웨어 흐름 제어

- 하드웨어 흐름 제어가 활성화되면 UART는 수신 버퍼가 가득 차서 더 데이터를 수신할 수 없을 때 RTS 신호를 활성화함
- 데이터를 읽어 수신 버퍼가 비면 다시 비활성화됨
- 수신 쪽은 CTS 신호를 모니터링하다가 활성화되면 데이터 전송을 일시 중지함