

## AC - B2.1 Mem. caché



Anónimo



Arquitectura de Computadores



2º Grado en Ingeniería Informática - Tecnologías  
Informáticas



Escuela Técnica Superior de Ingeniería Informática  
Universidad de Sevilla



**Descarga la APP de Wuolah.**  
Ya disponible para el móvil y la tablet.



# Estudiar sin publi es posible.

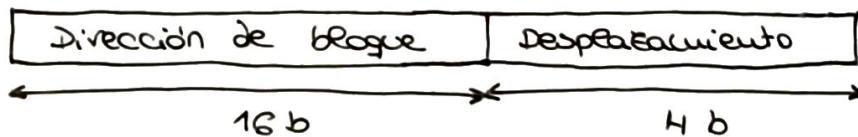
Compra Wuolah Coins y que nada te distraiga durante el estudio.



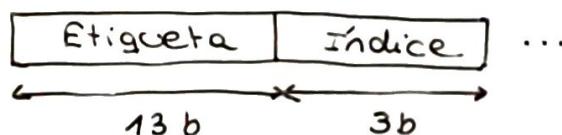
## BOLETÍN MEM. CACHÉ (EJ. GLOBALES).

- ⑦ a) •  $T_{\text{MaxNP}} = 1 \text{ MB} = 2^{20} \text{ B} \rightarrow 20 \text{ bits de bus de dir.}$
- $T_{\text{MC}} = 128 \text{ B} = 2^7 \text{ B}$
  - $T_{\text{BL}} = 16 \text{ B} = 2^4 \text{ B} \rightarrow 4 \text{ b para desp. de bloque.}$
  - $N_L = T_{\text{MC}} / T_{\text{BL}} = 2^3 = 8 \text{ líneas} \rightarrow 3 \text{ bits para el índice de cuadro (map. dir. } \rightarrow N_L = N_C \text{ ).}$

Dirección de NP:



Dirección de MC:



Resto que la MC implementa CB-WA, contará con un bit dirty D.

La estructura de la MC será:

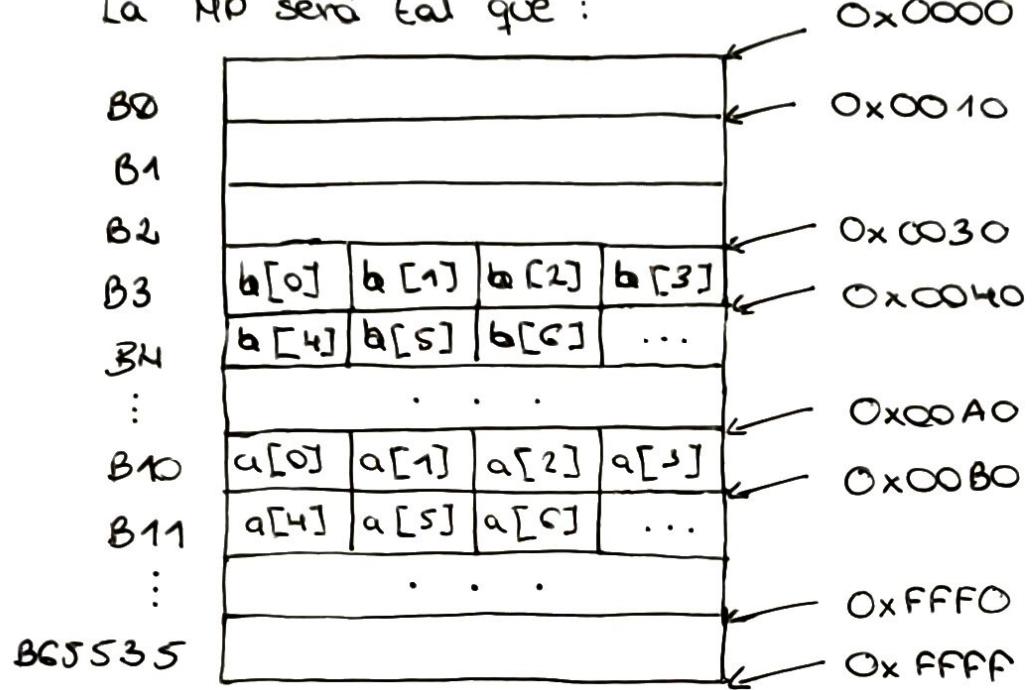
	V	D	Etiqueta	Datos
L0				
L1				
L2				
L3				
L4				
L5				
L6				
L7				



WUOLAH

b) 1 int equivale a una palabra.  $\rightarrow$  CPU de 32 b  $\rightarrow$  palabras de 4 B  $\rightarrow$  Cada int posee 4 B  $\rightarrow$  En cada bloque de la MP se almacenan 4 ints.  
 $T_{PAL} = 4B$ .

La MP será tal que :



c)

Vector	Pos	L / E	Dir. fis. (hex)	Blg. MP	Lin. MC	A / F MC
b	0	L	0x00030	3	3	Ff0E.
a	6	E	0x000A0	11	3	Ff0E.
b	1	L	0x00034	3	3	Fconf.
a	5	E	0x000A4	11	3	"
b	2	L	0x00038	3	3	"
a	4	E	0x000A8	11	3	"
b	3	L	0x0003C	3	3	"
a	3	E	0x000AC	10	2	Ff0E.
b	4	L	0x00040	4	4	Ff0E.
a	2	E	0x000B0	10	2	A
b	5	L	0x00044	4	4	A

a	1	E	0x000B4	10	2	A
b	6	L	0x0048	4	4	A
a	0	F	0x000B8	10	2	A

14 accesos : 5 A, 4 Ffore y 5 Fconf.

se accede a MC

Se accede a MP y se transf. el blog.  
(también se accede a MC).

d) Tiempo total de accesos =  $\underbrace{14 \cdot 3\text{ns}}_{\text{Accesos MC}} + \underbrace{9 \cdot (25\text{ns} + 4\text{pal} \cdot 1\text{ns/pal})}_{\text{Acceso MP}} = 303\text{ ns}$ .

Tiempo medio =  $303 / \text{nº de accesos} = 303 / 14 = 21'643\text{ ns}$ .

e) Si la caché fuera WT-NWA los accesos a "b" en [1, 2, 3] pasarían a ser aciertos; los accesos a todos los "a", sin embargo, pasarían a ser fallos en escritura: se accede a MC y se ve que el bloque no se encuentra ahí, a continuación se procede actualizarlo en MP (supondré que esto supone únicamente un acceso a MP). Tendrámos, por tanto:

14 accesos : 5 A, 2 Ffore. y 7 Fescritura.

Total de accesos =  $14 \cdot 3\text{ns} + 2 \cdot (25\text{ns} + 4\text{pal} \cdot 1\text{ns/pal}) + 7 \cdot 25\text{ns} = 275\text{ ns}$ .

$F_{fd} = 9\text{ fallos} / 14\text{ accesos} = 0'643 \rightarrow 64'3\% \text{ de miss rate.}$

$F_{fe} = " \rightarrow \text{miss rate igual pero tiempo de acceso mejor.}$

# Estudiar sin publi es posible.

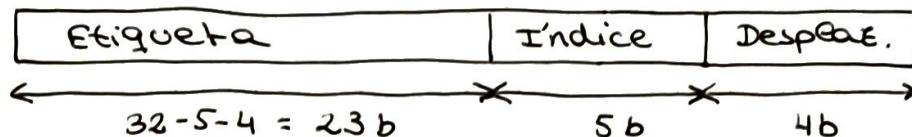
Compra Wuolah Coins y que nada te distraiga durante el estudio.



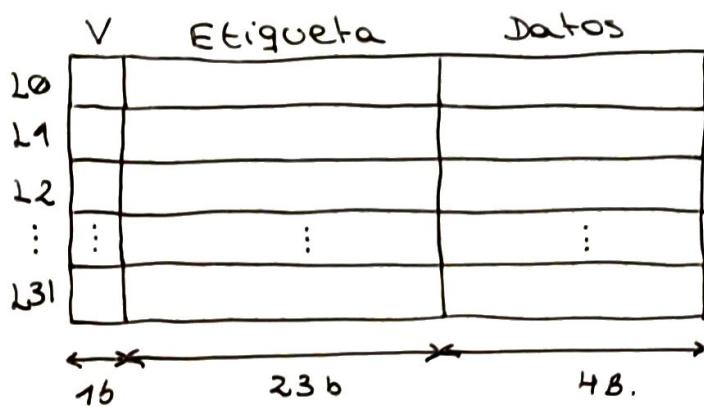
- ②8) • Capacidad de 32 b  $\rightarrow T_{PAL} = 4B$ .  
•  $T_{MC} = 512B = 2^9B$  }  
•  $T_{BL} = 16B = 2^4B$  }  $N_L = T_{MC} / T_{BL} = 2^5 = 32$  líneas.

Puesto que no se nos indica inf. acerca del bus de dir., supondremos que es igual al bus de datos: 32 b.

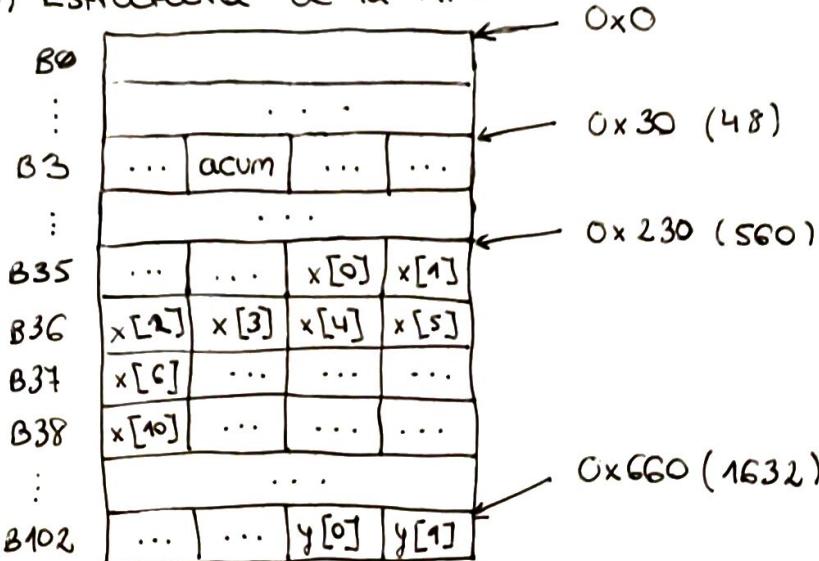
a)



Estructura de la caché:



b) Estructura de la MP:



B103	y[2]	...	...	...
B104	y[6]	...	...	...
B105	y[10]	...	...	...
:		...		
B N				

Puesto que estamos ante una política de escritura NWA, acá no será llevado a caché cada vez que escribamos en él.

c)

Línea de la caché

3  
4  
5  
6  
7  
8  
9

Blöques de MP

35  
36  
37  
~~102~~ ~~38~~ ~~102~~ ~~38~~ 102 ...  
103  
104  
105

d)

Var.	Dir. bloq.	Línea	A/F	Blq. sust.
y[0]	0x66\$	6	Fconf.	38
x[0]	0x23\$	3	A	-
acum	0x3\$	3	Fescritura	-
y[2]	0x67\$	7	A	-
x[2]	0x24\$	4	A	-
acum	0x3\$	3	Fescrit.	-
y[4]	0x67\$	7	A	-
x[4]	0x24\$	4	A	-
acum	0x3\$	3	Fesc.	-
y[6]	0x68\$	8	A	-
x[6]	0x25\$	5	A	-
acum	0x3\$	3	fesc	-

y [8]	0x680	8	A	-
x [8]	0x250	5	A	-
acum	0x30	3	Fesc	-
y [10]	0x690	9	A	-
x [10]	0x260	6	Fconf	102
acum	0x30	3	Fesc	-
y [12]	0x690	9	A	-
x [12]	0x260	6	A	-
acum	0x30	3	Fesc	-

¿ Los fescritura no deberían de ser fforeos ?

- e) • Se realizan  $3 \cdot 4 \cdot 4 = 48$  accesos a MC.
- En 1/3 de los accesos se produce un fallo de escritura y hay que acceder a MP y escribir un bloque (16 B).
- Si se producen fallos de lectura se accede a MP y se leen 16 B.

En total ocurren: 28 de escritura, 14 fallos de lectura (8 fallos fforeos y 6 fallos por conf.) y 42 aciertos.

$$T_{\text{total de accesos}} = 84 \cdot 2 \text{ ns} + (28+14) \cdot (20 \frac{\text{ns}}{\text{B}} + 5 \text{ ns/B} \cdot 16 \text{ B}) = 4368 \text{ ns}$$

$$T_{\text{por acceso}} = 4368 \text{ ns} / 84 \text{ accesos} = 52 \text{ ns}.$$

- f) La caché ya se ha visto en el apartado c.  
Con esa caché únicamente se producirán ffore.

$$ff = \cancel{9 \text{ fallos}} / 84 \text{ accesos} = 0'107 \rightarrow 10'7\%.$$