

Ejercicios-de-Memoria-Cache.pdf



M_N_P



Arquitectura de Computadores



2º Grado en Ingeniería Informática - Tecnologías Informáticas



Escuela Técnica Superior de Ingeniería Informática
Universidad de Sevilla



Descarga la APP de Wuolah.
Ya disponible para el móvil y la tablet.



Exámenes, preguntas, apuntes.





EJERCICIOS DE MEMORIA

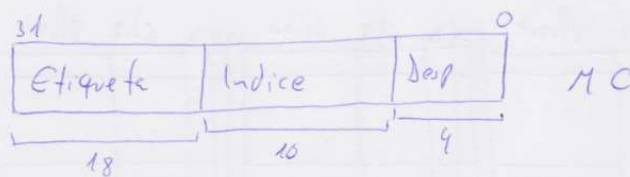
CACHE

ESTRUCTURA E INTERPRETACIÓN

Ejercicio 1- Sea un procesador de 32 bits, con caché de 16 KB con líneas de 4 palabras. Dibuje un diagrama con la organización de la caché y la interpretación de las direcciones de memoria principal y caché, e indique en qué posición se ubica la dirección 0xABCDEF8F en ambas memorias.

Procesador de 32 bits $\rightarrow 32/8 = 4B$
 Caché: 16 KB $\rightarrow 2^{14}$
 Tamaño Bloque = 4 palabras $\rightarrow 4 \cdot 4B = 16B \rightarrow 2^4$
Lo Tamaño desplazamiento
Lo peso de cada palabra.

$$N^{\circ} \text{ de líneas} = \frac{T_{MC}}{T_{Bloque}} = \frac{2^{14}}{2^4} = 2^{10} \rightarrow \text{Tamaño de índice.}$$



0xABCDEF8F, 8
N° Bloque desplazamiento



Suponiendo:

A) Cache de mapeado directo.

A) Cache de mapeado directo.

$$N^{\circ} \text{ lines} = 2^{10} = 1024$$

V Data Etig Bloque

				cf
				:
1	0x24F37	0xABCDE8F		L 655
				:
				L 1023

0x ABCDEF8F8

↓

1010 1011 1100 1101 1110 1000 1111 1000
↓
Depth.

4

0x2AF37 (Etiqueta)

11

$$\underline{180149903} \text{ \% } 1024 = 655$$

↳ ABCDEF8F

B) Cache associativa por conjuntos de 4 vias.

$$N^{\circ} \text{ Conjuntos} = \frac{N^{\circ} \text{ Lineas}}{N^{\circ} \text{ Vias}} = \frac{1024}{4} = \frac{2^{10}}{2^2} = 2^8 = 256$$

$$180149903 \% 256 = 143$$

Hand-drawn diagram of a 4x4 grid representing a memory layout. The grid is divided into four vertical sections by three vertical lines. Each section has a header row with 'VD', 'Etig', and 'Blaque'. The first section has a row labeled 'C143' containing '0x24F37' and '0xABCDEF8F'. The first section is labeled 'V0' below it, and the others are labeled 'V1', 'V2', and 'V3' below them. To the left of the grid, there are labels 'C0', 'C143', and 'C255' corresponding to the rows.

c) Completamente associativa.

Puede ir a cualquier línea de la MC

[illegible]

Ejercicio 2.- Se tiene una caché asociativa por conjuntos de 4 vías con 256 líneas por vía. El tamaño de la memoria que almacena las etiquetas es de 2K Bytes y el que almacena los datos en la caché es de 8K Bytes. Representa la estructura de la caché así como la interpretación de las direcciones en memoria principal y caché.

M. Cadê associativa por conjuntos \rightarrow 6 vias com 256 linhas / via.

$$MCadhe^{-} \rightarrow 8UB \rightarrow 2^{13}$$

M Cache (etiquetas) $\rightarrow 2KB \rightarrow 2^{11}$

$$256 \cdot 4 = 1024 = 2^{10}$$

$$N^{\circ} \text{ Conjuntos} = \frac{N^{\circ} \text{ líneas}}{N^{\circ} \text{ vías}} = \frac{1024}{4} = \frac{2^{10}}{2^2} = 2^8$$

Las etiquetas ocupan 2KB y hay 1024 líneas donde por cada línea hay una etiqueta

$$\left. \begin{array}{l} 1024 \text{ etiquetas} \rightarrow 2\text{KB} \\ 1 \text{ etiqueta} \rightarrow x \end{array} \right\} x = \frac{2\text{KB}}{1024} = 2\text{B} \rightarrow 16 \text{ Bits de etiqueta.}$$

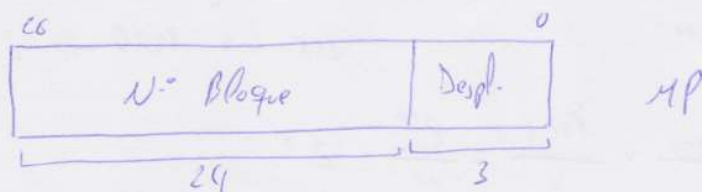
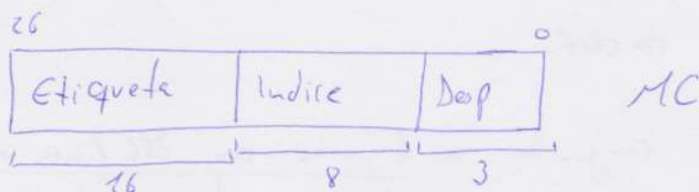
Si todos los bloques ocupan 8KB y hay 1024 líneas donde por cada línea hay un bloque

$$\left. \begin{array}{l} 1024 \text{ bloques} \rightarrow 8\text{KB} \\ 1 \text{ bloque} \rightarrow x \end{array} \right\} x = \frac{8\text{KB}}{1024} = 8\text{B} \rightarrow \text{El tamaño bloque.}$$

Sabemos que:

$$N^{\circ} \text{ líneas} = \frac{MC}{TB} \rightarrow 2^{10} = \frac{2^{13}}{2^3}$$

$$\frac{2^{13}}{2^{10}} = 2^3 \rightarrow \text{Tamaño desplazamiento.}$$



Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



Ejercicio 3- Se tiene una caché asociativa por conjuntos de 4 vías, un bloque de 2 palabras de 16 bits, puede contener hasta 4K doubles palabras de memoria y es usado por un procesador de 16 bits con direcciones de 24 bits. Describa la estructura de la caché y muestre cómo se interpretan las direcciones.

Caché AC 4 vías $\rightarrow 2^2$

TB = 2 palabras de 16 bits $\rightarrow 2 \cdot 16 = 32 \rightarrow 32/8 = 4B \rightarrow 2^{12}$
 Lo Tamaño desplazamiento

MC = $2 \cdot 16b \cdot 4K = 128KB \rightarrow 128/8 = 16KB \rightarrow 2^{14}$

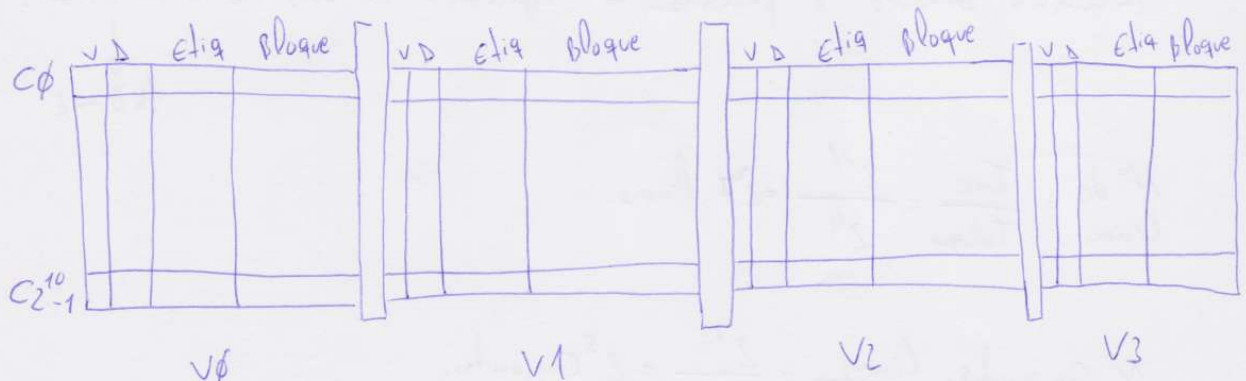
Procesador 16 bits

Direcciones 24 bits.

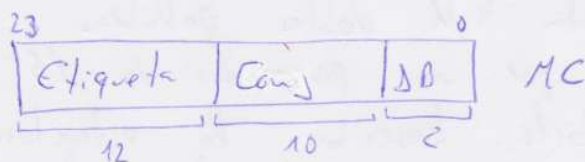
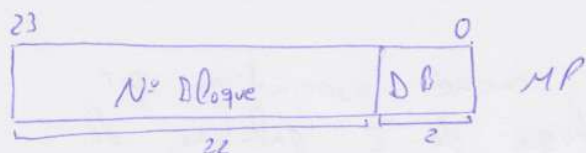
$$\text{Lineas} = \frac{2^{14}}{2^2} = 2^{12}$$

Tamaño índice/conjunto
 En este caso conjunto por ser AC

$$\text{Conjuntos} = \frac{\text{Lineas}}{\text{vias}} = \frac{2^{12}}{2^2} = 2^{10}$$



WUOLAH



Ejercicio 4. Un computador con palabras y direcciones de 16 bits, tiene una memoria caché de 1K palabra. La memoria caché es asociativa por conjuntos de 4 vías, con un tamaño de bloque de 8 palabras. Especifique la interpretación de las direcciones en memoria principal y caché e indique donde se ubicarían los bloques correspondientes a las siguientes direcciones: 0000110111000011_2 ; $0x1234_{16}$; 6234_{10} .

Direcciones 16 bits $\rightarrow 2B \rightarrow 2^4$

MC = 1K palabra $\rightarrow 1 \text{ palabra} = 16 \text{ bits} \rightarrow 16/8 = 2 \text{ byts}$

$$\downarrow$$

$$2K = 2KB = 2^{11}$$

Tamaño Bloque: 8 palabras $\rightarrow 1 \text{ palabra} = 16 \text{ bits} \rightarrow 8 \cdot 16 = 128 \text{ bits}$

$$\downarrow$$

$$16B \rightarrow 2^4$$

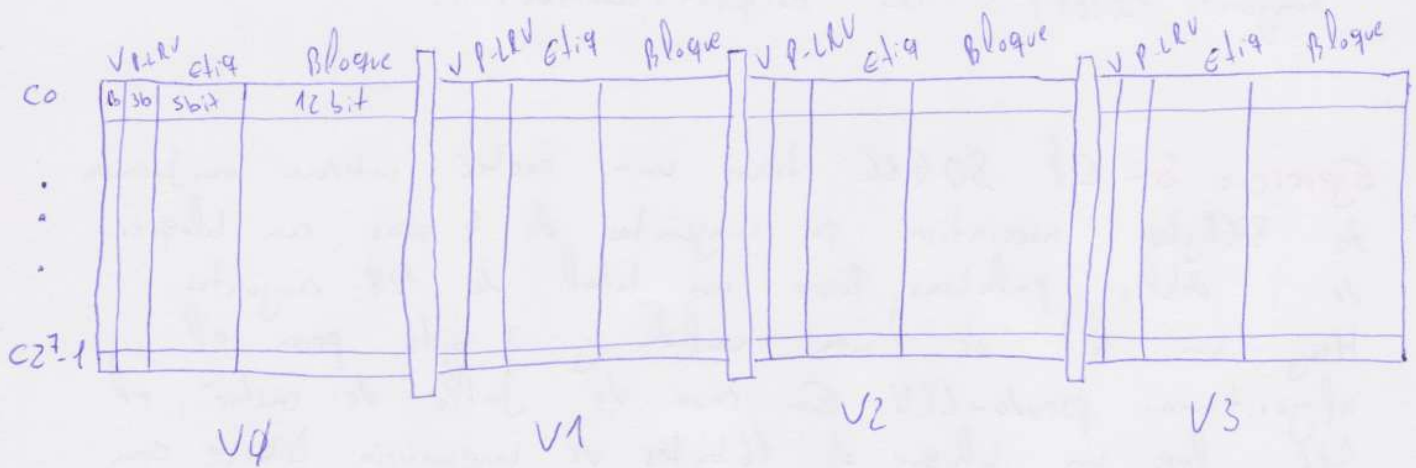
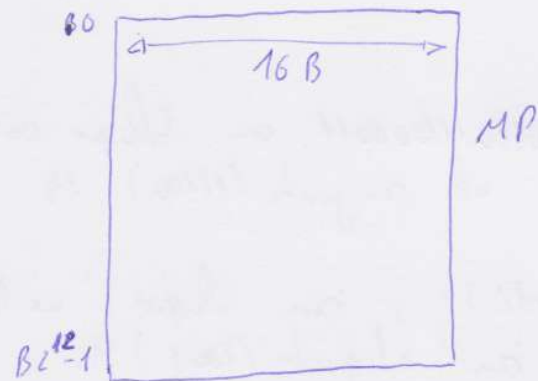
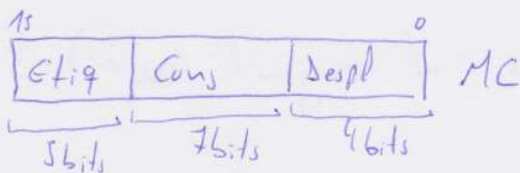
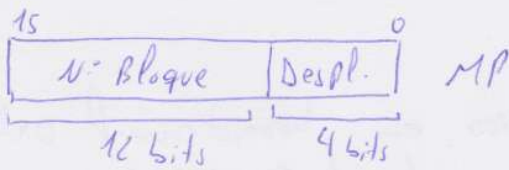
$$\frac{\text{Nº de Líneas}}{\text{Líneas}} = \frac{T_{MC}}{T_{\text{bloque}}} = \frac{2^{11}}{2^4} = 2^7 \text{ líneas.}$$

$$\text{Nº Conjuntos} = \frac{\text{Líneas}}{\text{vías}} = \frac{2^7}{2^2} = 2^5 \text{ Conjuntos.}$$

TB = 4 doubles palabras $\rightarrow 16 B \rightarrow 2^{14} \rightarrow$ Tamaño desplazamiento

Conjuntos $\rightarrow 128 \rightarrow 2^7 \rightarrow$ Tamaño conjunto

$$\rightarrow Bus D = \frac{16}{4 \cdot 2} = 2 B \rightarrow 16 \text{ bits}$$



Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



Ejercicio 6.- Calcular el tamaño total (incluyendo etiquetas y bits de control) de una caché de CB-WA 64KBytes de datos, bloques 32Bytes y direcciones de 32 bits en los siguientes casos:

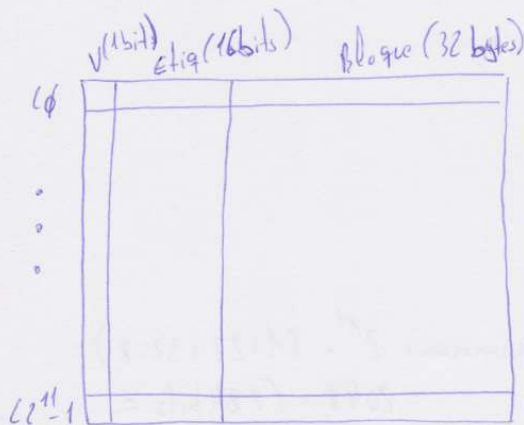
A. Caché de mapeado directo.

$$MC \rightarrow 64KB \rightarrow 2^{16}$$

$$\text{Bloques} \rightarrow 32B \rightarrow 2^5 \rightarrow \text{Tamaño desplazamiento}$$

Bus de 32 bits

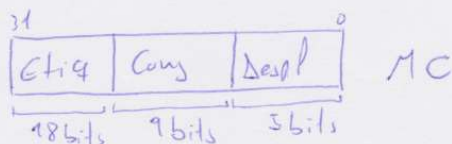
$$\text{Líneas} = \frac{MC}{\text{Bloques}} = \frac{2^{16}}{2^5} = 2^{11} \rightarrow \text{Tamaño índice}$$

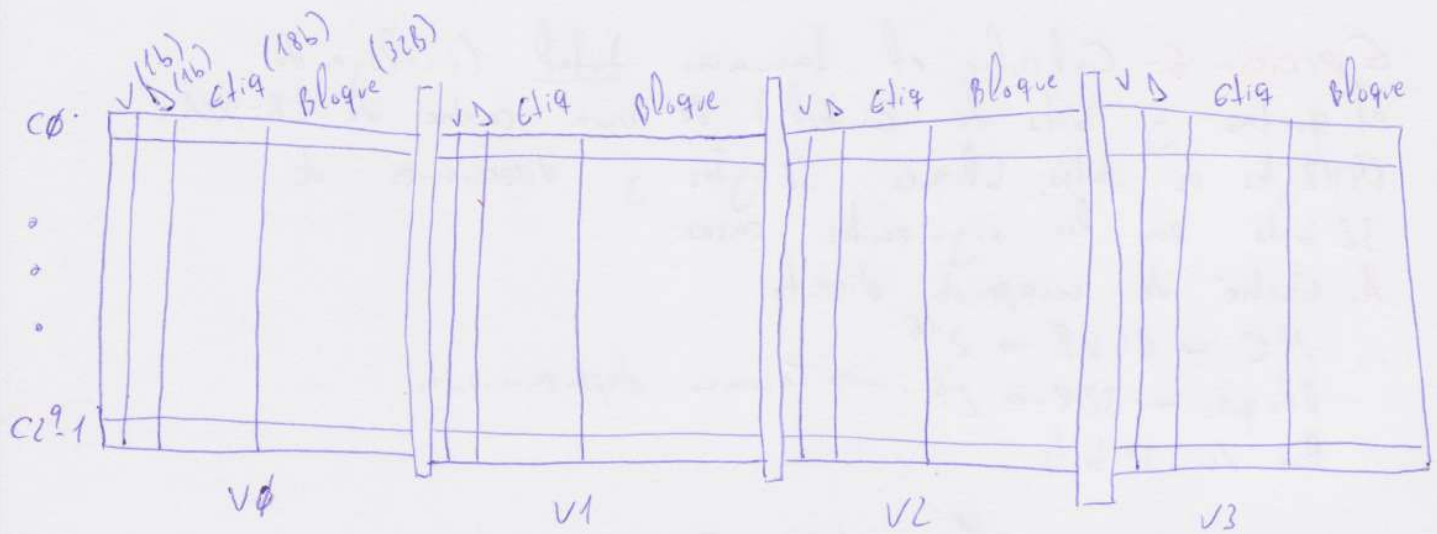


$$\begin{aligned}\text{Tamaño} &= 2^{11} \cdot (1 + 16 + 32 \cdot 8) = \\ &= 2048 \cdot 273 \text{ bits} = 559104 \text{ bits} = \\ &= 69888 \text{ bytes}\end{aligned}$$

B.- Caché asociativa por conjuntos de 4 vías.

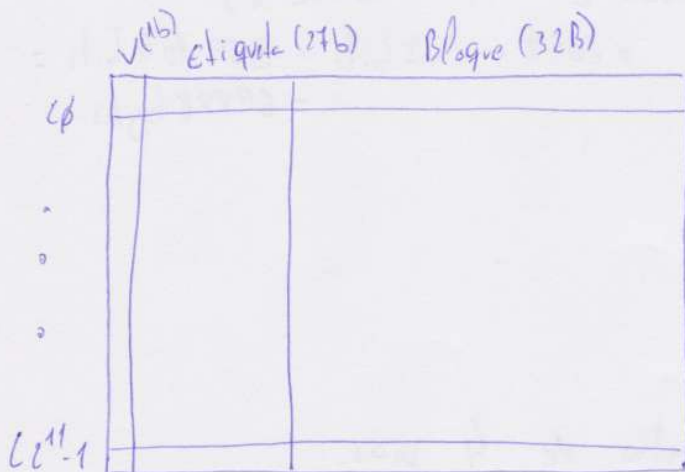
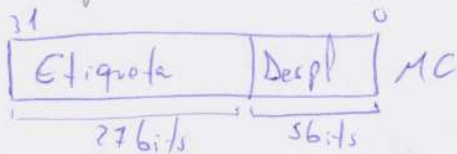
$$\text{Conjuntos} = \frac{\text{Líneas}}{\text{Vías}} = \frac{2^{11}}{2^2} = 2^9 \rightarrow \text{Tamaño conjunto}$$





$$\text{Tamaño} = 2^9 \cdot 2^2 \cdot (1 + 1 + 18 + 32 \cdot 8) = 512 \cdot 4 \cdot 276 = 565\,248 \text{ bits} = 70\,656 \text{ Bytes}$$

C Completamente asociativa.



$$\begin{aligned} \text{Tamaño} &= 2^{11} \cdot (1 + 27 + 32 \cdot 8) = \\ &= 2048 \cdot 284 \text{ bits} = \\ &= 581\,632 \text{ bits} = \\ &= 72\,704 \text{ Bytes} \end{aligned}$$

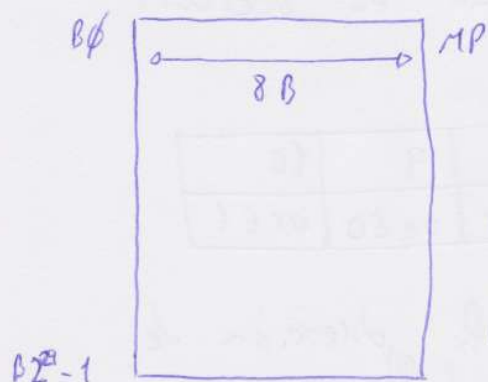
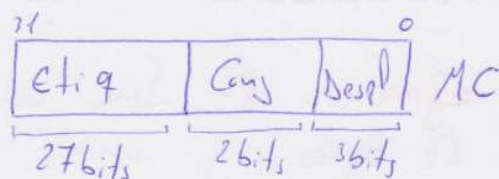
Ejercicio 7- Sea una memoria caché de 128 bytes con política de ubicación asociativa por conjuntos de 4 vías, con 4 conjuntos en total. Las direcciones físicas están compuestas por 32 bits.

A. Realice la interpretación de las direcciones físicas de caché y de memoria principal, realizando en ambos casos un dibujo representativo de cada una de las memorias.

MC = 128 bytes $\rightarrow 2^7$ AC 4 vías 4 conjuntos.
Direcciones de 32 bits.

$$L_{\text{lineas}} = \frac{MC}{TB} = \frac{2^7}{2TB?} ; \rightarrow 2^4 = \frac{2^7}{TB} ; TB = \frac{2^7}{2^4} = 2^3 = 8B$$

$$\text{Conjuntos} = \frac{\text{Lineas}}{\text{Vías}} ; \rightarrow 2^2 = \frac{\text{Lineas}}{2^2} \rightarrow \text{Lineas} = 2^2 \cdot 2^2 = 16 = 2^4$$



	V D Etiqu Bloque							
					V0	V1	V2	V3
C0								
C1	10	133	8523					
C2								
C3								

B. ¿Donde se ubicará la dirección física 0x000010AF en la caché?

0x 010AF \rightarrow 1 0000 1010 1111
E19 C3 D0

El bloque 533 va asignado en la primera vía disponible del conjunto 1 con etiqueta 133

c) Si las direcciones físicas 0x00001AF y 0xFFFF7Axy pueden ser asignadas simultáneamente al mismo conjunto cache, ¿qué valores pueden tener x e y?

0x 1AF \rightarrow $\begin{array}{c|c|c} 1 & 1010 & 1111 \\ \hline \text{C1} & \text{C3} & \text{DB} \end{array}$ \rightarrow Conjunto 1

Para que vaya en el conjunto 1:

$\frac{xxx0.1yyy}{\text{Etiquetas}} \rightarrow$ podemos variar x y y en todas sus posibilidades y pasarlo a hexadecimal.

ACCESOS SIN TIPO DE FALLOS

Ejercicio 8.- Sea un procesador con una caché de 64 bytes y una memoria principal de 64 Kbytes. Suponga que se produce la siguiente secuencia de accesos (algunas direcciones están en decimal y otras en hexadecimal):

	1	2	3	4	5	6	7	8	9	10
Dirección	4	5	0x06	67	68	69	70	0xCF	0xEE	0xEF

Especifique la descomposición de la dirección de la caché, la frecuencia de fallos y cómo

Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.

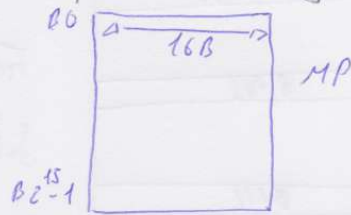


queda la memoria tras la secuencia anterior en los siguientes casos:

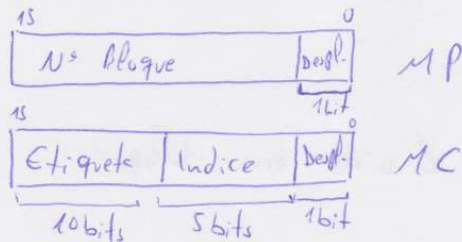
A- Mapeado directo con bloques de 2 bytes.

$$MP \rightarrow 64 \text{ Kbytes} = 2^{16}$$

$$MC \rightarrow 64 \text{ bytes} = 2^6$$



Map. Direc. \rightarrow bloques de 2 bytes $= 2^{15-1} \rightarrow$ Tamaño desplazamiento



$$\text{Nº de líneas} = \frac{T_{MC}}{T_{bloque}} = \frac{2^6}{2^1} = 2^{(5)} \rightarrow \text{Tamaño índice}$$

Dirección	Binario	Línea	Etiqueta	Bloque	A/F
4	01000100	L2	0x0	B2	FF
5	001000101	L2	0x0	B2	A
0x06	01000110	L3	0x0	B3	FF
67	001000011	L1	0x1	B33	FF
68	011000100	L2	0x1	B34	FF
69	11000101	L2	0x1	B34	A
70	11000110	L3	0x1	B35	FF
0xCF	111001111	L7	0x3	B103	FF
0xE0	1111000010	L16	0x3	B112	FF
0xE1	1111000011	L16	0x3	B112	A



WUOLAH

	VD	Etiqu	Bloque
L0			
L1	1 1	0x1	B33
L2	1 1	0x0 0x1	B2 B34
L3	1 1	0x0 0x1	B3 B35
...			
L7	1 1	0x3	B103
...			
L16	1 1	0x3	B112
...			
L31			

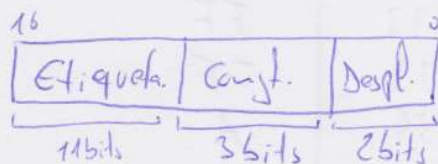
$$\text{Frecuencia de fallos} = \text{Miss Rate} = MR = \frac{\text{Fallos}}{\text{accesos}} = \frac{7}{10}$$

B.- Asociativa por conjuntos de 2 vías con bloques de 4 bytes

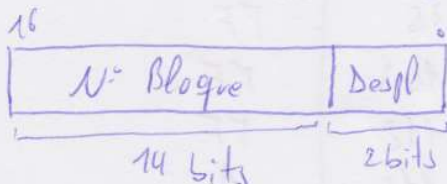
Tamaño bloque = 4B = 2^2 → Tamaño desplazamiento.

$$\text{Nº de líneas} = \frac{T_{MC}}{T_{bloque}} = \frac{2^6}{2^2} = 2^4$$

$$\text{Nº de conjuntos} = \frac{\text{Nº de líneas}}{\text{Nº de vías}} = \frac{2^4}{2^1} = 2^3 \rightarrow \text{Tamaño conjunto.}$$



MC



MP

Dirección	Binario	Conjunto	Bloque	A/F
4	01001100	C1	B1	FF
5	01001101	C1	B1	A
0x06	01001101	C1	B1	A
67	10100011	C0	B16	FF
68	101001100	C1	B17	FF
69	101001101	C1	B17	A
70	101001110	C1	B17	A
0xCF	110101111	C3	B51	FF
0xE0	1111000100	C0	B56	FF
0xE1	1111000101	C0	B56	A

$$MR = \frac{F_{\text{Accesos}}}{\text{Accesos}} = \frac{5}{10}$$

	V	D	Etiqu	Bloque		V	D	Etiqu	Bloque
C0	1	1	0x2	B16		1	1	0x7	B56
C1	1	1	0x0	B1		1	1	0x2	B17
C3	1	1	0x6	B51					
C7									

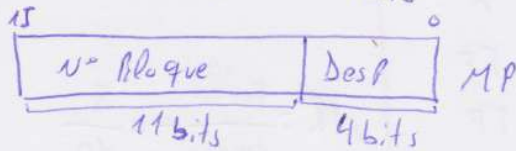
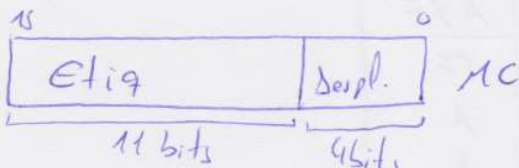
V0 V1

C- Asociativa por conjuntos de 4 vías con bloques de 16 bytes.

Bloque \rightarrow 16 bytes = 2^{14} 2º Tamaño desplazamiento.

$$N^{\circ} \text{ líneas} = \frac{T_{MC}}{T_{\text{Bloque}}} = \frac{2^6}{2^4} = 2^2$$

$$N^{\circ} \text{ Conjuntos} = \frac{N^{\circ} \text{ líneas}}{N^{\circ} \text{ vías}} = \frac{2^2}{2^2} = 1 \text{ conjunto } (2^0)$$



Dirección	Binario	Etiqueta	Bloque	A/F
4	000 000	0x0	B0	FF
5	000 0101	0x0	B0	A
0x06	0000 0110	0x0	B0	A
67	100 0011	0x4	B4	FF
68	100 0100	0x4	B4	A
69	100 0101	0x4	B4	A
70	100 0110	0x4	B4	A
0xCF	1100 1111	0x12	B12	FF
0xE0	1110 0000	0x14	B14	FF
0xE1	1110 0001	0x14	B14	A

$$MR = \frac{\text{Fallos}}{\text{accesos}} = \frac{4}{16}$$

	V	Δ	Etiqu	Bloque		V	Δ	Etiqu	Bloque		V	Δ	Etiqu	Bloque		V	Δ	Etiqu	Bloque
C0	1	1	0x0	B0		1	1	0x4	B4		1	1	0x12	B12		1	1	0x14	B14
	V0					V1					V2					V3			

D. Completamente asociativa con bloques de 4 bytes.

Tamaño bloque = 4 bytes = 2^2 → Tamaño desplazamiento

$$N^{\circ} \text{ de líneas} = \frac{T_{MC}}{T_{\text{Bloque}}} = \frac{2^6}{2^2} = 2^4 = 16 \text{ líneas.}$$

Compra Wuolah Coins y que nada te distraiga durante el estudio.



	U	D	Blöcke
60	1	1	B1
61	1	1	B16
62	1	1	B17
63	1	1	B51
64	1	1	B56
⋮			
125			

GLOBALES

Ejercicio 27: Posee un computador de 32 bits con las siguientes características del sistema de memoria:

- Memoria Principal máxima direccionable de 1MByte, con tamaño de bloque de 16 Bytes.
- Memoria Caché de 128 Bytes de tamaño para datos, Mapeado Directo, CB-WA.
- Tiempos de acceso: 3ns para MC y 25 para MP.
- Tiempo de transferencia de MP a MC: 1ns/palabra.

Se ejecuta el siguiente código C en su procesador:

```
int a[7] = {...}, b[7] = {...}; // Recuerde que un "int" equivale
for(i=0; i<7; i++) {           // a una palabra.
    a[7-i-1] = b[i];
}
```

Donde: "a" y "b" se ubican en memoria principal a partir de los bloques 10 y 3 respectivamente.

A- Represente la interpretación de las direcciones por parte de MC y MP, así como la estructura de la MC.

Computador de 32 bits \rightarrow 4 palabras.

$$32/8 = 4$$

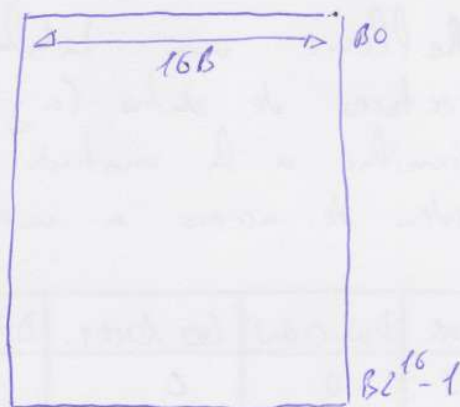
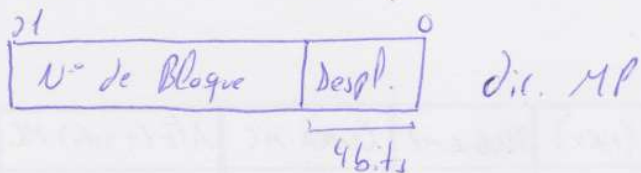
1B \rightarrow 8 Bits

4B \rightarrow 32 bits

• MP \rightarrow 1MB máximo direccionable $\rightarrow 2^{20}$
 \rightarrow Tamaño bloque \rightarrow 16 Bytes $\rightarrow 2^4$

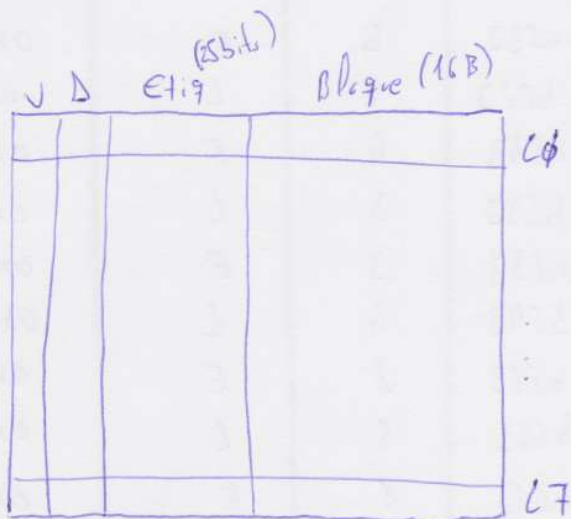
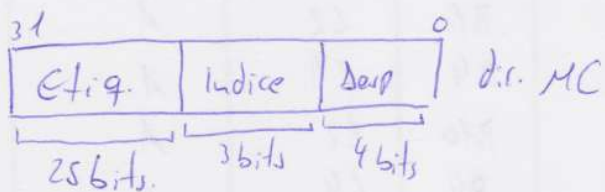
\rightarrow 4 palabras por bloque. ($4 \times 4B = 16B$)

$$N^{\circ} \text{ de blocques} = \frac{T_{MP}}{T_B} = \frac{2^{20}}{2^4} = 2^{16}$$

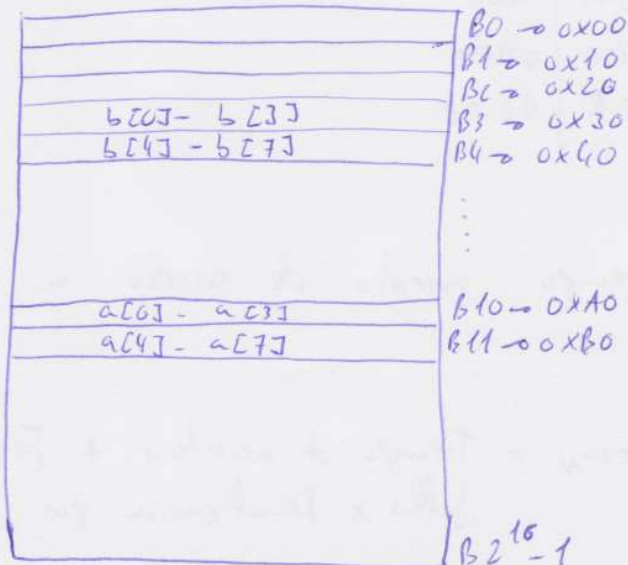


- MC → 128 B per data → 2^7
 ↳ MD, CB-WA

$$N^{\circ} \text{ de linhas} = \frac{T_{MC}}{T_B} = \frac{2^7}{2^4} = 2^3$$



B. Represente la MP, indicando las posiciones de los elementos de cada vector dentro de la misma.



Tamaño bloque = 16B

C.- Rellene una tabla de accesos a los vectores de datos (a y b) y a sus posiciones (0,1,2,...), similar a la mostrada a continuación. Nota: rellene por orden de acceso a memoria.

VECTOR	POSICIÓN	LEET./ESCRIT.	DIR. FÍSICA (HEX)	BLOQUE MP	LÍNEA MC	A/F (Y TIPO) MC
b[0]	0	L	0x30	B3	L3	FF
a[6]	6	E	0xB0	B11	L3	FF
b[1]	1	L	0x30	B3	L3	FC
a[5]	5	E	0xB0	B11	L3	FC
b[2]	2	L	0x30	B3	L3	FC
a[4]	4	E	0xB0	B11	L3	FC
b[3]	3	L	0x30	B3	L3	FC
a[3]	3	E	0xA0	B10	L2	FF
b[4]	4	L	0x40	B4	L4	FF
a[2]	2	E	0xA0	B10	L2	A
b[5]	5	L	0x40	B4	L4	A
a[1]	1	E	0xA0	B10	L2	A
b[6]	6	L	0x40	B4	L4	A
a[0]	0	E	0xA0	B10	L2	A

0x30	→	0011	0000
0xB0	→	1011	0000
0x40	→	0100	0000
0xA0	→	1010	0000

D.- Calcule el tiempo medio de acceso a su jerarquía de memoria.

Tiempo medio de acceso_N = Tiempo de acierto_N + Frecuencia de fallos x Penalización por fallo.

Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



$$T_{accn} = t_{hit} + MR \times \frac{P_{miss}}{1}$$

$\hookrightarrow T_{accn.1} + t_{transjerencia.}$

Calculamos la tasa de fallos (MR):

$$MR = \frac{\text{fallos}}{\text{accesos}} = \frac{9}{14} = 0,643 \rightarrow 64,3\%$$

Tiempo de transferencia de MP a MC: 1ns/palabra

Palabras 32 (bits) (4 bytes)
Bloques de 16 bytes (4 palabras)

4 palabras / bloque
 \downarrow
4ns / bloque

$$\begin{aligned} T_{acc} &= 3ns + 0,643 \times (25ns + 4ns) = \\ &= 3ns + 0,643 \times (29ns) = \\ &= 3ns + 18,647ns = \\ &= \underline{21,647ns} \end{aligned}$$

E.- Si la caché fuera WT-NWA, indique cómo variaría el miss rate y en qué casos. Justifique su respuesta y calcule el miss rate resultante.

En caso de fallos de escritura, el bloque se modifica en MP pero no se copia en caché. Por tanto a[2], a[1] y a[0] no serían aciertos, pues no se cargan en caché.

$$MR = \frac{\text{fallos}}{\text{accesos}} = \frac{12}{14} = 0,857 \rightarrow 85,7\%$$



Ejercicio 29.- Posee un procesador de 32 bits con las siguientes características del sistema de memoria:

- Memoria principal máxima direccionable de 64 KBytes, con tamaño de bloque de 16 Bytes
- Memoria caché de 64 Bytes de tamaño para datos, Mapeado Directo.
- Tiempos de acceso: 2ns para MC > 20 para MP
- Tiempo de transferencia de MP a MC: 1ns/palabra.

Se ejecuta el siguiente código C en su procesador:

```
double a[5] = {...}, b[5] = {...}; // recuerda: un "double" equivale
for (i=0; i<5; i++) {                // a 2 palabras
    a[i] = b[4-i];
}
```

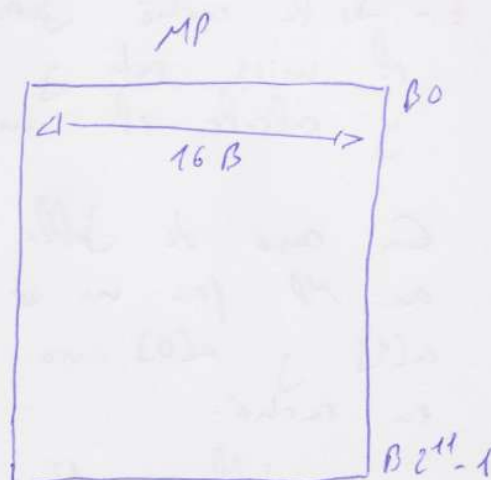
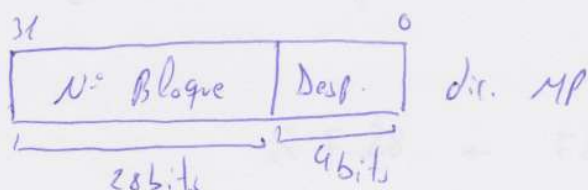
Donde: "a" se ubica a partir de la dirección 0x48 > "b" a partir de la 0x20 (ambas inclusive).

A.- Represente el sistema al completo.

• Procesador de 32 bits.

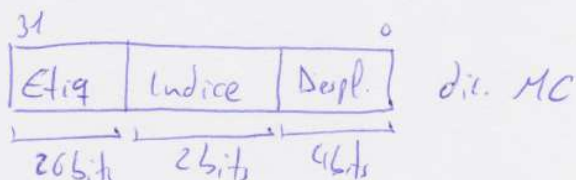
• MP \rightarrow 64 KBytes direccionables $\rightarrow 2^{16}$
 \hookrightarrow bloque de 16 bytes $\rightarrow 2^4$

$$N^{\circ} \text{ de bloques} = \frac{T_{MP}}{T_{bloque}} = \frac{2^{16}}{2^4} = 2^{11}$$



• MC \rightarrow 64 bytes para datos $\rightarrow 2^6$
 \rightarrow MD

$$\text{Nº de líneas} = \frac{TMC}{Tbloque} = \frac{2^6}{2^4} = 2^2 = 4 \text{ líneas.}$$



$$32 \text{ bits} / 8 = 4 \text{ B}$$

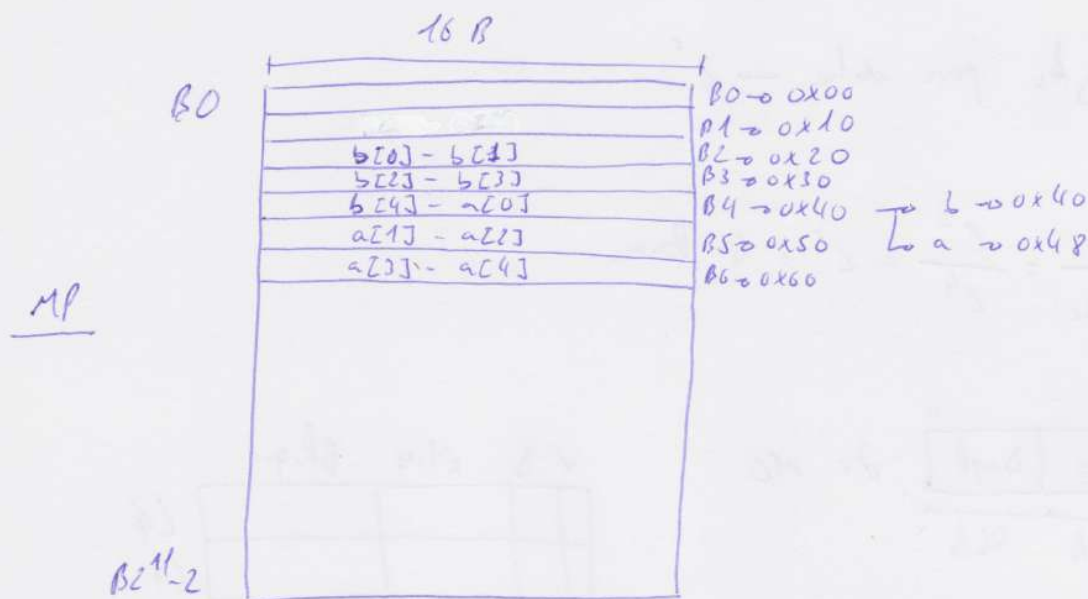
V D	etiq	bloque	
			L0
			L1
			L2
			L3

$$\frac{16 \text{ B}}{4 \text{ B}} = 4 \text{ B de tamaño de palabra}$$

\downarrow
Tbloque

B.- Rellene una tabla similar a la siguiente, que contenga los accesos a los datos del programa anterior teniendo en cuenta los dos posibles tipos de MC según sus políticas de escritura (CB-WA y WT-NWA).
 Note: rellene por orden de acceso a memoria según el código C.

VECTOR	ELEMENTO	LECT.ECR.	DIR. FISICA	LÍNEA	A/F CB-WA	A/F WT-NWA
b[4]	4	L	0x40	L0	FF	FF
a[0]	0	E	0x48	L0	A	FF/FC
b[3]	3	L	0x30	L3	FF	FF
a[1]	1	E	0x50	L1	FF	FF
b[2]	2	L	0x30	L3	A	A
a[2]	2	E	0x50	L1	A	FF/FC
b[1]	1	L	0x20	L2	FF	FF
a[3]	3	E	0x60	L2	FF	FF
b[0]	0	L	0x20	L2	FC	FC
a[4]	4	E	0x60	L2	FC	FF/FC



C. Calcule el tiempo medio de acceso a su jerarquía de memoria en ambos casos (CB-WA y WT-NWA).

$$\bar{T}_{acc N} = t_{hit} + MR \times \frac{t_{miss}}{L} \rightarrow \bar{T}_{acc N-1} + t_{transferencia}$$

CB-WA

$$MR = \frac{f_{allus}}{accesos} = \frac{8}{10} = 0,8$$

$$t_{transferencia} = 1ns \cdot 2 palabras = 2ns$$

$$\begin{aligned}
 \bar{T}_{acc} &= 2ns + 0,8(20ns + 2ns) = \\
 &= 2ns + 0,8(22ns) = \\
 &= 2ns + 17,6ns = \\
 &= 19,6ns
 \end{aligned}$$

WT-NWA

$$MR = \frac{f_{allus}}{accesos} = \frac{9}{10} = 0,9$$

$$t_{transferencia} = 1ns \cdot 2 palabras = 2ns$$

$$\begin{aligned}
 \bar{T}_{acc} &= 2ns + 0,9(20ns + 2ns) = \\
 &= 2ns + 0,9(22ns) = \\
 &= 2ns + 19,8ns = \\
 &= 21,8ns
 \end{aligned}$$

Estudiar **sin publi** es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



D - Represente como quedaria rellena la MC, tras finalizar la ejecucion del programa anterior, para cada uno de los casos anteriores.

CB - WA

V	D	Etiqu	Bloque	
1	1	0x4	B4	L4
1	1	0x5	B5	L1
1	1	0x2 0x6 0x2 0x6	B2 B6 B2 B6	L2
1	0	0x3	B3	L3

WT - NWA

V	D	Etiqu	Bloque	
1	1	0x4	B4	L4
1	1	0x5	B5	L1
1	1	0x2 0x6 0x2 0x6	B2 B6 B2 B6	L2
1	0	0x3	B3	L3



WUOLAH