

# Ejercicios-de-Memoria-Cache.pdf



M\_N\_P



Arquitectura de Computadores



2º Grado en Ingeniería Informática - Tecnologías Informáticas



Escuela Técnica Superior de Ingeniería Informática  
Universidad de Sevilla



**Descarga la APP de Wuolah.**  
Ya disponible para el móvil y la tablet.



# Exámenes, preguntas, apuntes.

WUOLAH

Join the student revolution.

MULTI

Conéctate dónde y cómo prefieras.

Guarda tus apuntes en un lugar seguro y ordenado, y accede a ellos desde tu pc, móvil o tablet.

Acceder

Registrarse

GET IT ON  
Google Play

Download on the  
App Store

# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



## EJERCICIOS DE MEMORIA CACHÉ

### ESTRUCTURA E INTERPRETACIÓN

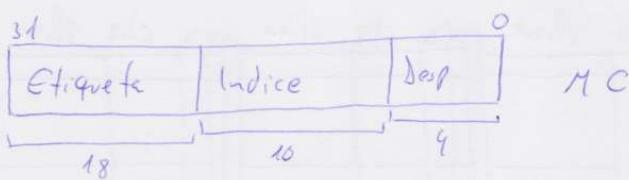
**Ejercicio 1-** Sea un procesador de 32 bits, con caché de 16KB con líneas de 4 palabras. Dibuja un diagrama con la organización de la caché y la interpretación de las direcciones de memoria principal y caché, e indique en qué posición se ubica la dirección ox ABCDE8F8 en ambas memorias.

Procesador de 32 bits.  $\rightarrow 32/8 = 4 \text{ B}$

M Caché: 16KB  $\rightarrow 2^{14}$

Tamaño Bloque = 4 palabras  $\rightarrow 4 \cdot 4B = 16B \rightarrow 2^4$   
La Tamaño desplazamiento  
lo hace de cada palabra.

$$\frac{\text{Nº de Líneas}}{\text{T Bloque}} = \frac{2^{14}}{2^4} = 2^{10} \rightarrow \text{Tamaño de índice.}$$



ox ABCDE8F18,  
Nº Bloque Desplazamiento



Suponiendo:

A) Caché de mapeado directo.

$$N^{\circ} \text{ líneas} = 2^{10} = 1024$$

	V dato Etiq	Bloque	CΦ
			⋮
1	0x24F37	0xABCD E8F	L655
			⋮
			L1023

0x ABCDE8F8

↓

1010 1011 1100 1101 1110 1000 1111 1000  
↓  
Despl.

0x 24 F37, (Etiqueta)

↓

$$180149903 \% 1024 = 655$$

↳ ABCDE8F

B) Caché asociativa por conjuntos de 4 vías.

$$\text{N.º Conjuntos} = \frac{\text{N.º Líneas}}{\text{N.º vías}} = \frac{1024}{4} = \frac{2^{10}}{2^2} = 2^8 = 256$$

$$180149903 \% 256 = 163$$

CΦ	V0 Etiq Bloq	V1 Etiq Bloq	V2 Etiq Bloq	V3 Etiq Bloq
⋮				
C143	0x24F37 0xABCD E8F			
⋮				
C255				

c) Completamente asociativa.

Puede ir a cualquier línea de la MC

Cd	V	D	Etiq	Bloque
1			0x24F37	0x ABCDEF
1023				

Ejercicio 2.- Se tiene una caché asociativa por conjuntos de 4 vías con 256 líneas por vía. El tamaño de la memoria que almacena las etiquetas es de 24 bytes y el que almacena los datos en la caché es de 8 Vbytes. Representa la estructura de la caché así como la interpretación de las direcciones en memoria principal y caché.

M Caché asociativa por conjuntos  $\rightarrow$  4 vías con 256 líneas/vía.  
M Caché  $\rightarrow$  8 Vbytes  $\rightarrow 2^{13}$   
M Caché (etiquetas)  $\rightarrow$  24B  $\rightarrow 2^{11}$

$$256 \cdot 4 = 1024 \rightarrow 2^{10}$$

$$N^{\circ} \text{ Conjuntos} = \frac{N^{\circ} \text{ Líneas}}{N^{\circ} \text{ vías}} = \frac{1024}{4} = \frac{2^{10}}{2^2} = 2^8$$

las etiquetas ocupan  $2KB$  y hay 1024 líneas donde por cada línea hay una etiqueta

$$\left. \begin{array}{l} 1024 \text{ etiquetas} \rightarrow 2KB \\ 1 \text{ etiqueta} \rightarrow x \end{array} \right\} x = \frac{2KB}{1024} = 2B \rightarrow 16 \text{ Bits de etiqueta.}$$

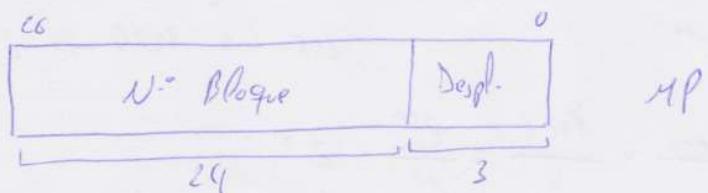
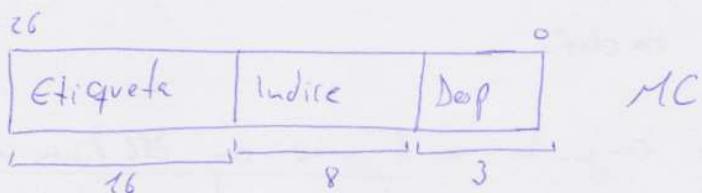
Si todos los bloques ocupan  $8KB$  y hay 1024 líneas donde por cada línea hay un bloque

$$\left. \begin{array}{l} 1024 \text{ bloques} \rightarrow 8KB \\ 1 \text{ bloque} \rightarrow x \end{array} \right\} x = \frac{8KB}{1024} = \frac{8B}{1} \rightarrow \text{Tamaño Bloque.}$$

Sabemos que:

$$N^{\circ} \text{ líneas} = \frac{MC}{TB} \rightarrow 2^{10} = \frac{2^{13}}{2^3}$$

$$\frac{2^{13}}{2^{10}} = 2^3 \rightarrow \text{Tamaño desplazamiento.}$$



# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



Ejercicio 3- Se tiene una caché asociativa por conjuntos de 4 vías, con bloques de 2 palabras de 16 bits, puede contener hasta 4 K dobles palabras de memoria y es usado por un procesador de 16 bits con direcciones de 24 bits. Describa la estructura de la caché y muestre cómo se interpretan las direcciones.

Caché AC 4 vías  $\rightarrow 2^2$   
TB = 2 palabras de 16 bits  $\rightarrow 2 \cdot 16 = 32 \rightarrow 32/8 = 4B \rightarrow 2^{12}$   
Lo Tamaño  
desplazamiento

$$MC = 2 \cdot 16b \cdot 4K = 128KB \rightarrow 128/8 = 16KB \rightarrow 2^{14}$$

Procesador 16 bits

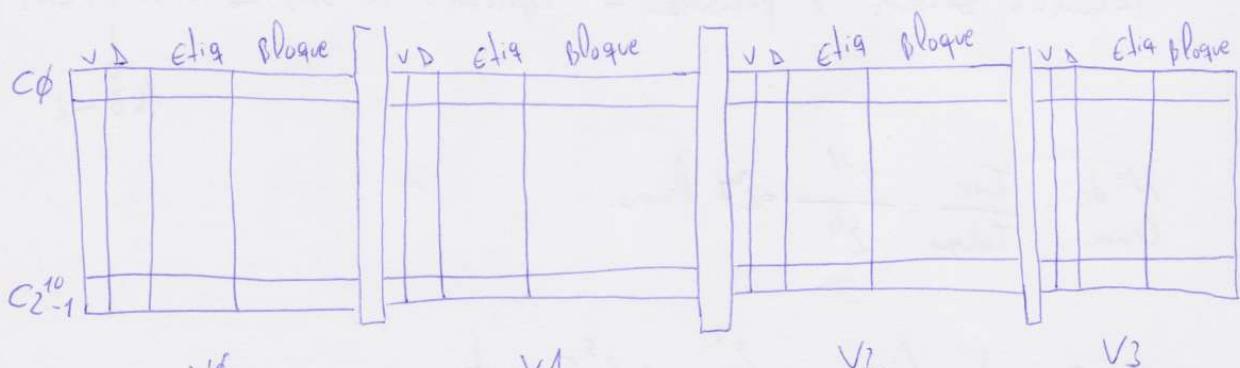
Direcciones 24 bits.

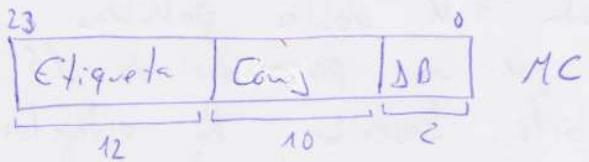
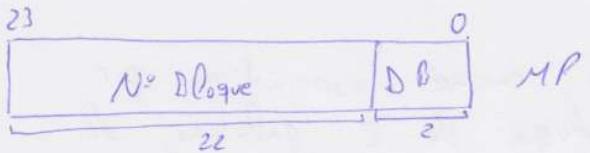
$$\text{Líneas} = \frac{2^{14}}{2^2} = 2^{12}$$

Tamaño índice/conjunto  
En este caso

conjunto por  
ser AC

$$\text{Conjunto: } \frac{\text{Líneas}}{\text{vías}} = \frac{2^{12}}{2^2} = 2^{10}$$





**Ejercicio 4.** Un computador con palabras y direcciones de 16 bits, tiene una memoria caché de 1K palabra. La memoria caché es asociativa por conjuntos de 4 vías, con un tamaño de bloque de 8 palabras. Especifique la interpretación de las direcciones en memoria principal y caché e indique donde se ubicarían los bloques correspondientes a las siguientes direcciones: 0000110111000011<sub>2</sub>; 0x1234<sub>16</sub>; 6234<sub>10</sub>.

Direcciones 16 bits  $\rightarrow$  2B  $\rightarrow$   $2^4$

MC = 1K palabra  $\rightarrow$  1 palabra = 16 bits  $\rightarrow$   $16/8 = 2$  bytes

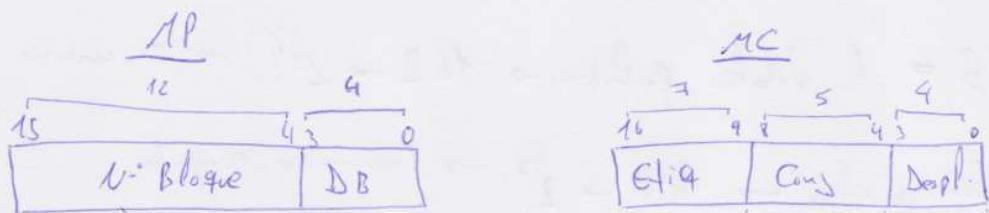
$$\therefore 1K = 2^{10} = 2^{11}$$

Tamaño Bloque: 8 palabras  $\rightarrow$  1 palabra = 16 bits  $\rightarrow 8 \cdot 16 = 128$  bits

$$128 \rightarrow 2^7$$

$$\frac{\text{Nº de Líneas}}{\text{Líneas}} = \frac{T_{MC}}{T_{Bloque}} = \frac{2^{11}}{2^4} = 2^7 \text{ líneas.}$$

$$\text{Nº Conjuntos} = \frac{\text{Líneas}}{\text{Vías}} = \frac{2^7}{2^2} = 2^5 \text{ Conjuntos.}$$



0000110111000011 → 000011011100 0011 → 0000110 11100 0011  
 0x1234 → 0x123 4 → 001001 00011 0100  
 6234 → 0x185 a → 0001100 00101 1010

- 0000110111000011, con Bloque 000011011100, en hexadecimal 0xDC, va al conjunto (11100) 24 con etiqueta (0000110) 6.
- 0x1234, con Bloque 0x123, va al conjunto (00011) 3 con etiqueta (1001) 9.
- 6234, con Bloque 0x185 en hexadecimal, va al conjunto (00101) 5 con etiqueta (0001100) 12.

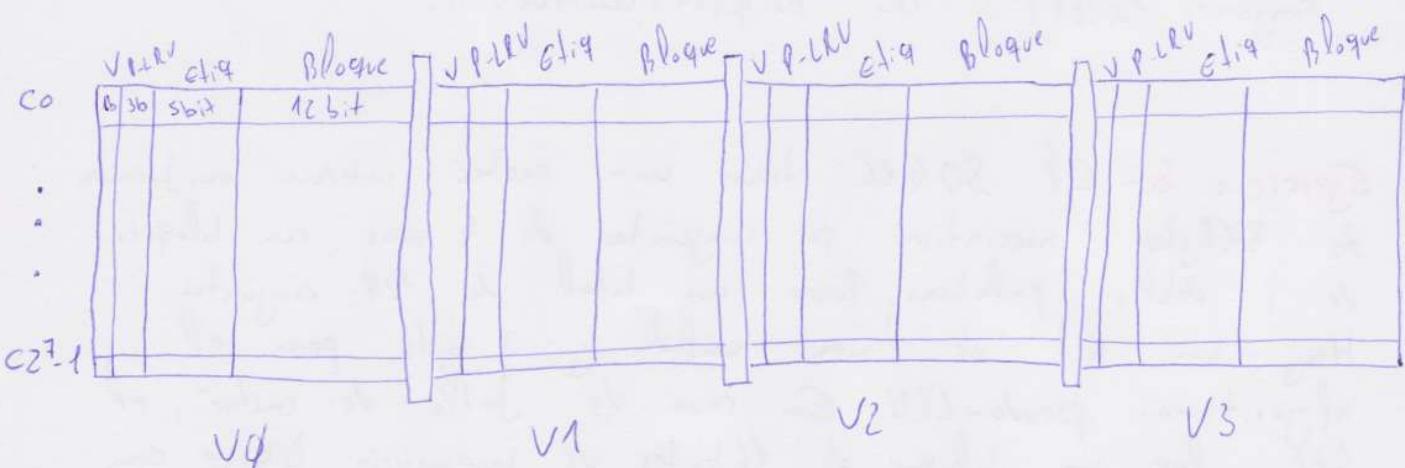
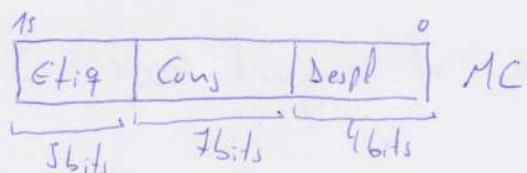
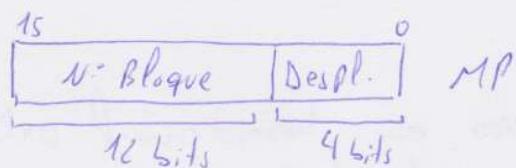
**Ejercicio 5-** El 80486 tiene una caché interna unificada de 8KBytes, asociativa por conjuntos de 4 vías con bloques de 4 dobles palabras. Posee un total de 128 conjuntos. Hay un bit de línea válida y 3 bits para el algoritmo pseudo-LRU. En caso de fallo de caché, el 486 lee un bloque de 16bytes de memoria. Dibuje con el máximo detalle la escritura interna de la caché y señale cómo se interpretan las direcciones.

$\text{MC} \xrightarrow{\text{8 KB}} 2^{13}$   
 $\xrightarrow{\text{4 vías}} 2^2$

$TB = 4$  dobles palabras  $\rightarrow 16B \rightarrow 2^{17}$   $\rightarrow$  Tamaño desplazamiento

Conjuntos  $\rightarrow 128 \rightarrow 2^{7}$   $\rightarrow$  Tamaño conjunto

$$\Rightarrow Bus_D = \frac{16}{4 \cdot 2} = 2B \rightarrow 16\text{ Bits}$$



# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



Ejercicio 6.- Calcular el tamaño total (incluyendo etiquetas y bits de control) de una caché de CB-WA 64KBbytes de datos, 8 bloques 32bytes y direcciones de 32 bits en los siguientes casos:

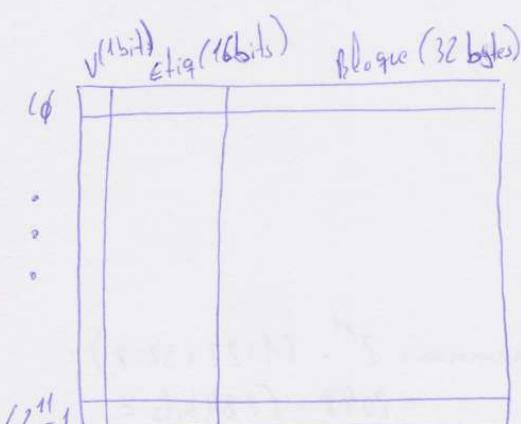
A. Caché de mapeado directo.

$$MC \rightarrow 64KB \rightarrow 2^{16}$$

$$\text{Bloques} \rightarrow 32B \rightarrow 2^5 \rightarrow \text{Tamaño desplazamiento}$$

Bus de 32 bits

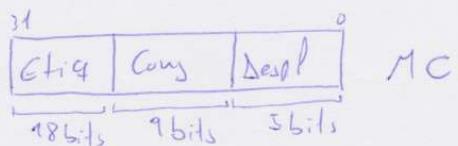
$$\text{Líneas} = \frac{MC}{\text{Bloques}} = \frac{2^{16}}{2^5} = 2^{11} \rightarrow \text{Tamaño índice}$$

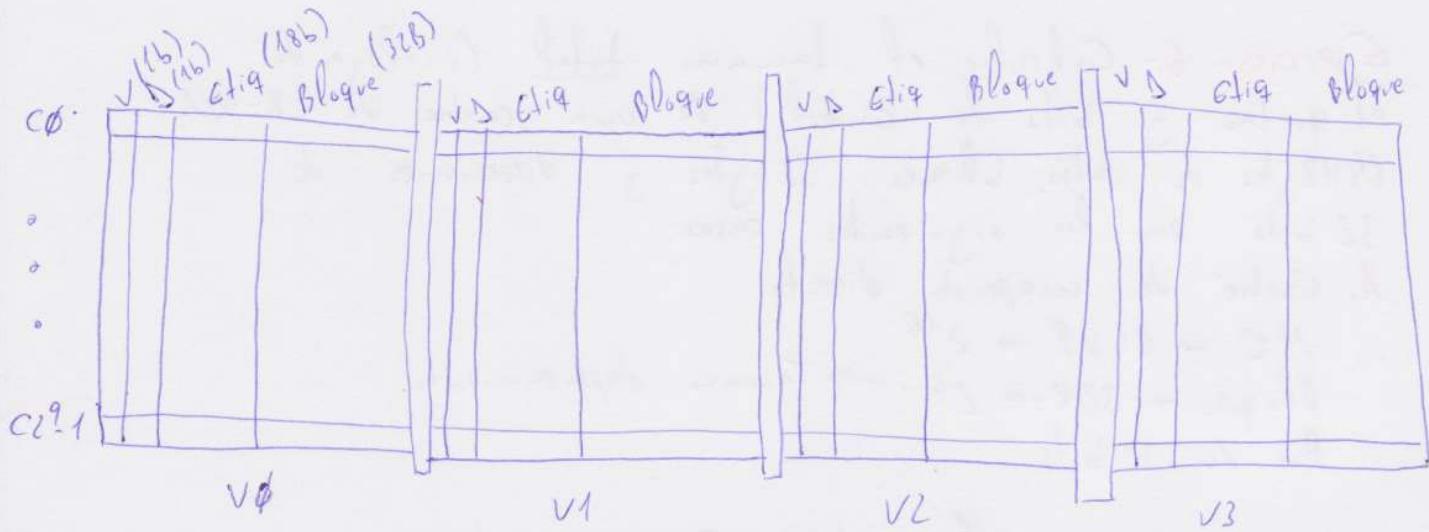


$$\begin{aligned} \text{Tamaño} &= 2^{11} \cdot (1 + 16 + 32 \cdot 8) = \\ &= 2048 \cdot 273 \text{ bits} = 559104 \text{ bits} = \\ &= 69888 \text{ bytes} \end{aligned}$$

B.- Caché asociativa por conjuntos de 4 vías.

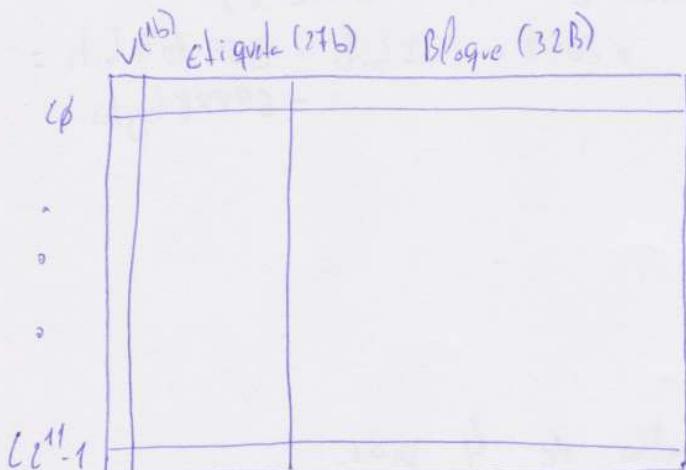
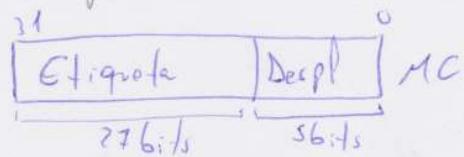
$$\text{Conjuntos} = \frac{\text{Líneas}}{\text{Vías}} = \frac{2^{11}}{2^2} = 2^9 \rightarrow \text{Tamaño conjunto}$$





$$\text{Tamaño} = 2^9 \cdot 2^2 \cdot (1 + 1 + 18 + 32 \cdot 8) = 512 \cdot 4 \cdot 276 = 565248 \text{ bits} = 70656 \text{ Bytes}$$

**C- Completamente asociativa.**



$$\begin{aligned}\text{Tamaño} &= 2^{11} \cdot (1 + 27 + 32 \cdot 8) = \\ &= 2048 \cdot 284 \text{ bits} = \\ &= 581632 \text{ bits} = \\ &= 72704 \text{ Bytes}.\end{aligned}$$

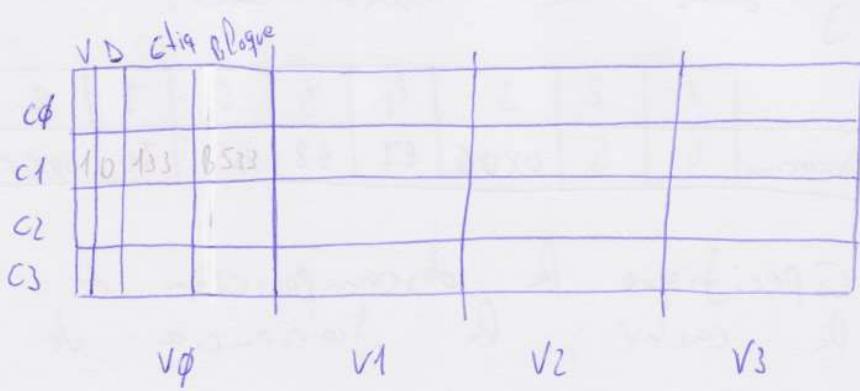
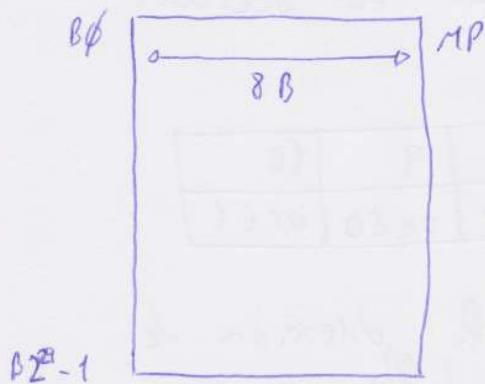
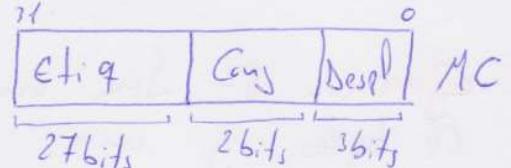
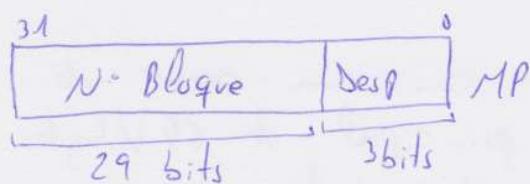
**Ejercicio 7-** Sea una memoria caché de 128 bytes con política de ubicación asociativa por conjuntos de 4 vías, con 4 conjuntos en total. Las direcciones físicas están compuestas por 32 bits.

A. Realice la interpretación de las direcciones físicas principales, realizando un dibujo representativo de cada una de las memorias.

$MC = 128 \text{ bytes} \rightarrow 2^7 \text{ AC}$     4 vías    4 conjuntos.  
 Direcciones de 32 bits.

$$\text{Linear} = \frac{MC}{TB} = \frac{2^7}{CTB?}; \rightarrow 2^4 = \frac{2^7}{TB}; TB = \frac{2^7}{2^4} = 2^3 = 8B$$

Conjunto =  $\frac{\text{Linear}}{\text{Vias}}$ ;  $\rightarrow 2^2 = \frac{\text{Linear}}{2^2} \rightarrow \text{Linear} = 2^2 \cdot 2^2 = 16 = 2^4$



B.- ¿Dónde se ubicará la dirección física 0x000010AF en el caché?

0x 010AF → 1 0000 1010 1111  
Etiqu | C3 | DB

El bloque 533 va asignado en la primera vía disponible del conjunto 1 con etiqueta 133

C- Si las direcciones físicas 0x000011AF y 0xFFFF7Axy pueden ser asignadas simultáneamente al mismo conjunto caché, ¿qué valores pueden tener x e y?

0x 11F → 1 1010 1111 → Conjunto 1  
Etiqu | C3 | DB

Para que vaya en el conjunto 1:

XXX01YYY → podemos variar x e y en todas sus posibilidades y pasarlo a hexadecimal.  
Etiqu | C3 | DB

## ACCESOS SIN TIPO DE FALLOS

Ejercicio 8.- Sea un procesador con una caché de 64 bytes y una memoria principal de 64 Kbytes. Suponge que se produce la siguiente secuencia de accesos (algunas direcciones están en decimal y otras en hexadecimal):

	1	2	3	4	5	6	7	8	9	10
Dirección	4	5	0x06	67	68	69	70	0xCF	0xE0	0xE1

Especifique la descomposición de la dirección de la caché, la frecuencia de fallos y cómo

# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



queda la memoria tras la secuencia anterior en los siguientes casos:

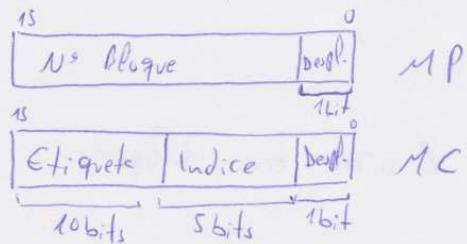
A- Mapeado directo con bloques de 2 bytes.

$$MP \rightarrow 64 \text{ Kbytes} = 2^{16}$$

$$MC \rightarrow 64 \text{ bytes} = 2^6$$



Map. Direc. → bloques de 2 bytes =  $2^{15-1} \rightarrow$  Tamaño desplazamiento



$$\text{Nº de líneas} = \frac{T_{MC}}{T_{Bloque}} = \frac{2^6}{2^1} = 2^{15-1} \rightarrow \text{Tamaño índice}$$

Dirección	Binario	Línea	Etiqueta	Bloque	A/F
4	00001010	L2	0X0	B2	FF
5	00001011	L2	0X0	B2	A
0X06	00001110	L3	0X0	B3	FF
67	0010000111	L1	0X1	B33	FF
68	001000100	L2	0X1	B34	FF
69	00100101	L2	0X1	B34	A
70	00100110	L3	0X1	B35	FF
0X CF	11001111	L7	0X3	B103	FF
0X E0	111000010	L16	0X3	B112	FF
0X E1	111000011	L16	0X3	B112	A



WUOLAH

	Vd	Etiq	Bloque
L1		0x1	B33
L2	11	0x0081	-AC B34
L3	11	0x0001	B3 B35
⋮			
L7	11	0x3	B103
⋮			
L16	11	0x3	B112
L31			

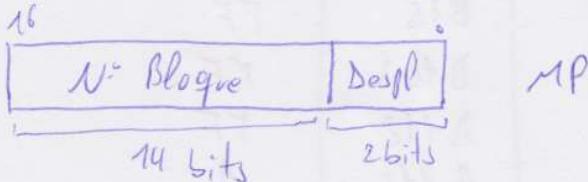
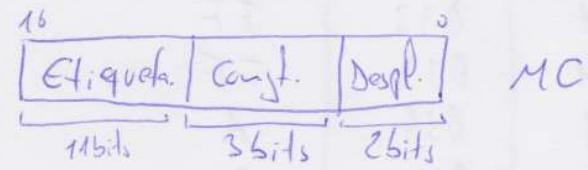
Frecuencia de fallas  $\Rightarrow \text{Miss Rate} = M_R = \frac{\text{Fallas}}{\text{accesos}} = \frac{7}{10}$

B.- Asociativa por conjuntos de 2 vías con bloques de 4 bytes

Tamaño Bloque = 4B =  $2^{12}$  → Tamaño desplazamiento.

$$\begin{matrix} \text{Nº de} \\ \text{líneas} \end{matrix} = \frac{T_{MC}}{T_{Bloque}} = \frac{2^6}{2^2} = 2^4$$

$$\begin{matrix} \text{Nº de} \\ \text{conjuntos} \end{matrix} = \frac{\text{Nº de líneas}}{\text{Nº de vías}} = \frac{2^4}{2^1} = 2^3 \rightarrow \text{Tamaño conjunto.}$$



Dircción	Binario	Conjunto	Bloque	A/F	
4	01001100	C1	B1	FF	
5	01001101	C1	B1	A	
0x06	01001101	C1	B1	A	
67	101000111	CΦ	B16	FF	
68	101001100	C1	B17	FF	
69	101001101	C1	B17	A	
70	101001110	C1	B17	A	
0xCF	1101011111	C3	B51	FF	
0xE0	11110000100	CΦ	B56	FF	
0xE1	11110000101	CΦ	B56	A	

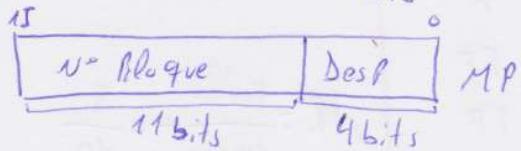
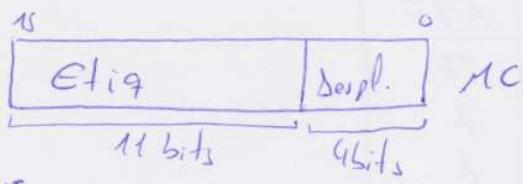
	V	D	Etiq	Blocke	
C0	1	1	0x2	B1b	
C1	1	1	0x0	B1	
C3	1	1	0x6	B51	
C7					

C- Asociativa por conjuntos de 4 vías con bloques de 16 bytes.

Blöque  $\rightarrow$  16 bytes =  $2^{4 \cdot 4}$  no Tamanio desplazamiento.

$$N^{\circ} \text{ lines} = \frac{T_{MC}}{T_{Dilogue}} = \frac{2^6}{2^4} = 2^2$$

$$N^{\circ} \text{ Conjuntos} = \frac{N^{\circ} \text{ Líneas}}{N^{\circ} \text{ Vías}} = \frac{2^2}{2^2} = 1 \text{ conjunto } (2^{\circ})$$



Dirección	Binario	Etiq/ret	Bloque	A/F
4	00010100	0x0	B0	FF
5	00010101	0x0	B0	A
0x06	000010110	0x0	B0	A
67	10010011	0x4	B4	FF
68	10010100	0x4	B4	A
69	10010101	0x4	B4	A
70	10010110	0x4	B4	A
0xC0	11001111	0x12	B12	FF
0xE0	111010000	0x14	B14	FF
0xE1	111010001	0x14	B14	A

$$AR = \frac{\text{Fallo}}{\text{accesos}} = \frac{4}{10}$$

C0	V	D	Etiq	Bloque	V	D	Etiq	Bloque	V	D	Etiq	Bloque	V	D	Etiq	Bloque			
	1	1	0x0	B0		1	1	0x4	B4		1	1	0x12	B12		1	1	0x14	B14
					V0				V1				V2			V3			

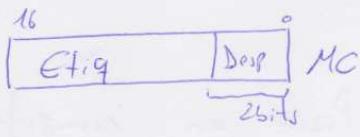
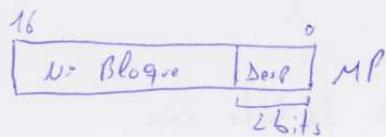
D.- Completamente asociativa con bloques de 4 bytes.

Tamaño bloque = 4 bytes =  $2^{12}$   $\rightarrow$  Tamaño desplazamiento

$$\text{Nº de líneas} = \frac{\text{TMC}}{\text{TBloque}} = \frac{2^6}{2^2} = 2^4 = 16 \text{ líneas.}$$

# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



Dirección	Binario	Bloque	A/F
4	01100	B1	FF
5	01101	B1	A
0x06	01110	B1	A
67	10000111	B16	FF
68	10001100	B17	FF
69	10001101	B17	A
70	10001110	B17	A
0xCF	11001111	B51	FF
0xE0	111000100	B56	FF
0xE1	111000101	B56	A

$$MR = \frac{\text{Jublos}}{\text{accesos}} = \frac{5}{10}$$

	J	D	Bloque
16	1	1	B1
11	1	1	B16
12	1	1	B17
13	1	1	B51
14	1	1	B56
⋮			
15			



WUOLAH

## GLOBALES

Ejercicio 27.- Posee un computador de 32 bits con las siguientes características del sistema de memoria:

- Memoria Principal máxima direccionable de 1MBYTE, con tamaño de bloque de 16 Bytes.
- Memoria Cache de 128 Bytes de tamaño para datos, Mapeado Directo, C-D-WA.
- Tiempos de acceso: 3ns para MC y 25 ns para MP
- Tiempo de transferencia de MP a MC: 1ns/palabra.

Se ejecuta el siguiente código C en su procesador:

```
int a[7] = {...}, b[7] = {...}; // Recuerde que un "int" equivale  
for(i=0; i<7; i++) { // a una palabra.  
    a[7-i-1] = b[i];
```

Donde: "a" y "b" se ubican en memoria principal a partir de los bloques 10 y 3 respectivamente.

A.- Represente la interpretación de las direcciones por parte de MC y MP, así como la estructura de la MC.

Computador de 32 bits  $\rightarrow$  4 palabras.

$$32/8 = 4$$

$$1B \rightarrow 8\text{ Bits}$$

$$4B \rightarrow 32\text{ Bits}$$

• MP  $\rightarrow$  1MB máximo direccionable  $\rightarrow 2^{20}$   
Tamaño bloque  $\rightarrow 16\text{ Bytes} \rightarrow 2^4$

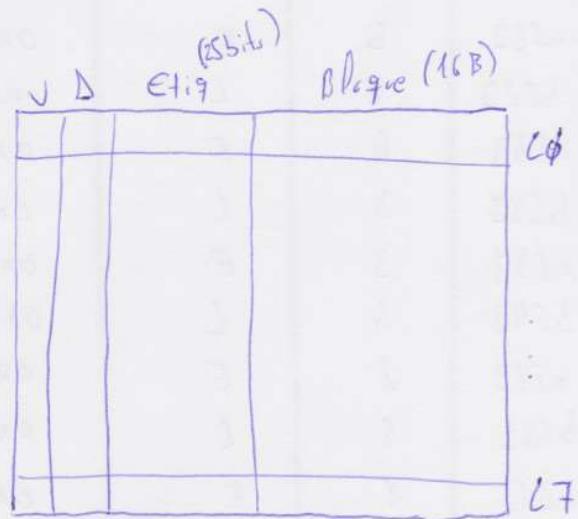
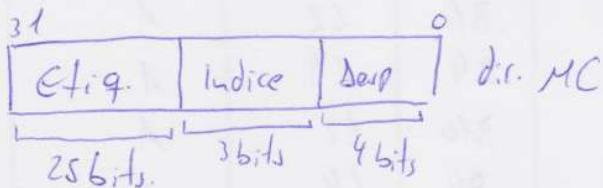
$\rightarrow$  4 palabras por bloque. ( $4 \times 4B = 16B$ )

$$N^{\circ} \text{ de bloques} = \frac{T_{MP}}{TB} = \frac{2^{20}}{2^4} = 2^{16}$$



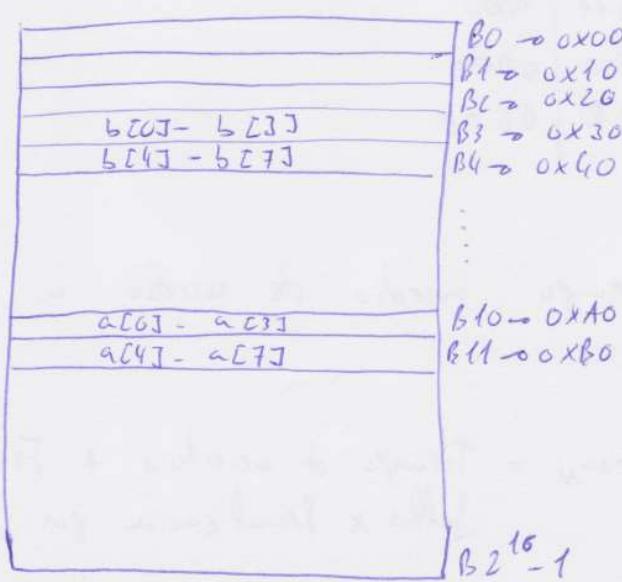
• MC  $\rightarrow$  128 B para datos  $\rightarrow 2^7$   
 ↳ MD, CD-WA

$$N^{\circ} \text{ de líneas} = \frac{T_{MC}}{TB} = \frac{2^7}{2^4} = 2^3$$



B.- Represente la MP, indicando las posiciones de los elementos de cada vector dentro de la misma.

Tamaño Bloque = 16B



C.- Rellene una tabla de accesos a los vectores de datos (a y b) y a sus posiciones (0, 1, 2, ...), similar a la mostrada a continuación. Nota: rellene por orden de acceso a memoria.

VECTOR	POSICIÓN	LEER/ESCRIT.	DIR. FÍSICA (HEX)	BLOQUEMP	LÍNEA MC	A/F (Y TIPO) MC
b[0]	0	L	0x30	B3	L3	FF
a[6]	6	E	0xB0	B11	L3	FF
b[1]	1	L	0x30	B3	L3	FC
a[5]	5	E	0xB0	B11	L3	FC
b[2]	2	L	0x30	B3	L3	FC
a[4]	4	E	0xB0	B1	L3	FC
b[3]	3	L	0x30	B3	L3	FC
a[3]	3	E	0xA0	B10	L2	FF
b[4]	4	L	0x40	B4	L4	FF
a[2]	2	E	0xA0	B10	L2	A
b[5]	5	L	0x40	B4	L4	A
a[1]	1	E	0xA0	B10	L2	A
b[6]	6	L	0x40	B4	L4	A
a[0]	0	E	0xA0	B10	L2	A

0x30 →	0011	0000
0xB0 →	1,011	0000
0x40 →	0,100	0000
0xA0 →	1,010	0000

D.- Calcule el tiempo medio de acceso a su jerarquía de memoria.

$$\text{Tiempo medio de acceso} = \text{Tiempo de aciertos} + \text{Frecuencia de fallos} \times \text{Penalización por fallo.}$$

# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



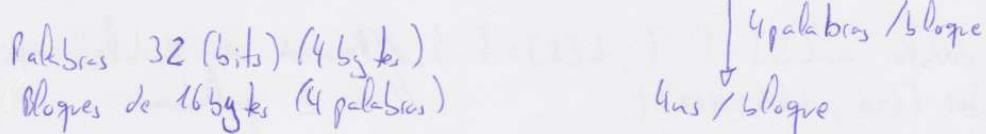
$$T_{acc,N} = t_{hit} + MR \times \frac{t_{miss}}{P_{miss}}$$

$\hookrightarrow T_{acc,N} = t_{hit} + t_{transfereencia}$ .

Calculamos la tasa de fallos (MR):

$$MR = \frac{\text{Fallos}}{\text{accesos}} = \frac{9}{14} = 0,643 \rightarrow 64,3\%$$

Tiempo de transferencia de MP a MC: 1ns/palabra



$$\begin{aligned} T_{acc} &= 3ns + 0,643 \times (25ns + 4ns) = \\ &= 3ns + 0,643 \times (29ns) = \\ &= 3ns + 18,647ns = \\ &= \underline{21,647ns} \end{aligned}$$

E.- Si la caché tiene WT-NWA, indique cómo variaría el miss rate y en qué casos. Justifique su respuesta y calcule el miss rate resultante.

En caso de fallo de escritura, el bloque se modifica en MP pero no se coge en caché. Por tanto a[2], a[1] y a[0] no serían aciertos, pues no se cargan en caché.

$$MR = \frac{\text{Fallos}}{\text{accesos}} = \frac{12}{14} = 0,857 \rightarrow 85,7\%$$



**Ejercicio 29.-** Posee un procesador de 32 bits con las siguientes características del sistema de memoria:

- Memoria principal máxima direccionable de 64 KBytes, con tamaño de bloque de 16 Bytes
- Memoria caché de 64 Bytes de tamaño para datos, Mapeado Directo.
- Tiempos de acceso: 2ns para MC  $\rightarrow$  20 para MP
- Tiempo de transferencia de MP a MC: 1ns/palabra.

Se ejecuta el siguiente código C en su procesador:

```
double a[5] = {...}, b[5] = {...}; // Recibe un "double" equivale  
for (i=0; i<5; i++) {           // a 2 palabras  
    a[i] = b[4-i];
```

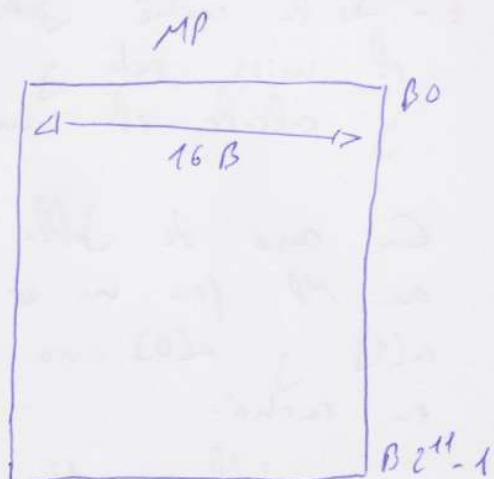
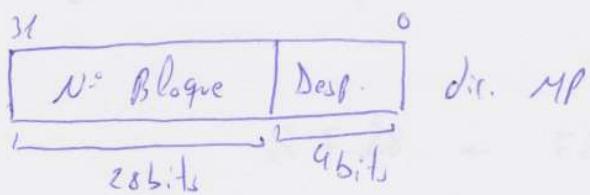
Dónde: "a" se ubica a partir de la dirección 0x18  $\rightarrow$  "b"  
a partir de la 0x20 (ambas inclusive).

A.- Represente el sistema al completo.

• Procesador de 32 bits.

• MP  $\rightarrow$  64 KBytes direccionables  $\rightarrow 2^{16}$   
 $\rightarrow$  Bloque de 16 bytes  $\rightarrow 2^4$

$$N^{\circ} \text{ de bloques} = \frac{T_{MP}}{T_{bloque}} = \frac{2^{16}}{2^4} = 2^8$$



• MC  $\rightarrow$  64 bytes para datos  $\rightarrow 2^6$   
 ↳ MD

$$\text{Nº de líneas} = \frac{T_{MC}}{T_{Bloque}} = \frac{2^6}{2^4} = 2^2 = 4 \text{ líneas.}$$

31

Etag	Indice	Despl.
20 bits	2 bits	4 bits

dic. MC

V	D	Etag	Bloque
		L4	
		C1	
		L2	
		L3	

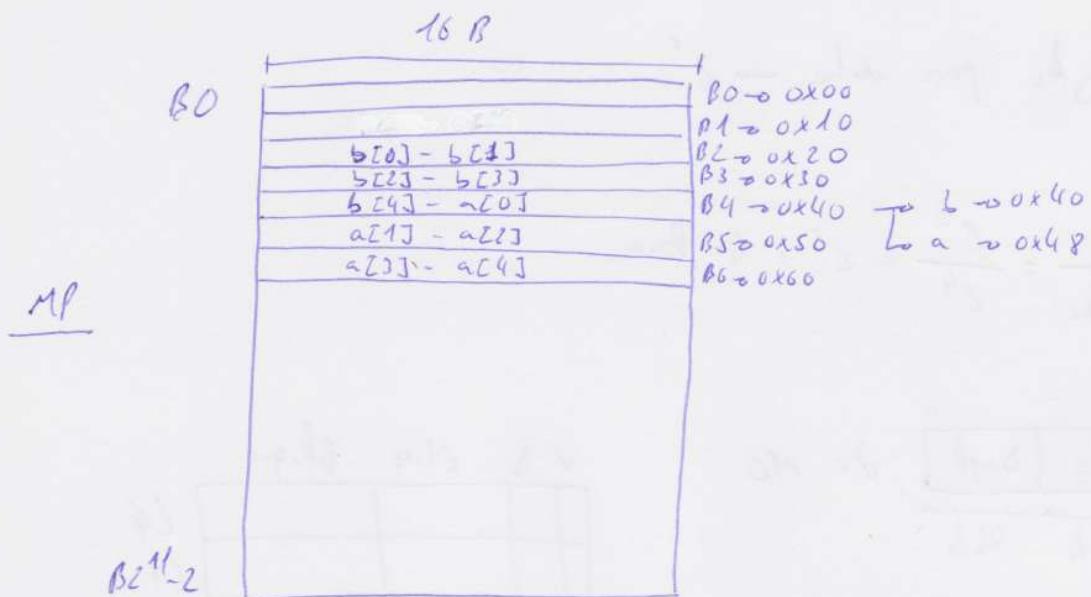
$$32 \text{ bits} / 8 = 4 \text{ B}$$

$$\frac{16 \text{ B}}{4 \text{ B}} = 4 \text{ B de tamaño}$$

↓  
Tamaño  
de palabra

B.- Rellene una tabla similar a la siguiente, que contenga los accesos a los datos del programa anterior teniendo en cuenta los dos posibles tipos de MC según sus políticas de escritura (CB-WA) y WT-NWA).  
 Note: rellene por orden de acceso a memoria según el código C.

VECTOR	ELEMENTO	LECT. ECR.	DIR. FISICA	CINEA	A/F CB-WA	A/F WT-NWA
b[4]	4	L	0x40	L0	FF	FF
a[0]	0	E	0x48	L0	A	FF/FC
b[3]	3	L	0x30	L3	FF	FF
c[1]	1	E	0x50	L1	FF	FF
b[2]	2	L	0x30	L3	A	A
a[2]	2	E	0x50	L1	A	FF/FC
b[1]	1	L	0x20	L2	FF	FF
a[3]	3	E	0x60	L2	FF	FF
b[0]	0	L	0x20	L2	FC	FC
a[4]	4	E	0x60	L2	FC	FF/FC



C.- Calcule el tiempo medio de acceso a su jerarquía de memoria en ambos casos (CB-WA y WT-NWA).

$$\overline{T}_{acc,N} = t_{hit} + MR \times \overline{t}_{miss} \rightarrow \overline{T}_{acc,N-1} + t_{transferecia}$$

CB-WA

$$MR = \frac{\text{fallas}}{\text{accesos}} = \frac{8}{10} = 0,8$$

$$t_{transferecia} = 1\text{ns} \cdot 2\text{palabras} = 2\text{ns}$$

WT-NWA

$$MR = \frac{\text{fallas}}{\text{accesos}} = \frac{9}{10} = 0,9$$

$$t_{transferecia} = 1\text{ns} \cdot 2\text{palabras} = 2\text{ns}$$

$$\begin{aligned} \overline{T}_{acc} &= 2\text{ns} + 0,8(20\text{ns} + 2\text{ns}) = \\ &= 2\text{ns} + 0,8(22\text{ns}) = \\ &= 2\text{ns} + 17,6\text{ns} = \\ &= 19,6\text{ns} \end{aligned}$$

$$\begin{aligned} \overline{T}_{acc} &= 2\text{ns} + 0,9(20\text{ns} + 2\text{ns}) = \\ &= 2\text{ns} + 0,9(22\text{ns}) = \\ &= 2\text{ns} + 19,8\text{ns} = \\ &= 21,8\text{ns} \end{aligned}$$

# Estudiar sin publi es posible.

Compra Wuolah Coins y que nada te distraiga durante el estudio.



D - Represente como quedaría rellena la MC, tras finalizar la ejecución del programa anterior, para cada uno de los casos anteriores.

CB-WA

V	D	Etiq	Bloque	
1	0x4	B4	L0	
1	0x5	B5	L1	
1	0x2 0x6 0x2 0x6	f2 f6 f2 f6	L2	
1	0x3	B3	L3	

WT-NWA

V	D	Etiq	Bloque	
1	0x4	B4	L0	
1	0x5	B5	L1	
1	0x2 0x6 0x2 0x6	A2 B6 A2 B6	L2	
1	0x3	B3	L3	

