

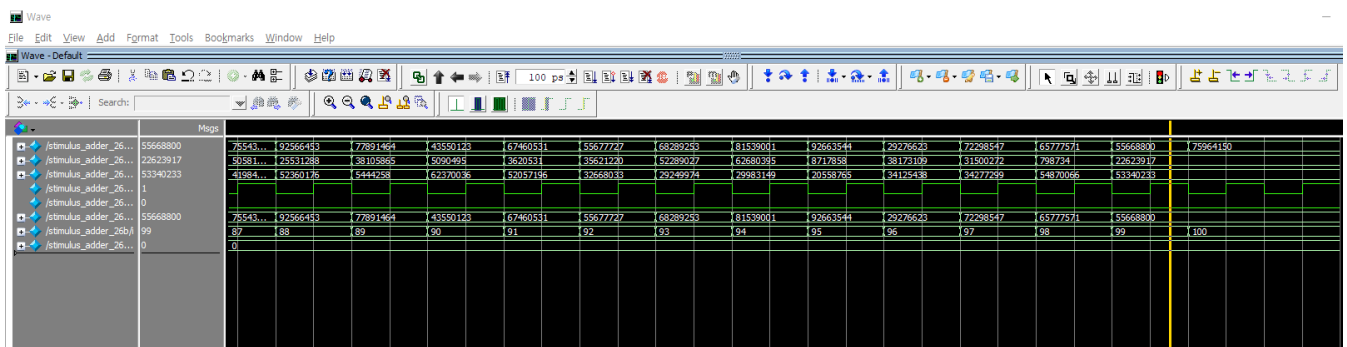
(1) Experimental Goal

Experiment의 main content는 26bit Full-adder의 performance를 개선시키는 것이다. 가장 fundamental한 adder를 design하고 이후 여러가지 algorithm을 apply하여, max clock speed를 측정한 후, 비교한다. 외에 Area역시도 Algorithm을 비교하여 Clock speed와 Area의 Trade off를 고민하는 과정을 학습하자.

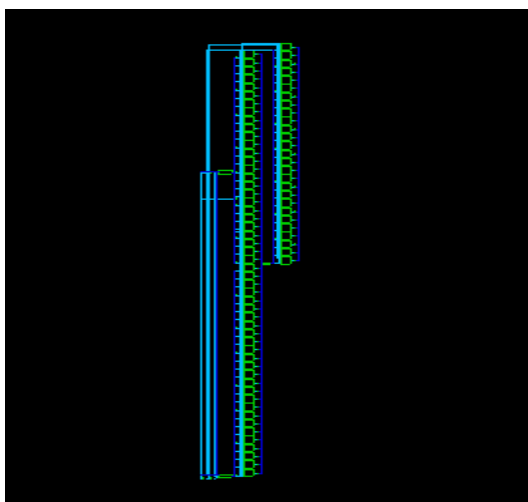
(2) Result

26bit-Full adder with dff (gate level)

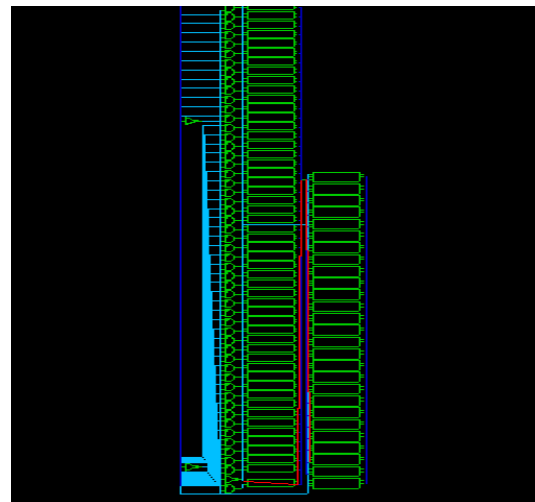
1. Timing diagram (for 1cycle)



2. Schematic diagram



<before synthesis>



<after synthesis>

3. Synthesis result (Area)

```
design_vision-xg-t> report_area

*****
Report : area
Design : check_rcc
Version: Z-2007.03-SP4
Date   : Mon Mar 27 21:59:02 2023
*****

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:      81
Number of nets:       215
Number of cells:      135
Number of references: 6

Combinational area:    12698.726902
Noncombinational area: 13636.021591
Net Interconnect area: undefined (No wire load specified)

Total cell area:       26334.748047
Total area:            undefined
.
```

4. Synthesis result (Timing)

rcc/fa23/U2/Q (nnd2s3)	0.10	7.36 f
rcc/fa23/U1/Q (nnd2s3)	0.12	7.48 r
rcc/fa23/c_out (Full_adder_3)	0.00	7.48 r
rcc/fa24/c_in (Full_adder_2)	0.00	7.48 r
rcc/fa24/U2/Q (nnd2s3)	0.10	7.58 f
rcc/fa24/U1/Q (nnd2s3)	0.12	7.70 r
rcc/fa24/c_out (Full_adder_2)	0.00	7.70 r
rcc/fa25/c_in (Full_adder_1)	0.00	7.70 r
rcc/fa25/U1/Q (xnr2s3)	0.27	7.97 r
rcc/fa25/sum (Full_adder_1)	0.00	7.97 r
rcc/sum[25] (Full_adder_26)	0.00	7.97 r
sum_reg[25]/DIN (dffles1)	0.00	7.97 r
data arrival time		7.97
clock CLK' (rise edge)	8.40	8.40
clock network delay (ideal)	0.00	8.40
sum_reg[25]/CLK (dffles1)	0.00	8.40 r
library setup time	-0.48	7.92
data required time		7.92

data required time		7.92
data arrival time		-7.97

slack (VIOLATED)		-0.05

<period 6.40-Violated>

Startpoint: a_d_reg[0] (rising edge-triggered flip-flop clocked by CLK')
 Endpoint: sum_reg[25] (rising edge-triggered flip-flop clocked by CLK')
 Path Group: CLK
 Path Type: max

Point	Incr	Path
clock CLK' (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
a_d_reg[0]/CLK (dffs2)	0.00	2.00 r
a_d_reg[0]/Q (dffs2)	0.27	2.27 r
rcc/fa[0] (Full_adder_26)	0.00	2.27 r
rcc/fa0/a (Full_adder_0)	0.00	2.27 r
rcc/fa0/U5/Q (nnd2s3)	0.25	2.52 f
rcc/fa0/U2/Q (nnd2s3)	0.14	2.66 r
rcc/fa0/c_out (Full_adder_0)	0.00	2.66 r
rcc/fa1/c_in (Full_adder_25)	0.00	2.66 r
rcc/fa1/U2/Q (nnd2s3)	0.10	2.76 f
rcc/fa1/U6/Q (nnd2s3)	0.11	2.87 r
rcc/fa1/c_out (Full_adder_25)	0.00	2.87 r
rcc/fa2/c_in (Full_adder_24)	0.00	2.87 r
rcc/fa2/U6/Q (nnd2s3)	0.10	2.97 f
rcc/fa2/U5/Q (nnd2s3)	0.11	3.08 r
rcc/fa2/c_out (Full_adder_24)	0.00	3.08 r
rcc/fa3/c_in (Full_adder_23)	0.00	3.08 r
rcc/fa3/U5/Q (nnd2s3)	0.10	3.18 f
rcc/fa3/U4/Q (nnd2s3)	0.11	3.29 r
rcc/fa3/c_out (Full_adder_23)	0.00	3.29 r
rcc/fa4/c_in (Full_adder_22)	0.00	3.29 r
rcc/fa4/U5/Q (nnd2s3)	0.10	3.39 f
rcc/fa4/U4/Q (nnd2s3)	0.11	3.50 r
rcc/fa4/c_out (Full_adder_22)	0.00	3.50 r
rcc/fa5/c_in (Full_adder_21)	0.00	3.50 r
rcc/fa5/U5/Q (nnd2s3)	0.10	3.60 f
rcc/fa5/U4/Q (nnd2s3)	0.11	3.71 r
rcc/fa5/c_out (Full_adder_21)	0.00	3.71 r
rcc/fa6/c_in (Full_adder_20)	0.00	3.71 r
rcc/fa6/U5/Q (nnd2s3)	0.10	3.81 f
rcc/fa14/U4/Q (nnd2s3)	0.12	5.60 r
rcc/fa14/c_out (Full_adder_12)	0.00	5.60 r
rcc/fa15/c_in (Full_adder_11)	0.00	5.60 r
rcc/fa15/U4/Q (nnd2s3)	0.10	5.70 f
rcc/fa15/U3/Q (nnd2s3)	0.11	5.81 r
rcc/fa15/c_out (Full_adder_11)	0.00	5.81 r
rcc/fa16/c_in (Full_adder_10)	0.00	5.81 r
rcc/fa16/U5/Q (nnd2s3)	0.10	5.91 f
rcc/fa16/U4/Q (nnd2s3)	0.11	6.02 r
rcc/fa16/c_out (Full_adder_10)	0.00	6.02 r
rcc/fa17/c_in (Full_adder_9)	0.00	6.02 r
rcc/fa17/U4/Q (nnd2s3)	0.10	6.12 f
rcc/fa17/U5/Q (nnd2s3)	0.11	6.23 r
rcc/fa17/c_out (Full_adder_9)	0.00	6.23 r
rcc/fa18/c_in (Full_adder_8)	0.00	6.23 r
rcc/fa18/U5/Q (nnd2s3)	0.10	6.32 f
rcc/fa18/U4/Q (nnd2s3)	0.11	6.44 r
rcc/fa18/c_out (Full_adder_8)	0.00	6.44 r
rcc/fa19/c_in (Full_adder_7)	0.00	6.44 r
rcc/fa19/U5/Q (nnd2s3)	0.10	6.53 f
rcc/fa19/U4/Q (nnd2s3)	0.11	6.64 r
rcc/fa19/c_out (Full_adder_7)	0.00	6.64 r
rcc/fa20/c_in (Full_adder_6)	0.00	6.64 r
rcc/fa20/U5/Q (nnd2s3)	0.10	6.74 f
rcc/fa20/U4/Q (nnd2s3)	0.11	6.85 r
rcc/fa20/c_out (Full_adder_6)	0.00	6.85 r
rcc/fa21/c_in (Full_adder_5)	0.00	6.85 r
rcc/fa21/U5/Q (nnd2s3)	0.10	6.95 f
rcc/fa21/U4/Q (nnd2s3)	0.11	7.06 r
rcc/fa21/c_out (Full_adder_5)	0.00	7.06 r
rcc/fa22/c_in (Full_adder_4)	0.00	7.06 r
rcc/fa22/U4/Q (nnd2s3)	0.10	7.16 f
rcc/fa22/U5/Q (nnd2s3)	0.11	7.27 r
rcc/fa22/c_out (Full_adder_4)	0.00	7.27 r
rcc/fa23/c_in (Full_adder_3)	0.00	7.27 r
rcc/fa23/U9/Q (nnd2s3)	0.10	7.37 f
rcc/fa23/U8/Q (nnd2s3)	0.12	7.49 r
rcc/fa23/c_out (Full_adder_3)	0.00	7.49 r
rcc/fa24/c_in (Full_adder_2)	0.00	7.49 r
rcc/fa24/U4/Q (nnd2s3)	0.10	7.59 f
rcc/fa24/U3/Q (nnd2s3)	0.13	7.72 r
rcc/fa24/c_out (Full_adder_2)	0.00	7.72 r
rcc/fa25/c_in (Full_adder_1)	0.00	7.72 r
rcc/fa25/U5/Q (nnd2s2)	0.14	7.86 f
rcc/fa25/U3/Q (nnd2s3)	0.16	8.02 r
rcc/fa25/sum (Full_adder_1)	0.00	8.02 r
rcc/sum[25] (Full_adder_26)	0.00	8.02 r
sum_reg[25]/DIN (dffles1)	0.00	8.02 r
data arrival time		8.02
clock CLK' (rise edge)	8.50	8.50
clock network delay (ideal)	0.00	8.50
sum_reg[25]/CLK (dffles1)	0.00	8.50 r
library setup time	-0.48	8.02
data required time		8.02

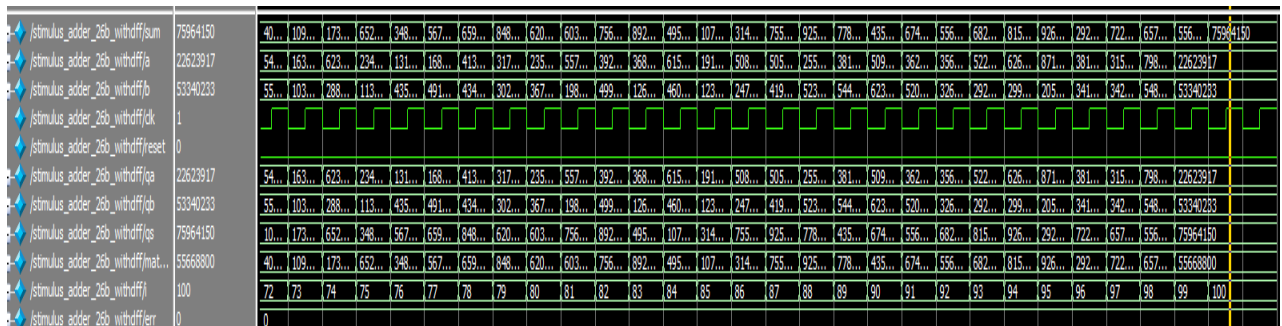
data required time		8.02
data arrival time		-8.02

slack (MET)		0.00

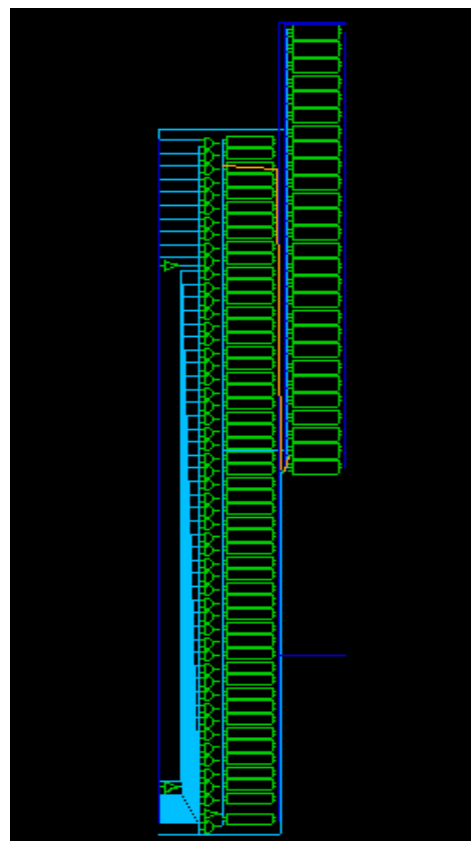
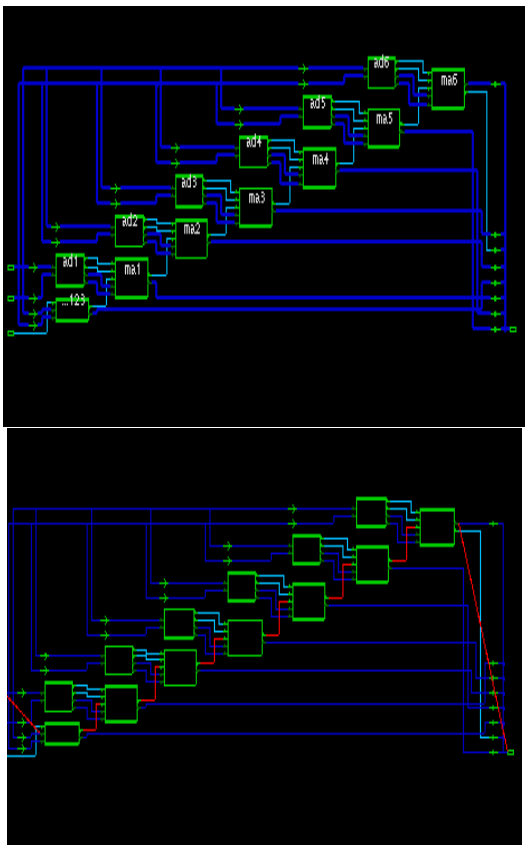
<period 6.5 -MET>

26bit select full adder (applying variety algorithm- $2+2+3+4+5+6+4$)

1. Timing diagram (for 1cycle)



2. Schematic diagram



<before synthesis>

<after synthesis>

3. Synthesis result (Timing)

Startpoint: qb_reg[16] (rising edge-triggered flip-flop clocked by clk')
 Endpoint: sum_reg[22]
 (rising edge-triggered flip-flop clocked by clk')

Point	Incr	Path

clock clk' (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
qb_reg[2]/CLK (dffs2)	0.00	2.00 r
qb_reg[2]/Q (dffs2)	0.35	2.35 r
csa/b[2] (carry_select_adder_26b_223456)	0.00	2.35 r
csa/ad1/b[0] (d2_adder)	0.00	2.35 r
csa/ad1/fa2/b[0] (fulladd2_gate_1)	0.00	2.35 r
csa/ad1/fa2/gt11/b (fulladd_gate_46)	0.00	2.35 r
csa/ad1/fa2/gt11/U1/Q (oi21s3)	0.21	2.57 f
csa/ad1/fa2/gt11/U4/Q (nnd2s2)	0.17	2.73 r
csa/ad1/fa2/gt11/c_out (fulladd_gate_46)	0.00	2.73 r
csa/ad1/fa2/gt21/c_in (fulladd_gate_45)	0.00	2.73 r
csa/ad1/fa2/gt21/U4/Q (nnd2s2)	0.11	2.84 f
csa/ad1/fa2/gt21/U5/Q (nnd2s2)	0.13	2.97 r
csa/ad1/fa2/gt21/c_out (fulladd_gate_45)	0.00	2.97 r
csa/ad1/fa2/c_out (fulladd2_gate_1)	0.00	2.97 r
csa/ad1/c2 (d2_adder)	0.00	2.97 r
csa/ma1/c2 (mux_add2to1)	0.00	2.97 r
csa/ma1/m3/D1 (m21_28)	0.00	2.97 r
csa/ma1/m3/U4/Q (nnd2s2)	0.13	3.10 f
csa/ma1/m3/U3/Q (nnd2s3)	0.17	3.27 r
csa/ma1/m3/Y (m21_28)	0.00	3.27 r
csa/ma1/c (mux_add2to1)	0.00	3.27 r
csa/ma2/s_in (mux_add3to1)	0.00	3.27 r
csa/ma2/m4/S (m21_24)	0.00	3.27 r
csa/ma2/m4/U1/Q (ib1s2)	0.08	3.35 f
csa/ma2/m4/U3/Q (nnd2s2)	0.11	3.46 r
csa/ma2/m4/U2/Q (nnd2s2)	0.12	3.58 f
csa/ma2/m4/Y (m21_24)	0.00	3.58 f
csa/ma2/c (mux_add3to1)	0.00	3.58 f
csa/ma3/s_in (mux_add4to1_0)	0.00	3.58 f
csa/ma3/U1/Q (hnb1s1)	0.87	4.45 f
csa/ma3/m1/S (m21_23)	0.00	4.45 f
csa/ma3/m1/U1/Q (dsmxc31s2)	0.66	5.11 r
csa/ma3/m1/Y (m21_23)	0.00	5.11 r
csa/ma3/sum[0] (mux_add4to1_0)	0.00	5.11 r
csa/sum[7] (carry_select_adder_26b_223456)	0.00	5.11 r
sum_reg[7]/DIN (dffles1)	0.00	5.11 r
data arrival time		5.11
clock clk' (rise edge)	5.60	5.60
clock network delay (ideal)	0.00	5.60
sum_reg[7]/CLK (dffles1)	0.00	5.60 r
library setup time	-0.49	5.11
data required time		5.11

data required time		5.11
data arrival time		-5.11

slack (MET)		0.00

<period 3.60-met>

csa/ma2/m4/Y (m21_24)	0,00	3,62 t
csa/ma2/c (mux_add3to1)	0,00	3,62 f
csa/ma3/s_in (mux_add4to1_0)	0,00	3,62 f
csa/ma3/m5/S (m21_19)	0,00	3,62 f
csa/ma3/m5/U2/Q (rnd2s2)	0,10	3,73 r
csa/ma3/m5/U3/Q (oai21s3)	0,27	4,00 f
csa/ma3/m5/Y (m21_19)	0,00	4,00 f
csa/ma3/c (mux_add4to1_0)	0,00	4,00 f
csa/ma4/s_in (mux_add5to1)	0,00	4,00 f
csa/ma4/m6/S (m21_13)	0,00	4,00 f
csa/ma4/m6/U3/Q (oai22s2)	0,36	4,36 r
csa/ma4/m6/Y (m21_13)	0,00	4,36 r
csa/ma4/c (mux_add5to1)	0,00	4,36 r
csa/ma5/s_in (mux_add6to1)	0,00	4,36 r
csa/ma5/m7/S (m21_6)	0,00	4,36 r
csa/ma5/m7/U2/Q (mxi21s3)	0,38	4,74 f
csa/ma5/m7/U1/Q (i1s5)	0,12	4,86 r
csa/ma5/m7/Y (m21_6)	0,00	4,86 r
csa/ma5/c (mux_add6to1)	0,00	4,86 r
csa/ma6/s_in (mux_add4to1_1)	0,00	4,86 r
csa/ma6/m1/S (m21_5)	0,00	4,86 r
csa/ma6/m1/U1/Q (mxi21s3)	0,27	5,13 f
csa/ma6/m1/U2/Q (i1s3)	0,10	5,23 r
csa/ma6/m1/Y (m21_5)	0,00	5,23 r
csa/ma6/sum[0] (mux_add4to1_1)	0,00	5,23 r
csa/sum[22] (carry_select_adder_26b_223456)	0,00	5,23 r
sum_reg[22]/DIN (dffles1)	0,00	5,23 r
data arrival time		5,23
clock clk' (rise edge)	5,55	5,55
clock network delay (ideal)	0,00	5,55
sum_reg[22]/CLK (dffles1)	0,00	5,55 r
library setup time	-0,48	5,07
data required time		5,07

data required time		5,07
data arrival time		-5,23

slack (VIOLATED)		-0,16

<period 3.55-violated>

4. Synthesis result (Area)

```
*****
Report : area
Design : ripple_carry_adder_26b_dff
Version: Z-2007,03-SP4
Date   : Mon Mar 27 01:03:04 2023
*****

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

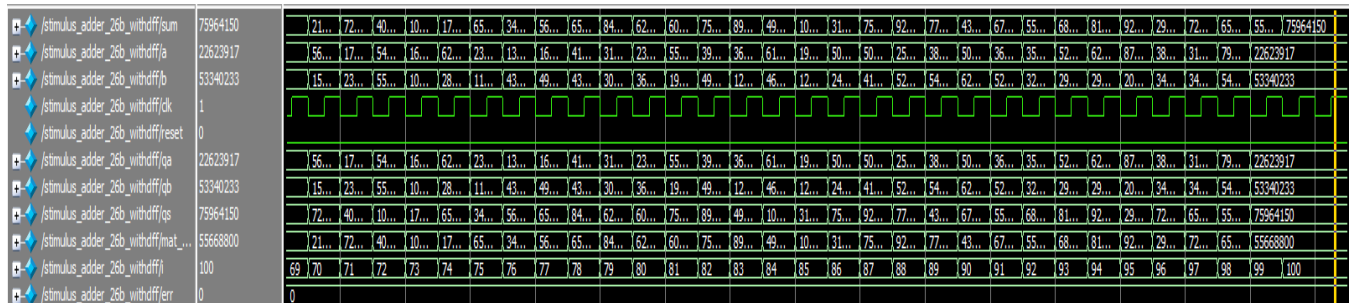
Number of ports:      161
Number of nets:       216
Number of cells:      135
Number of references:   6

Combinational area:   22436,353001
Noncombinational area: 13801,901718
Net Interconnect area: undefined (No wire load specified)

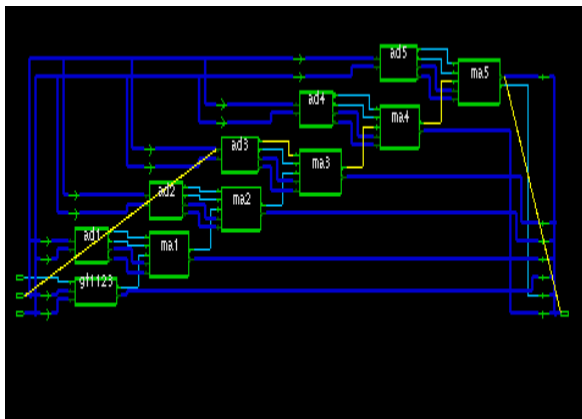
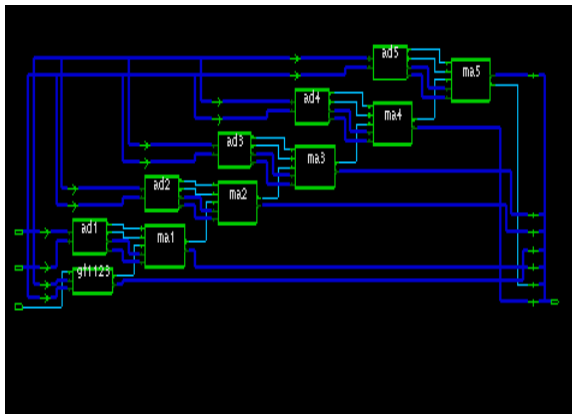
Total cell area:      36238,253906
Total area:           undefined
1
```

26bit select full adder (applying variety algorithm- 3+3+4+5+6+5)

1. Timing Diagram (for 1 cycle)



2. Schematic diagram



< without clock >

< after synthesis with clock >

3. Synthesis result (Timing)

Startpoint: qb_reg[6] (rising edge-triggered flip-flop clocked by clk')

Endpoint: sum_reg[19] (rising edge-triggered flip-flop clocked by clk')

Path Group: clk

Path Type: max

Point	Incr	Path
clock clk' (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
qb_reg[6]/CLK (dffs2)	0.00	2.00 r
qb_reg[6]/Q (dffs2)	0.33	2.33 f
csa/b[6] (carry_select_adder_26b_3345)	0.00	2.33 f
csa/ad2/b[0] (d4_adder)	0.00	2.33 f
csa/ad2/fa2/b[0] (fulladd4_gate_1)	0.00	2.33 f
csa/ad2/fa2/gt1/b (fulladd_gate_36)	0.00	2.33 f
csa/ad2/fa2/gt1/U4/Q (xor2s2)	0.39	2.72 r
csa/ad2/fa2/gt1/U3/Q (nnd2s3)	0.08	2.80 f
csa/ad2/fa2/gt1/U1/Q (nnd2s2)	0.16	2.95 r
csa/ad2/fa2/gt1/c_out (fulladd_gate_36)	0.00	2.95 r
csa/ad2/fa2/gt2/c_in (fulladd_gate_35)	0.00	2.95 r
csa/ad2/fa2/gt2/U2/Q (nnd2s3)	0.10	3.06 f
csa/ad2/fa2/gt2/U1/Q (nnd2s3)	0.11	3.16 r
csa/ad2/fa2/gt2/c_out (fulladd_gate_35)	0.00	3.16 r
csa/ad2/fa2/gt3/c_in (fulladd_gate_34)	0.00	3.16 r
csa/ad2/fa2/gt2/U1/Q (nnd2s3)	0.11	3.16 r
csa/ad2/fa2/gt2/c_out (fulladd_gate_35)	0.00	3.16 r
csa/ad2/fa2/gt3/c_in (fulladd_gate_34)	0.00	3.16 r
csa/ad2/fa2/gt3/U2/Q (nnd2s3)	0.10	3.26 f
csa/ad2/fa2/gt3/U1/Q (nnd2s3)	0.11	3.37 r
csa/ad2/fa2/gt3/c_out (fulladd_gate_34)	0.00	3.37 r
csa/ad2/fa2/gt4/c_in (fulladd_gate_33)	0.00	3.37 r
csa/ad2/fa2/gt4/U6/Q (nnd2s3)	0.08	3.45 f
csa/ad2/fa2/gt4/U5/Q (nnd2s2)	0.10	3.55 r
csa/ad2/fa2/gt4/c_out (fulladd_gate_33)	0.00	3.55 r
csa/ad2/fa2/c_out (fulladd4_gate_1)	0.00	3.55 r
csa/ad2/c2 (d4_adder)	0.00	3.55 r
csa/ma2/c2 (mux_add4to1)	0.00	3.55 r
csa/ma2/m5/D1 (m21_20)	0.00	3.55 r
csa/ma2/m5/U3/Q (nnd2s2)	0.13	3.68 f
csa/ma2/m5/U4/Q (nnd2s3)	0.13	3.82 r
csa/ma2/m5/Y (m21_20)	0.00	3.82 r
csa/ma2/c (mux_add4to1)	0.00	3.82 r
csa/ma3/s_in (mux_add5to1_0)	0.00	3.82 r
csa/ma3/m6/S (m21_14)	0.00	3.82 r
csa/ma3/m6/U1/Q (ib1s2)	0.10	3.91 f
csa/ma3/m6/U3/Q (nnd2s3)	0.10	4.01 r
csa/ma3/m6/U4/Q (nnd2s3)	0.09	4.10 f
csa/ma3/m6/Y (m21_14)	0.00	4.10 f
csa/ma3/c (mux_add5to1_0)	0.00	4.10 f
csa/ma4/s_in (mux_add6to1)	0.00	4.10 f
csa/ma4/U1/Q (nb1s2)	0.26	4.36 f
csa/ma4/m5/S (m21_9)	0.00	4.36 f
csa/ma4/m5/U1/Q (dsmxc31s2)	0.48	4.84 r
csa/ma4/m5/Y (m21_9)	0.00	4.84 r
csa/ma4/sum[4] (mux_add6to1)	0.00	4.84 r
csa/sum[19] (carry_select_adder_26b_3345)	0.00	4.84 r
sum_reg[19]/DIN (dffles1)	0.00	4.84 r
data arrival time		4.84
clock clk' (rise edge)	5.33	5.33
clock network delay (ideal)	0.00	5.33
sum_reg[19]/CLK (dffles1)	0.00	5.33 r
library setup time	-0.49	4.84
data required time		4.84
data required time		4.84
data arrival time		-4.84
slack (MET)		0.00

<period 3.33-MET>

csa/ma4/m7/S (m21_7)	0,00	4,12 r
csa/ma4/m7/U1/Q (ib1s1)	0,09	4,21 f
csa/ma4/m7/U4/Q (oai22s2)	0,18	4,39 r
csa/ma4/m7/Y (m21_7)	0,00	4,39 r
csa/ma4/c (mux_add6to1)	0,00	4,39 r
csa/ma5/s_in (mux_add5to1_1)	0,00	4,39 r
csa/ma5/U1/Q (nb1s4)	0,28	4,67 r
csa/ma5/m2/S (m21_5)	0,00	4,67 r
csa/ma5/m2/U1/Q (mxi21s3)	0,29	4,96 f
csa/ma5/m2/U2/Q (i1s3)	0,10	5,06 r
csa/ma5/m2/Y (m21_5)	0,00	5,06 r
csa/ma5/sum[1] (mux_add5to1_1)	0,00	5,06 r
csa/sum[22] (carry_select_adder_26b_3345)	0,00	5,06 r
sum_reg[22]/DIN (dffles1)	0,00	5,06 r
data arrival time		5,06
clock clk' (rise edge)	5,30	5,30
clock network delay (ideal)	0,00	5,30
sum_reg[22]/CLK (dffles1)	0,00	5,30 r
library setup time	-0,48	4,82
data required time		4,82

data required time		4,82
data arrival time		-5,06

slack (VIOLATED)		-0,23

<period 3.30-violated>

4. Synthesis result (Area)

```
design_vision-xg-t> report_area

*****
Report : area
Design : ripple_carry_adder_26b_dff
Version: Z-2007,03-SP4
Date   : Mon Mar 27 13:27:26 2023
*****

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

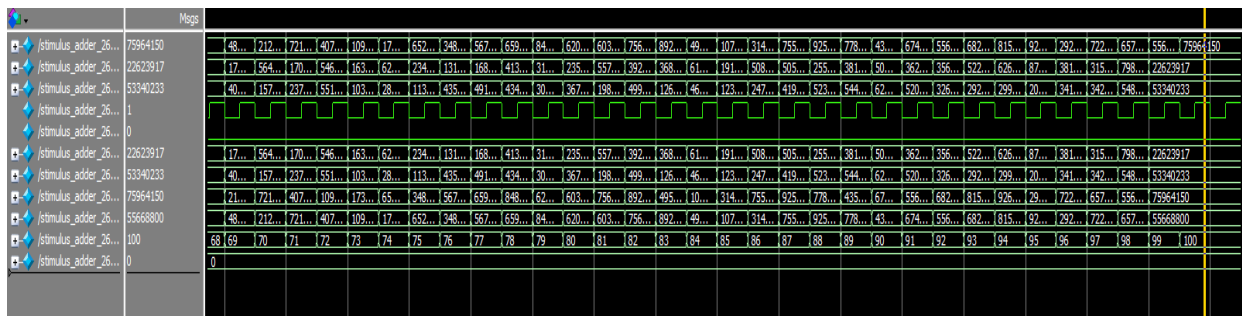
Number of ports:      161
Number of nets:       216
Number of cells:      135
Number of references:    6

Combinational area:   24534,837330
Noncombinational area: 13951,193832
Net Interconnect area: undefined (No wire load specified)

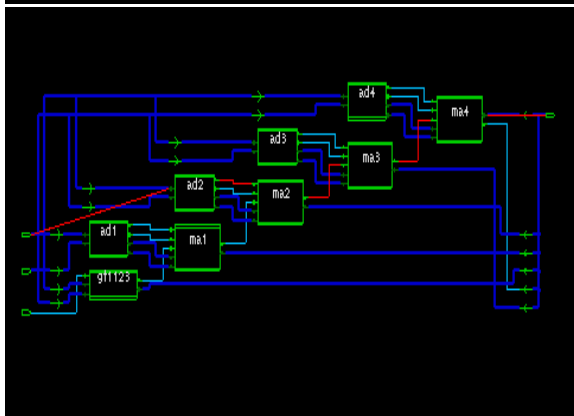
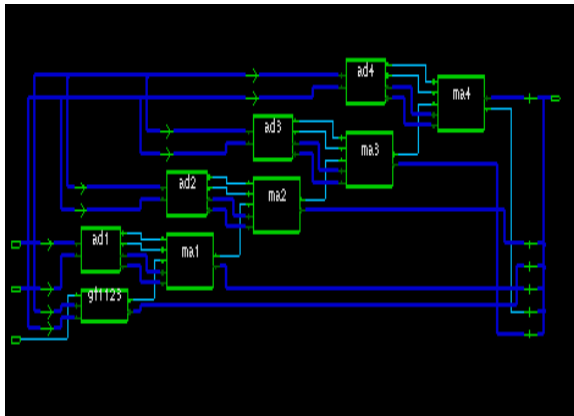
Total cell area:      38486,031250
Total area:           undefined
4
```

26bit select full adder (applying variety algorithm- $4+4+5+6+7$)

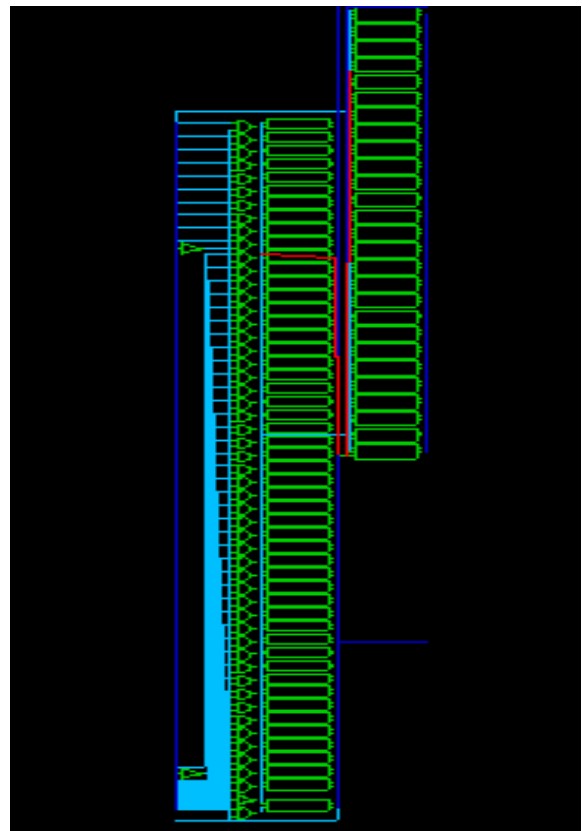
1. Timing Diagram (for 1 cycle)



2. Schematic diagram



< without clock>



<after synthesis with clock>

3. Synthesis result (Timing)

Startpoint: qa_reg[19] (rising edge-triggered flip-flop clocked by clk')
 Endpoint: sum_reg[25]
 (rising edge-triggered flip-flop clocked by clk')

Path Group: clk
 Path Type: max

Point	Incr	Path

clock clk' (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
qa_reg[19]/CLK (dffs2)	0.00	2.00 r
qa_reg[19]/Q (dffs2)	0.36	2.36 f
csa/a[19] (carry_select_adder_26b_44567)	0.00	2.36 f
csa/ad4/a[0] (d7_adder)	0.00	2.36 f
csa/ad4/fa1/a[0] (fulladd7_gate_0)	0.00	2.36 f
csa/ad4/fa1/gt1/a (fulladd_gate_14)	0.00	2.36 f
csa/ad4/fa1/gt1/U1/Q (nnd2s2)	0.38	2.74 f
csa/ad4/fa1/gt1/U3/Q (nnd2s2)	0.13	2.87 r
csa/ad4/fa1/gt1/U6/Q (nnd2s2)	0.12	2.99 f
csa/ad4/fa1/gt1/c_out (fulladd_gate_14)	0.00	2.99 f
csa/ad4/fa1/gt2/c_in (fulladd_gate_13)	0.00	2.99 f
csa/ad4/fa1/gt2/U5/Q (nnd2s2)	0.11	3.10 r
csa/ad4/fa1/gt2/U6/Q (nnd2s2)	0.12	3.22 f
csa/ad4/fa1/gt2/c_out (fulladd_gate_13)	0.00	3.22 f
csa/ad4/fa1/gt3/c_in (fulladd_gate_12)	0.00	3.22 f
csa/ad4/fa1/gt3/U5/Q (nnd2s2)	0.11	3.33 r
csa/ad4/fa1/gt3/U6/Q (nnd2s2)	0.12	3.45 f
csa/ad4/fa1/gt3/c_out (fulladd_gate_12)	0.00	3.45 f
csa/ad4/fa1/gt4/c_in (fulladd_gate_11)	0.00	3.45 f
csa/ad4/fa1/gt4/U6/Q (nnd2s2)	0.11	3.56 r
csa/ad4/fa1/gt4/U7/Q (nnd2s2)	0.13	3.70 f
csa/ad4/fa1/gt4/c_out (fulladd_gate_11)	0.00	3.70 f
csa/ad4/fa1/gt5/c_in (fulladd_gate_10)	0.00	3.70 f
csa/ad4/fa1/gt5/U5/Q (nnd2s2)	0.14	3.84 r
csa/ad4/fa1/gt5/U1/Q (nnd2s3)	0.12	3.96 f
csa/ad4/fa1/gt5/c_out (fulladd_gate_10)	0.00	3.96 f
csa/ad4/fa1/gt6/c_in (fulladd_gate_9)	0.00	3.96 f
csa/ad4/fa1/gt6/U1/Q (nnd2s3)	0.11	4.07 r
csa/ad4/fa1/gt6/U2/Q (nnd2s3)	0.11	4.18 f
csa/ad4/fa1/gt6/c_out (fulladd_gate_9)	0.00	4.18 f
csa/ad4/fa1/gt7/c_in (fulladd_gate_8)	0.00	4.18 f
csa/ad4/fa1/gt7/U1/Q (ib1s2)	0.07	4.25 r
csa/ad4/fa1/gt7/U4/Q (nnd2s2)	0.12	4.37 f
csa/ad4/fa1/gt7/U3/Q (nnd2s3)	0.16	4.53 r
csa/ad4/fa1/gt7/sum (fulladd_gate_8)	0.00	4.53 r
csa/ad4/fa1/sum[6] (fulladd7_gate_0)	0.00	4.53 r
csa/ad4/sum1[6] (d7_adder)	0.00	4.53 r
csa/ma4/s1[6] (mux_add7to1)	0.00	4.53 r
csa/ma4/m8/D0 (m21_2)	0.00	4.53 r
csa/ma4/m8/U1/Q (mxi21s3)	0.20	4.73 f
csa/ma4/m8/U2/Q (i1s3)	0.10	4.82 r
csa/ma4/m8/Y (m21_2)	0.00	4.82 r
csa/ma4/sum[6] (mux_add7to1)	0.00	4.82 r
csa/sum[25] (carry_select_adder_26b_44567)	0.00	4.82 r
sum_reg[25]/DIN (dffles1)	0.00	4.82 r
data arrival time		4.82
clock clk' (rise edge)	5.30	5.30
clock network delay (ideal)	0.00	5.30
sum_reg[25]/CLK (dffles1)	0.00	5.30 r
library setup time	-0.48	4.82
data required time		4.82

data required time		4.82
data arrival time		-4.82

slack (MET)		0.00

<period 3.30-MET>

csa/ma3/m7/U1/Q (i1s3)	0.09	4.10 r
csa/ma3/m7/U3/Q (nnd2s3)	0.09	4.19 f
csa/ma3/m7/U2/Q (nnd2s3)	0.18	4.37 r
csa/ma3/m7/Y (m21_9)	0.00	4.37 r
csa/ma3/c (mux_add6to1)	0.00	4.37 r
csa/ma4/s_in (mux_add7to1)	0.00	4.37 r
csa/ma4/m7/S (m21_1)	0.00	4.37 r
csa/ma4/m7/U2/Q (mxi21s3)	0.31	4.68 f
csa/ma4/m7/U1/Q (i1s3)	0.10	4.78 r
csa/ma4/m7/Y (m21_1)	0.00	4.78 r
csa/ma4/c (mux_add7to1)	0.00	4.78 r
csa/sum[26] (carry_select_adder_26b_44567)	0.00	4.78 r
sum_reg[26]/DIN (dffles1)	0.00	4.78 r
data arrival time		4.78
clock clk' (rise edge)	5.25	5.25
clock network delay (ideal)	0.00	5.25
sum_reg[26]/CLK (dffles1)	0.00	5.25 r
library setup time	-0.48	4.77
data required time		4.77

data required time		4.77
data arrival time		-4.78

slack (VIOLATED)		-0.01

<period 3.25 violated>

4. Synthesis result (Area)

```
design_vision-xg-t> report_area

*****
Report : area
Design : ripple_carry_adder_26b_dff
Version: Z-2007.03-SP4
Date   : Mon Mar 27 21:50:27 2023
*****

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS,

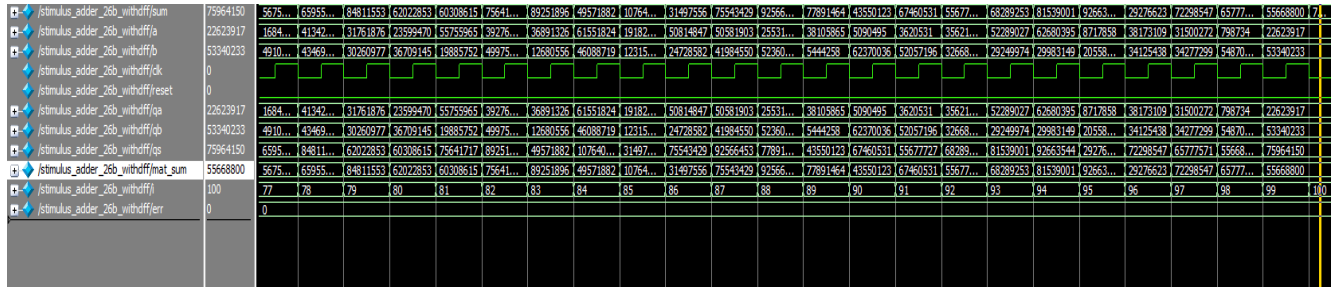
Number of ports:      161
Number of nets:       216
Number of cells:      135
Number of references:   6

Combinational area:    23506.331333
Noncombinational area: 13835.077744
Net Interconnect area: undefined (No wire load specified)

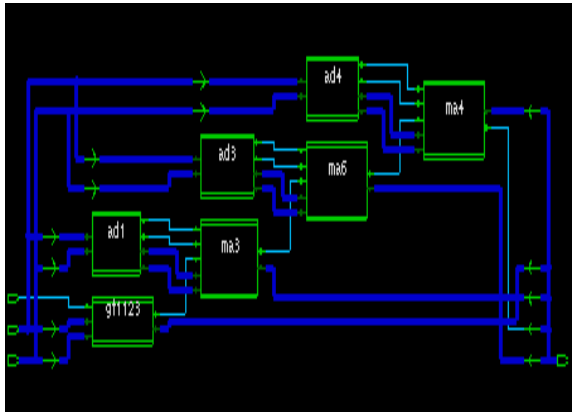
Total cell area:       37341.410156
Total area:            undefined
1
design_vision-xg-t>
```

26bit select full adder (applying variety algorithm- 6 6 7 7)

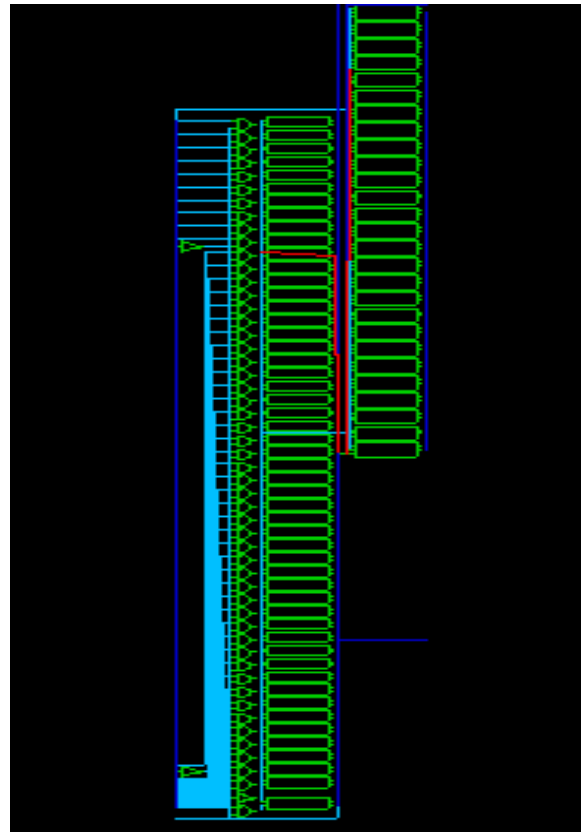
1. Timing Diagram (for 1 cycle)



2. Schematic diagram



< without clock >



< after synthesis with clock >

3. Synthesis result (Timing)

Startpoint: qb_reg[12] (rising edge-triggered flip-flop clocked by clk')		
Endpoint: sum_reg[26]		
(rising edge-triggered flip-flop clocked by clk')		
Path Group: clk		
Path Type: max		
Point	Incr	Path

clock clk' (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
qb_reg[12]/CLK (dffs2)	0.00	2.00 r
qb_reg[12]/Q (dffs2)	0.34	2.34 f
csa/b[12] (carry_select_adder_26b_6677)	0.00	2.34 f
csa/ad3/b[0] (d7_adder_0)	0.00	2.34 f
csa/ad3/fa2/b[0] (fulladd7_gate_3)	0.00	2.34 f
csa/ad3/fa2/gt1/b (fulladd_gate_21)	0.00	2.34 f
csa/ad3/fa2/gt1/U3/Q (xor2s3)	0.35	2.70 r
csa/ad3/fa2/gt1/U2/Q (nnd2s3)	0.09	2.79 f
csa/ad3/fa2/gt1/U1/Q (nnd2s3)	0.11	2.90 r
csa/ad3/fa2/gt1/c_out (fulladd_gate_21)	0.00	2.90 r
csa/ad3/fa2/gt2/c_in (fulladd_gate_20)	0.00	2.90 r
csa/ad3/fa2/gt2/U4/Q (nnd2s3)	0.10	3.00 f
csa/ad3/fa2/gt2/U5/Q (nnd2s3)	0.14	3.15 r
csa/ad3/fa2/gt2/c_out (fulladd_gate_20)	0.00	3.15 r
csa/ad3/fa2/gt3/c_in (fulladd_gate_19)	0.00	3.15 r
csa/ad3/fa2/gt3/U5/Q (nnd2s3)	0.10	3.24 f
csa/ad3/fa2/gt3/U4/Q (nnd2s3)	0.12	3.36 r
csa/ad3/fa2/gt3/c_out (fulladd_gate_19)	0.00	3.36 r
csa/ad3/fa2/gt4/c_in (fulladd_gate_18)	0.00	3.36 r
csa/ad3/fa2/gt4/U3/Q (nnd2s3)	0.10	3.46 f
csa/ad3/fa2/gt4/U2/Q (nnd2s3)	0.11	3.57 r
csa/ad3/fa2/gt4/c_out (fulladd_gate_18)	0.00	3.57 r
csa/ad3/fa2/gt5/c_in (fulladd_gate_17)	0.00	3.57 r
csa/ad3/fa2/gt5/U4/Q (nnd2s3)	0.10	3.67 f
csa/ad3/fa2/gt5/U5/Q (nnd2s3)	0.12	3.79 r
csa/ad3/fa2/gt5/c_out (fulladd_gate_17)	0.00	3.79 r
csa/ad3/fa2/gt6/c_in (fulladd_gate_16)	0.00	3.79 r
csa/ad3/fa2/gt6/U4/Q (nnd2s3)	0.10	3.89 f
csa/ad3/fa2/gt6/U3/Q (nnd2s3)	0.12	4.01 r
csa/ad3/fa2/gt6/c_out (fulladd_gate_16)	0.00	4.01 r
csa/ad3/fa2/gt7/c_in (fulladd_gate_15)	0.00	4.01 r
csa/ad3/fa2/gt7/U2/Q (nnd2s3)	0.08	4.09 f
csa/ad3/fa2/gt7/U5/Q (nnd2s2)	0.10	4.19 r
csa/ad3/fa2/gt7/c_out (fulladd_gate_15)	0.00	4.19 r
csa/ad3/fa2/c_out (fulladd7_gate_3)	0.00	4.19 r
csa/ad3/c2 (d7_adder_0)	0.00	4.19 r
csa/ma6/c2 (mux_add7to1_0)	0.00	4.19 r
csa/ma6/m7/D1 (m21_9)	0.00	4.19 r
csa/ma6/m7/U2/Q (nnd2s2)	0.13	4.32 f
csa/ma6/m7/U1/Q (nnd2s3)	0.19	4.52 r
csa/ma6/m7/Y (m21_9)	0.00	4.52 r
csa/ma6/c (mux_add7to1_0)	0.00	4.52 r
csa/ma4/s_in (mux_add7to1_1)	0.00	4.52 r
csa/ma4/m7/S (m21_1)	0.00	4.52 r
csa/ma4/m7/U2/Q (mx121s3)	0.31	4.83 f
csa/ma4/m7/U1/Q (i1s3)	0.10	4.92 r
csa/ma4/m7/Y (m21_1)	0.00	4.92 r
csa/ma4/c (mux_add7to1_1)	0.00	4.92 r
csa/sum[26] (carry_select_adder_26b_6677)	0.00	4.92 r
sum_reg[26]/DIN (dffles1)	0.00	4.92 r
data arrival time		4.92
clock clk' (rise edge)	5.40	5.40
clock network delay (ideal)	0.00	5.40
sum_reg[26]/CLK (dffles1)	0.00	5.40 r
library setup time	-0.48	4.92
data required time		4.92

data required time		4.92
data arrival time		-4.92

slack (MET)		0.00

<period 3.35-MET>

csa/ad3/fa2/gt7/U2/Q (nnd2s2)	0.10	4.16 r
csa/ad3/fa2/gt7/c_out (fulladd_gate_15)	0.00	4.16 r
csa/ad3/fa2/c_out (fulladd7_gate_3)	0.00	4.16 r
csa/ad3/c2 (d7_adder_0)	0.00	4.16 r
csa/ma6/c2 (mux_add7to1_0)	0.00	4.16 r
csa/ma6/m7/D1 (m21_9)	0.00	4.16 r
csa/ma6/m7/U3/Q (nnd2s2)	0.13	4.29 f
csa/ma6/m7/U2/Q (nnd2s3)	0.19	4.48 r
csa/ma6/m7/Y (m21_9)	0.00	4.48 r
csa/ma6/c (mux_add7to1_0)	0.00	4.48 r
csa/ma4/s_in (mux_add7to1_1)	0.00	4.48 r
csa/ma4/m8/S (m21_2)	0.00	4.48 r
csa/ma4/m8/U2/Q (mxi21s3)	0.31	4.79 f
csa/ma4/m8/U1/Q (i1s3)	0.10	4.88 r
csa/ma4/m8/Y (m21_2)	0.00	4.88 r
csa/ma4/sum[6] (mux_add7to1_1)	0.00	4.88 r
csa/sum[25] (carry_select_adder_26b_6677)	0.00	4.88 r
sum_reg[25]/DIN (dffles1)	0.00	4.88 r
data arrival time		4.88
clock clk' (rise edge)	5.35	5.35
clock network delay (ideal)	0.00	5.35
sum_reg[25]/CLK (dffles1)	0.00	5.35 r
library setup time	-0.48	4.87
data required time		4.87
data required time		4.87
data arrival time		-4.88
slack (VIOLATED)		-0.01

<period 3.35 violated>

3. Synthesis result (Area)

```
*****
Report : area
Design : ripple_carry_adder_26b_dff
Version: Z-2007.03-SP4
Date   : Mon Mar 27 13:45:08 2023
*****
```

Library(s) Used:

lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

```
Number of ports:      161
Number of nets:       216
Number of cells:      135
Number of references: 6
```

```
Combinational area:   21855.745346
Noncombinational area: 13768.725693
Net Interconnect area: undefined (No wire load specified)
```

```
Total cell area:      35624.472656
Total area:            undefined
1
```

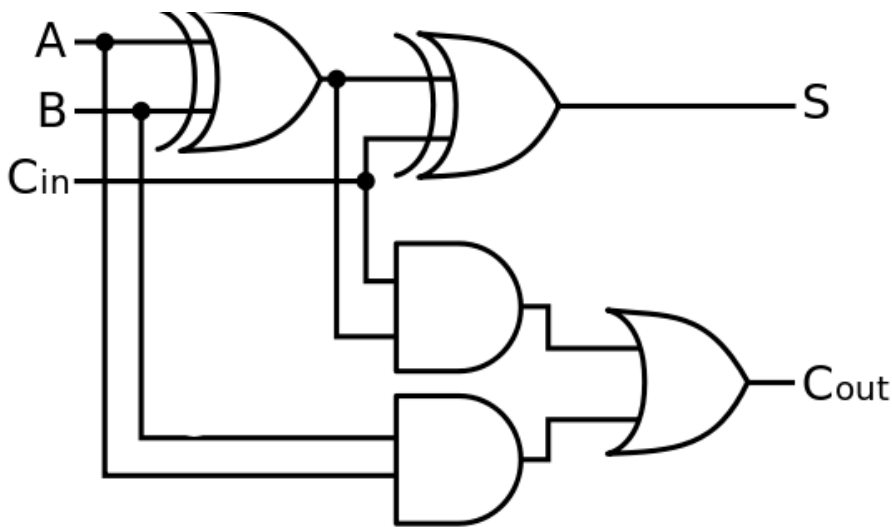
(3) Discussion

먼저 Adder 자체의 Time complexity에 대하여 고민해보자. 알려진 Instruction별 Time complexity를 조사한 결과,

	8-bit	16-bit	32-bit	r-bit
Addition	0.38	0.83	1.69	$(5r - 3)T_B$
Subtraction	0.36	0.82	1.67	$(5r - 3)T_B$
Multiplication	4.85	17.96	69.07	$(6r^2 + 4)T_B + 4rT_X$
Division	6.89	27.48	109.86	$(8r^2 - 4r + 4)T_B + (r^2 + 2r)T_X$
Absolute value	0.33	0.64	1.35	$2rT_B + rT_X$
2's compliment	0.14	0.31	0.66	$(2r - 3)T_B$
Power	8.78	34.09	135.53	$(12r^2 + 5r + 5)T_B + 8rT_X$
Logarithm	23.85	152.55	1123.13	$3r^3T_B + 55rT_B - 33T_B + 2rT_X$

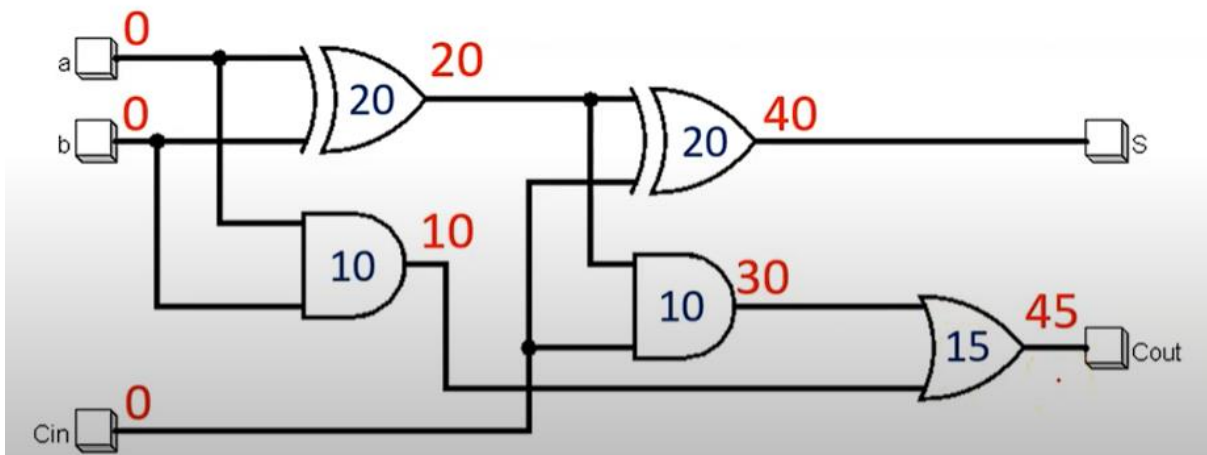
<Research gate-time complexity>

위와 같다. 이를 검증하기 위하여 이전의 02번 Report의 보고서의 discussion part를 참조하면 다음과 같이 분석할 수 있다. -26bitAdder의 경우 실제 Performance 와 Critical path를 analysis하는 방향으로 진행하자. 이제 Critical path에 대한 분석을 진행하자. 먼저 16bit full Adder이므로, Bottom up 방식의 분석을 위하여 Full adder의 schematic으로 생각하자.

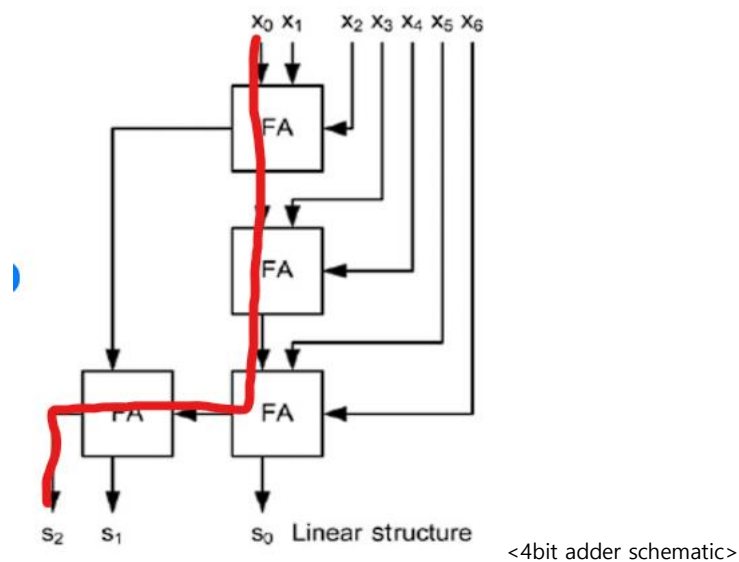


<full adder's schematic>

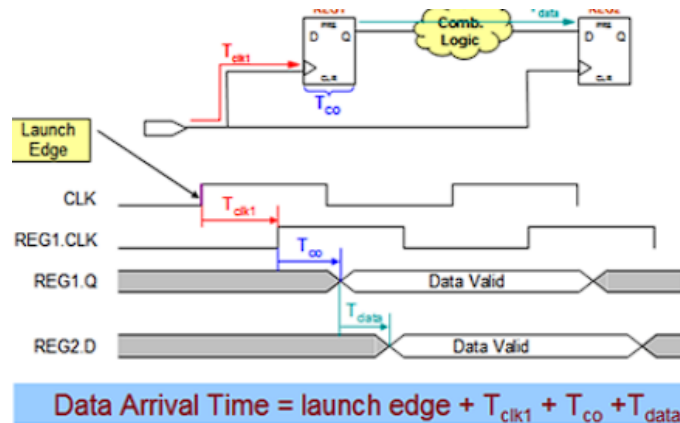
위의 Full adder 는 working left to right 하며, 각각의 gate delay 의 sum 이 회로의 largest input delay 라고 하자. 이때, and gate 의 gate delay 를 10ns, or gate 는 15ns, XOR gate 는 20ns 라고 가정하고 각각의 gate delay 를 sum 하면,



위와 같은 상황이 되고 최종적으로 회로의 max gate delay는 45ns가 된다. 따라서 critical path는 45ns를 만드는 path가 될 것이다. 이제 N-bit Full adder의 경우를 살펴보자.



앞선 논의를 그대로 가져올 경우 위의 schematic에서 Full adder를 1개의 gate로 보았을 때 45ns gate delay를 갖는 logic gate로 생각할 수 있고 위의 그림에서 4bit full adder의 경우 $45\text{ns} \times 4 = 180\text{ns}$ 의 gate delay를 갖게 된다. 따라서 해당 논의에서 N-bit full adder의 경우 $N \times 45\text{ns}$ 의 delay를 갖게 될 것이다. 같은 원리를 Experimental result에 apply해보자. 앞선 실험에서 DFF가 apply되지 않은 16bit Full adder의 data arrival time은 11.61ns과 같다. 이때, data arrival time에 대하여 간략히 설명하면,



위의 사진을 예로 들 수 있다. Data arrival time은 실제로 Data가 register2의 input D에 도달하는 시간이다. 위의 그림을 보면, Launch edge에서 시작해서 T_{clk1} (register1의 clock skew)과 T_{co} (register1의 clock to output delay) 및 T_{data} (Comb. Logic의 delay)를 더한 value가 Data Arrival time이다. 이제 우리가 위에서 구한 $N \times (\text{FA-delay})$ algorithm은 Combinational logic delay라는 것을 알 수 있다. 하지만, 그 외 Clock to output delay나 Clock skew등이 존재한다. 그렇다면 이들이 영향을 미치는 것을 알아보기 위해 N-bit FA를 design하고 이에 대한 timing report를 fitting하자. 너무 많은 bit수를 apply하지 않고, 각 2bit, 4bit 8bit를 더 넣어, timing을 비교하여 fitting해보도록 하자.

Point	Incr	Path
input external delay	0.00	0.00 r
a (in)	0.00	0.00 r
U8/Q (xor2s1)	0.38	0.38 r
U7/Q (aoi22s1)	0.26	0.64 f
U6/Q (hi1s1)	0.14	0.78 r
c_out (out)	0.00	0.78 r
data arrival time		0.78

(Path is unconstrained)

Point	Incr	Path
input external delay	0.00	0.00 r
a[0] (in)	0.00	0.00 r
__tmp100/a (fulladd_gate_0)	0.00	0.00 r
__tmp100/U4/Q (xor2s1)	0.38	0.38 r
__tmp100/U3/Q (aoi22s1)	0.26	0.64 f
__tmp100/U2/Q (hi1s1)	0.36	1.00 r
__tmp100/c_out (fulladd_gate_0)	0.00	1.00 r
__tmp101/c_in (fulladd_gate_1)	0.00	1.00 r
__tmp101/U3/Q (aoi22s1)	0.29	1.29 f
__tmp101/U2/Q (hi1s1)	0.14	1.43 r
__tmp101/c_out (fulladd_gate_1)	0.00	1.43 r
sum[2] (out)	0.00	1.43 r
data arrival time		1.43

(Path is unconstrained)

Point	Incr	Path

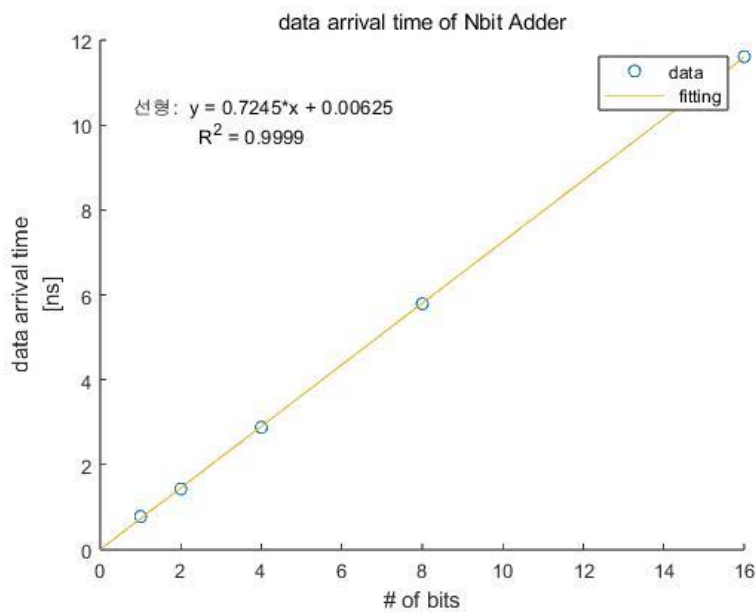
input external delay	0.00	0.00 f
a[0] (in)	0.00	0.00 f
__tmp150/a (fulladd_gate_0)	0.00	0.00 f
__tmp150/U8/Q (xor2s1)	0.32	0.32 f
__tmp150/U7/Q (aoi22s1)	0.25	0.57 r
__tmp150/U6/Q (hi1s1)	0.38	0.95 f
__tmp150/c_out (fulladd_gate_0)	0.00	0.95 f
__tmp151/c_in (fulladd_gate_3)	0.00	0.95 f
__tmp151/U7/Q (aoi22s1)	0.33	1.28 r
__tmp151/U6/Q (hi1s1)	0.40	1.68 f
__tmp151/c_out (fulladd_gate_3)	0.00	1.68 f
__tmp152/c_in (fulladd_gate_2)	0.00	1.68 f
__tmp152/U7/Q (aoi22s1)	0.33	2.01 r
__tmp152/U6/Q (hi1s1)	0.40	2.40 f
__tmp152/c_out (fulladd_gate_2)	0.00	2.40 f
__tmp153/c_in (fulladd_gate_1)	0.00	2.40 f
__tmp153/U7/Q (aoi22s1)	0.33	2.73 r
__tmp153/U6/Q (hi1s1)	0.14	2.88 f
__tmp153/c_out (fulladd_gate_1)	0.00	2.88 f
sum[4] (out)	0.00	2.88 f
data arrival time		2.88

(Path is unconstrained)		

__tmp102/U6/Q (hi1s1)	0.40	2.40 f
__tmp102/c_out (fulladd_gate_10)	0.00	2.40 f
__tmp103/c_in (fulladd_gate_9)	0.00	2.40 f
__tmp103/U7/Q (aoi22s1)	0.33	2.73 r
__tmp103/U6/Q (hi1s1)	0.40	3.13 f
__tmp103/c_out (fulladd_gate_9)	0.00	3.13 f
__tmp104/c_in (fulladd_gate_8)	0.00	3.13 f
__tmp104/U7/Q (aoi22s1)	0.33	3.46 r
__tmp104/U6/Q (hi1s1)	0.40	3.86 f
__tmp104/c_out (fulladd_gate_8)	0.00	3.86 f
__tmp105/c_in (fulladd_gate_7)	0.00	3.86 f
__tmp105/U7/Q (aoi22s1)	0.33	4.19 r
__tmp105/U6/Q (hi1s1)	0.40	4.59 f
__tmp105/c_out (fulladd_gate_7)	0.00	4.59 f
__tmp106/c_in (fulladd_gate_6)	0.00	4.59 f
__tmp106/U7/Q (aoi22s1)	0.33	4.92 r
__tmp106/U6/Q (hi1s1)	0.40	5.31 f
__tmp106/c_out (fulladd_gate_6)	0.00	5.31 f
__tmp107/c_in (fulladd_gate_5)	0.00	5.31 f
__tmp107/U7/Q (aoi22s1)	0.33	5.65 r
__tmp107/U6/Q (hi1s1)	0.14	5.79 f
__tmp107/c_out (fulladd_gate_5)	0.00	5.79 f
sum[8] (out)	0.00	5.79 f
data arrival time		5.79

(Path is unconstrained)		

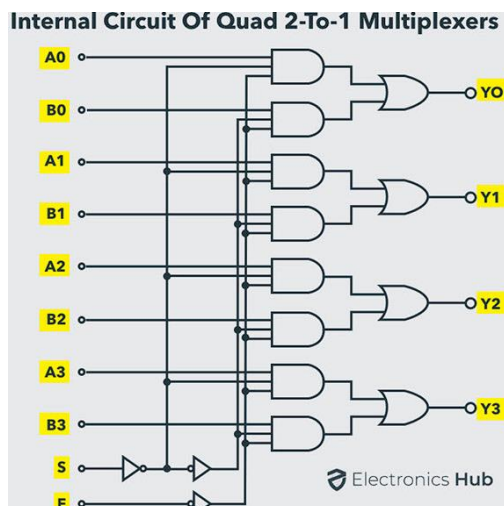
위의 Timing report는 순서대로 1bit, 2bit, 4bit, 8bit Adder이다. 이를 total data arrival time을 이용하여 해당 값들을 fitting해보면,



<Fitting result>

위와 같고, 놀랍게도 R^2 value가 0.9999로, bit가 n배 될 때마다, delay가 n배 되는 것을 알 수 있었다. 이를 통하여, 1개의 Full adder가 갖는 Avg data arrival time 은 0.7245ns와 같고, FA의 개수가 증가할 때마다, 선형적으로 Timing이 증가하는 사실을 실험적으로 check할 수 있었다. -

이제 Mux에 대한 검증을 시작하자.



Mux는 input bit의 개수에 상관없이, 회로의 Critical path가 동일한 모습을 살펴볼 수 있다. 이를 검증하기 위하여 Design Vision에 Nbit MUX를 apply하여 timing을 측정하고, 그 result value를 check하자.

Point	Incr	Path
input external delay	0.00	0.00 r
s_in (in)	0.00	0.00 r
m2/S (m21_30)	0.00	0.00 r
m2/U1/Q (dsmxc31s1)	0.41	0.41 f
m2/Y (m21_30)	0.00	0.41 f
sum[1] (out)	0.00	0.41 f
data arrival time		0.41

(Path is unconstrained)

Point	Incr	Path
input external delay	0.00	0.00 r
s_in (in)	0.00	0.00 r
m4/S (m21_21)	0.00	0.00 r
m4/U1/Q (dsmxc31s1)	0.41	0.41 f
m4/Y (m21_21)	0.00	0.41 f
sum[3] (out)	0.00	0.41 f
data arrival time		0.41

(Path is unconstrained)

Point	Incr	Path
input external delay	0.00	0.00 r
s_in (in)	0.00	0.00 r
m8/S (m21_33)	0.00	0.00 r
m8/U1/Q (dsmxc31s1)	0.41	0.41 f
m8/Y (m21_33)	0.00	0.41 f
sum[6] (out)	0.00	0.41 f
data arrival time		0.41

(Path is unconstrained)

위의 사진은 순서대로 2,4,7bit MUX의 timing report이다. 위의 Adder의 Result와 동일하게, Mux역시 예상한 그대로 constant timing을 보여주었다. 이를 이용하면, Adder는 bit에 비례하게 data arrival time(이하 DAT)이 증가하고, MUX는 constant DAT가 걸린다면, 수업에서 사용한 Idea인 Select adder를 사용할 수 있을 것이다. 이때, 우리는 Mux가 circuit에서 직전 gate의 output dependent하다는 것을 기억하자. adder의 경우엔 회로 전체 최고 bit수에 의지하지만, MUX는 design한 개수에 의존한다는 사실이다. 즉, MUX는 결국 이전 MUX의 output data에 의존하므로, 이 역시 개수에 Linear하게 증가한다. 결국 Adder는 bit에 Linear하게, MUX는 사용한 MUX개수에 Linear하게 증가한다는 사실을 알 수 있다. 그렇다면 두 가지 Result를 apply하여 1bit adder의 DAT를 0.7245ns로 쓰고, MUX의 DAT를 0.41ns로 쓰자. 이후 Optimization을 진행하기 위해 MUX의 개수를 fix하자. MUX의 개수가 0개이면 기본 26bit adder와 동일하고, 1개이면 13bit,13bit으로 쪼갤 수 있다. 2개이면 8 9 9 와 같다. 3개이면, 6 6 7 7과 동일하다. 4개인 경우, 44567과 같다. 5개인 경우, 334565와 같다. 이를 통해 SUM한 결과를 표로 나타내보자.

이제 Critical path를 분석하자. 이를 분석하기 위해 간략한 Select adder의 사진을 쓰자.

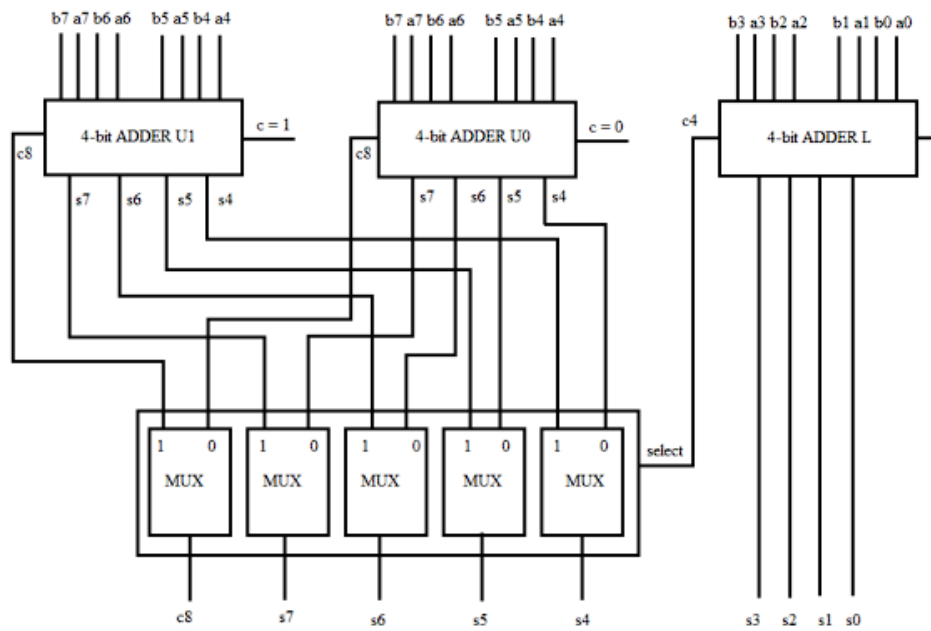


Fig1. 8-bit Carry Select Adder

위의 사진은 8bit carry adder이다. 이번에는 마지막 bit로부터 따라서 올라가면, MUX에 input으로 들어오는 path들의 gate delay가 같고, 모든 input이 Simultaneous하게 apply 되는데, Mux에서 Output이 동시에 출력되므로 delay가 같다. 이를 이용하여 생각해보면, 마지막 MUX의 input으로 들어오는 bit들이 같은 정도의 Time delay를 가짐을 알 수 있다. 이를 통하여 마지막 Mux로 출력되는 모든 path가 모두 Critical path임을 알 수 있다. 실제로 위의 Timing report를 살펴보면, 다 output의 위치나 input의 위치가 계속 바뀌는 현상을 볼 수 있다.

MUX의 수	배열	Sum process	계산된 DAT [ns]
3	6 6 7 7	7adder+2mux	5.89
4	4 4 5 6 7	7adder+1mux	5.48
5	3 3 4 5 6 5	6adder+2mux	5.17
6	2 2 3 4 5 6 4	6adder+2mux	5.17

위와 같다. (Sum processing은 Critical path를 따졌을 때의 DAT이다.)

계산 상으로는 334565, 22234564가 가장 빠른 Circuit이라는 사실을 알 수 있다. 이를

바탕으로 실제 회로를 설계하여 delay를 이용하면, 이 때, Design_vision을 이용하여 Non-clk applied Select adder의 결과를 보면,

MUX의 수	배열	Theoretical DAT [ns]	Experimental DAT [ns]
3	6 6 7 7	5.89	7.25
4	4 4 5 6 7	5.48	6.24
5	3 3 4 5 6 5	5.17	5.93
6	2 2 3 4 5 6 4	5.17	5.68

와 같은데, 이는 실제로 회로에 apply되면서 다양한 요소들이 추가되었기 때문이라 생각된다. (이 때, 위의 circuit에서 Critical path를 apply하여 단순합을 한 과정이라 오류가 있을 수 있다. 또한 맨 아래의 추가 자료를 참고하면 해당 data의 결과표가 첨부되어 있다.) 그렇다면 Clk를 apply했을 때에도, MUX의 개수 순서대로 6 5 4 3 순서로 clk speed가 빠른 것도 아니었다. 순서는 의외로 4 5 3 6 순서의 clk speed를 가짐을 알 수 있었다. 이는 전반적으로 일치하나, MUX 5,6 개의 Select adder가 상대적인 성능이 Clk apply전후로 감소한 것을 볼 수 있는데, 수 차례의 Synthesis 이후에도 performance가 크게 개선되지 않는 것을 보아 Random성이 있는 Synthesis임에도 유의미하게 performance가 떨어지고, Mux 3개의 Select adder는 performance가 개선된 것을 볼 수 있었다. 실제로 MUX 4개 select adder가 3개의 Select adder보다도 performance가 거의 비슷한 것으로 미루어 보았을 때, MUX가 Clk가 apply되었을 때, Performance가 adder에 비해 Expectation value가 낮은 것이라는 추론을 할 수 있었다. (보고서 2번을 참고하면, Clk를 tight하게 push하였을 때, Circuit의 Overall performance가 증가하는 현상이 두드러지는 것을 확인할 수 있었다.

이제 26Ripple carry adder와 select adder간의 Performance, 즉 max CLK speed를 비교하자.

	Period(ns)	Max clk speed (Hz) (bigger is better)	Rank
26bit carry	6.50	1.56E+8	5
Select adder (2234564)	3.60	2.78E+8	4

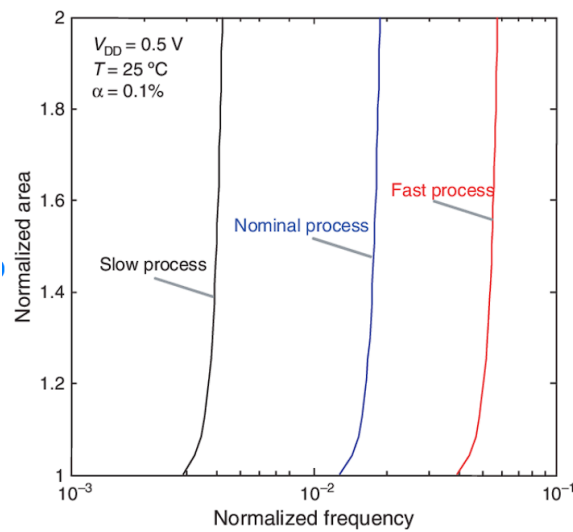
Select adder (334565)	3.33	3.00E+8	2
Select adder (44567)	3.30	3.03E+8	1
Select adder (6677)	3.35	2.99	3

와 같다. 이처럼 기존 clk가 apply되지 않았을 때의 순위와 크게 바뀐 것을 볼 수 있었다. 이는 명백히 Adder가 mux에 비하여 clock-friendly한 특성을 가짐을 알 수 있었다. 또한, fundamental한 bit carry adder와 많게는 1.94x improved된 performance를 갖는 것을 보아 select carry adder가 mux를 apply함으로 더 좋은 성능을 가짐을 알 수 있었다. (실제로 clk를 apply한 Timing report를 보면 MUX가 adder보다 더 큰 time delay를 갖는 것을 알 수 있다.)

다음은 Area를 살펴보자.

	Area (μm^2) (smaller is better)	MUX, Adder 수	Area Rank
26bit carry	26334	0,26	1
Select adder (2234564)	36238	6,50	3
Select adder (334565)	38486	5,49	5
Select adder (44567)	37341	4,48	4
Select adder (6677)	35624	3,46	2

와 같은 결과를 보여주었다. 예상대로 Gate를 많이 쓰지 않은 26bit Ripple carry adder가 좋은 Area를 보여주었고, 이외에 단순 Gate 수로만 보았을 때에는 2234564 select adder가 가장 높았지만, Clock을 tight하게 push했던 334565 select adder가 더 높은 Area를 보여주었다. 이를 통해 단순히 Gate의 수가 아닌 Clock의 Push도 Area에 영향을 주는 것을 알 수 있었다. 즉, Clock speed가 빨라질수록, Area가 커진다는 사실이다. 이는



<Research gate -Frequency vs Area>

위의 Graph에서도 실험적으로 검증된 사실이다. 이를 우리 실험에서도 검증할 수 있었다.

마지막으로 회로의 본질적으로 중요한 점인 Verification을 보자. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 덧셈을 이용한 output 결과를 만들었다. 즉, 앞서 언급한 operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file에 apply하고, 앞에서 본 결과를 살펴보면 먼저 a와 b의 sum이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다. 이를 통하여 회로의 logic이 26bit adder의 역할을 잘 수행하고 있음을 알 수 있었다.

추가로, Adder의 clk friendly한 point를 check하기 위하여, 444446을 apply해보았다. Non-clocked circuit을 바탕으로 예상한 value는 4.95ns로, 가장 압도적인 performance를 보여야 했으나, 실제 min period는 3.6으로, 가장 떨어지는 performance를 보여주었다. 이를 통하여 Mux가 clk applied상황에서 performance의 향상 폭이 adder에 비하여 떨어진다는 사실을 확실하게 검증할 수 있었다.

csa/ma23/U1/Q (ib1s1)	0.13	4.40	r
csa/ma23/U2/Q (i1s3)	0.09	4.49	f
csa/ma23/m2/S (m21_11)	0.00	4.49	f
csa/ma23/m2/U2/Q (mxi21s1)	0.40	4.90	f
csa/ma23/m2/U1/Q (ib1s1)	0.19	5.09	r
csa/ma23/m2/Y (m21_11)	0.00	5.09	r
csa/ma23/sum[1] (mux_add4to1_1)	0.00	5.09	r
csa/sum[17] (carry_select_adder_26b_4444)	0.00	5.09	r
sum_reg[17]/DIN (dffles1)	0.00	5.09	r
data arrival time		5.09	
clock CLK_0' (rise edge)	5.60	5.60	
clock network delay (ideal)	0.00	5.60	
sum_reg[17]/CLK (dffles1)	0.00	5.60	r
library setup time	-0.48	5.12	
data required time		5.12	
data required time		5.12	
data arrival time		-5.09	
slack (MET)	0.03		<period 3.6-met,3.5-violated in 444446>

(4) Conclusion

해당 실습에서 중요한 요소인 다양한 26bit adder에 Vector를 apply하여 Verification을 진행하였다. 일련의 process가 Circuit의 reliability를 check할 수 있는 중요한 요소임을 알 수 있었다. 두 번째로 진행한 과정은 MUX를 apply하여 adder의 performance improvement를 이끌어 내는 것이다. 우리는 먼저 CLK를 제거한 채로 Theoretical하게 circuit의 performance를 check했고, non-clk applied circuit -> clk applied circuit으로 넘어가는 process에서 예상한 상황과 다르게 clk applied 상태에서 MUX에서의 time delay가 1bit adder에서의 time delay보다 높은 것을 알 수 있었다. 이를 통해 Adder가 mux에 비하여 clk friendly하며, 44567의 combination이 best performance를 나타내는 것을 알 수 있었다. 또한 Time delay를 분석하는 과정에서 Critical path가 예상과 실제 실험이 동등함을 알 수 있었다.

마지막 테마는 Area이다. Area는 Clk period와 반비례하는 모습을 보였으며, 실제 알려진 문헌 자료와 일치함을 check했다. 따라서 Area를 결정하는 것이, Gate의 수 뿐 아닌 Clk가 중요한 역할을 하며, 그 이유는 Max clk speed를 얻기 위해 Capacitance를 키우거나 Resistance를 늘리는 등의 과정으로 다이의 면적이 커지기 때문임을 알 수 있었다.

(5) Reference

Verilog HDL -joseph Cavanagh
 Verilog HDL 이론 -한양대학교 전자전기공학부
 Quora- CPU clock speed vs power vs area

(6) 추가자료

na2/c (mux_add3to1)	0,00	3,10 f			
na3/s_in (mux_add4to1_0)	0,00	3,10 f	na2/m5/Y (n21_1)	0,00	4,04 f
na3/m5/S (n21_19)	0,00	3,10 f	na2/c (mux_add4to1_1)	0,00	4,04 f
na3/m5/U1/Q (dsnxc31s1)	0,66	3,76 r	na3/s_in (mux_add5to1_0)	0,00	4,04 f
na3/m5/Y (n21_19)	0,00	3,76 r	na3/m6/S (n21_30)	0,00	4,04 f
na3/c (mux_add4to1_0)	0,00	3,76 r	na3/m6/U1/Q (dsnxc31s1)	0,70	4,74 r
na4/s_in (mux_add5to1)	0,00	3,76 r	na3/m6/Y (n21_30)	0,00	4,74 r
na4/m6/S (n21_13)	0,00	3,76 r	na3/c (mux_add5to1_0)	0,00	4,74 r
na4/m6/U1/Q (dsnxc31s1)	0,79	4,55 f	na4/s_in (mux_add6to1)	0,00	4,74 r
na4/m6/Y (n21_13)	0,00	4,55 f	na4/m7/S (n21_6)	0,00	4,74 r
na4/c (mux_add5to1)	0,00	4,55 f	na4/m7/U1/Q (dsnxc31s1)	0,76	5,50 f
na5/s_in (mux_add6to1)	0,00	4,55 f	na4/m7/Y (n21_6)	0,00	5,50 f
na5/m7/S (n21_6)	0,00	4,55 f	na4/c (mux_add6to1)	0,00	5,50 f
na5/m7/U1/Q (dsnxc31s1)	0,64	5,19 r	na5/s_in (mux_add5to1_1)	0,00	5,50 f
na5/m7/Y (n21_6)	0,00	5,19 r	na5/m6/S (n21_13)	0,00	5,50 f
na5/c (mux_add6to1)	0,00	5,19 r	na5/m6/U1/Q (dsnxc31s1)	0,42	5,93 r
na6/s_in (mux_add4to1_1)	0,00	5,19 r	na5/m6/Y (n21_13)	0,00	5,93 r
na6/m5/S (n21_1)	0,00	5,19 r	na5/c (mux_add5to1_1)	0,00	5,93 r
na6/m5/U1/Q (dsnxc31s1)	0,49	5,68 f	sum[26] (out)	0,00	5,93 r
na6/m5/Y (n21_1)	0,00	5,68 f	data arrival time		5,93
na6/c (mux_add4to1_1)	0,00	5,68 f			
sum[26] (out)	0,00	5,68 f			
data arrival time		5,68			
(Path is unconstrained)			(Path is unconstrained)		
na2/s_in (mux_add3to1)	0,00	4,18 r	na3/m7/U1/Q (dsnxc31s1)	0,89	5,97 r
na2/m6/S (n21_13)	0,00	4,18 r	na3/m7/Y (n21_6)	0,00	5,97 r
na2/m6/U1/Q (dsnxc31s1)	0,79	4,97 f	na3/c (mux_add6to1)	0,00	5,97 r
na2/m6/Y (n21_13)	0,00	4,97 f	na6/s_in (mux_add7to1_0)	0,00	5,97 r
na2/c (mux_add5to1_1)	0,00	4,97 f	na6/m7/S (n21_44)	0,00	5,97 r
na3/s_in (mux_add6to1)	0,00	4,97 f	na6/m7/U1/Q (dsnxc31s1)	0,84	6,81 f
na3/m7/S (n21_6)	0,00	4,97 f	na6/m7/Y (n21_44)	0,00	6,81 f
na3/m7/U1/Q (dsnxc31s1)	0,75	5,72 r	na6/c (mux_add7to1_0)	0,00	6,81 f
na3/m7/Y (n21_6)	0,00	5,72 r	na4/s_in (mux_add7to1_1)	0,00	6,81 f
na3/c (mux_add6to1)	0,00	5,72 r	na4/m7/S (n21_18)	0,00	6,81 f
na4/s_in (mux_add7to1)	0,00	5,72 r	na4/m7/U1/Q (dsnxc31s1)	0,44	7,25 r
na4/m7/S (n21_18)	0,00	5,72 r	na4/m7/Y (n21_18)	0,00	7,25 r
na4/m7/U1/Q (dsnxc31s1)	0,51	6,24 f	na4/c (mux_add7to1_1)	0,00	7,25 r
na4/m7/Y (n21_18)	0,00	6,24 f	sum[26] (out)	0,00	7,25 r
na4/c (mux_add7to1)	0,00	6,24 f	data arrival time		7,25
sum[26] (out)	0,00	6,24 f			
data arrival time		6,24			
(Path is unconstrained)			(Path is unconstrained)		