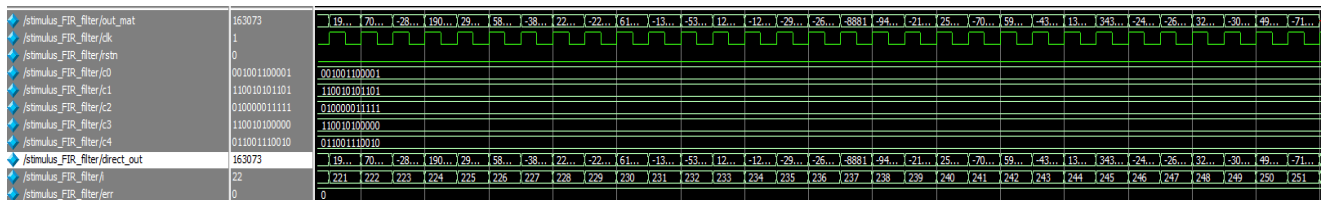
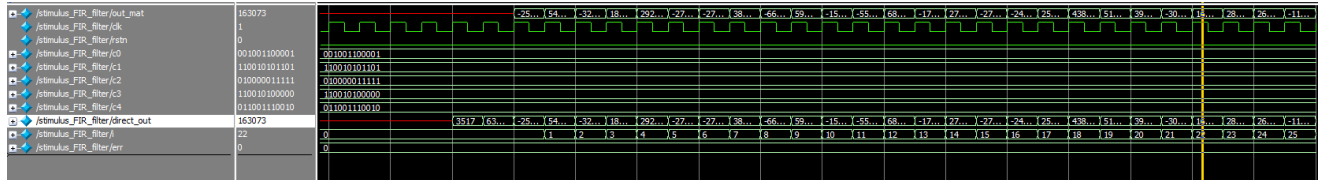


(1) Experimental Goal

이번 실험은 FIR을 설계하는 과정이다. FIR의 경우 Finite Impulse filter의 약자로, 유한한 길이의 임펄스의 응답을 갖는 필터이다. 이는 출력이 입력으로 들어가지 않는 비 재귀적인 구조를 갖는다. 본 실험에서는 다섯 개의 coeff를 갖는 FIR Filter를 구현한다.

(2) Result

1. Direct-form FIR



Design : Direct_FORM_FIR
Version: Z-2007.03-SP4
Date : Mon May 8 20:21:25 2023

Library(s) Used:

lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS

Operating Conditions: nom_pvt Library: lec25dscc25_SS
Wire Load Model Mode: top

Global Operating Voltage = 2.25
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pF
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 19.9449 mW (67%)
Net Switching Power = 9.9509 mW (33%)

Total Dynamic Power = 29.8958 mW (100%)
Cell Leakage Power = 678.4018 uW

Report : area
Design : Direct_FORM_FIR
Version: Z-2007.03-SP4
Date : Mon May 8 20:20:48 2023

Library(s) Used:

lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports: 96
Number of nets: 580
Number of cells: 147
Number of references: 32

Combinational area: 228817.641632
Noncombinational area: 14282.965225
Net Interconnect area: undefined (No wire load specified)

Total cell area: 243100.609375
Total area: undefined

add_1_root_add_48_4/U312/Q (xor2s2)	0,41	9,59 r	Operating Conditions: nom_pvt Library: lec25dsc25_SS Wire Load Model Mode: top
add_1_root_add_48_4/SUM[20] (Direct_FORM_FIR_DW01_add_2)	0,00	9,59 r	
add_0_root_add_48_4/B[20] (Direct_FORM_FIR_DW01_add_1)	0,00	9,59 r	Startpoint: c112/q_reg[2] (rising edge-triggered flip-flop clocked by clk) Endpoint: df22/q_reg[21] (rising edge-triggered flip-flop clocked by clk)
add_0_root_add_48_4/U240/Q (or2s3)	0,22	9,81 r	
add_0_root_add_48_4/U175/Q (and2s2)	0,19	10,00 r	Path Group: clk Path Type: max
add_0_root_add_48_4/U227/Q (nnd2s2)	0,10	10,10 f	
add_0_root_add_48_4/U228/Q (nnd2s2)	0,10	10,20 r	Point
add_0_root_add_48_4/U238/Q (xnr2s2)	0,30	10,50 f	
add_0_root_add_48_4/SUM[21] (Direct_FORM_FIR_DW01_add_1)	0,00	10,50 f	Incr
df22/d[21] (D_FF22)	0,00	10,50 f	
df22/q_reg[21]/CLRB (dffcs1)	0,00	10,50 f	Path
data arrival time	0,00	10,50	
clock clk (rise edge)	11,00	11,00	clock clk (rise edge)
clock network delay (ideal)	0,00	11,00	
df22/q_reg[21]/CLK (dffcs1)	0,00	11,00 r	c112/q_reg[2]/CLK (dffcs2)
library setup time	-0,50	10,50	
data required time		10,50	c112/q_reg[2]/QN (dffcs2)
data arrival time		-10,50	
slack (MET)	0,00		c112/q_reg[2]/Q (dffcs2)

2. Transpose Form FIR

stimulus_Trans_F...	078aaa	3961d2	021b10	053e33	3f61ef	395ee0	007681	3c4f87	078aaa	3ee921
stimulus_Trans_F...	1									
stimulus_Trans_F...	0									
stimulus_Trans_F...	001001100001									
stimulus_Trans_F...	110010101101									
stimulus_Trans_F...	010000011111									
stimulus_Trans_F...	110010100000									
stimulus_Trans_F...	672									
stimulus_Trans_F...	078aaa	3961d2	021b10	053e33	3f61ef	395ee0	007681	3c4f87	078aaa	3ee921
stimulus_Trans_F...	250	243	244	245	246	247	248	249	250	251
stimulus_Trans_F...	0	0								

stimulus_Trans_F...	3961d2	3c1fe6	085c33	3b1d1d	02d044	0475c8	3bd054	3bdf72
stimulus_Trans_F...	0							
stimulus_Trans_F...	0							
stimulus_Trans_F...	001001100001							
stimulus_Trans_F...	110010101101							
stimulus_Trans_F...	010000011111							
stimulus_Trans_F...	110010100000							
stimulus_Trans_F...	672							
stimulus_Trans_F...	3961d2	09b939	3c1fe6	085c33	3b1d1d	02d044	0475c8	3bd054
stimulus_Trans_F...	243			1	2	3	4	5
stimulus_Trans_F...	0							6

Global Operating Voltage = 2,25

Power-specific unit information :

Voltage Units = 1V

Capacitance Units = 1,000000pf

Time Units = 1ns

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1pW

Library(s) Used:

lec25dsc25_SS (File: /home/admin/lib/lec25/lec25dsc25_SS.db)

Number of ports: 96

Number of nets: 662

Number of cells: 191

Number of references: 43

Combinational area: 243001,068722

Noncombinational area: 20205,162140

Net Interconnect area: undefined (No wire load specified)

Total Dynamic Power = 46,7147 mW (100%)

Cell Leakage Power = 701,8758 uW

Total cell area: 263206,218750

Total area: undefined

data arrival time	8,49	*****
Report : timing		
clock clk (rise edge)	9,00	-path full
clock network delay (ideal)	0,00	-delay max
c005/q_reg[20]/CLK (dffcs1)	0,00	-max_paths 1
library setup time	-0,51	Design : Transe_FORM_FIR
data required time	8,49	Version: Z-2007,03-SP4
		Date : Mon May 8 20:36:43 2023

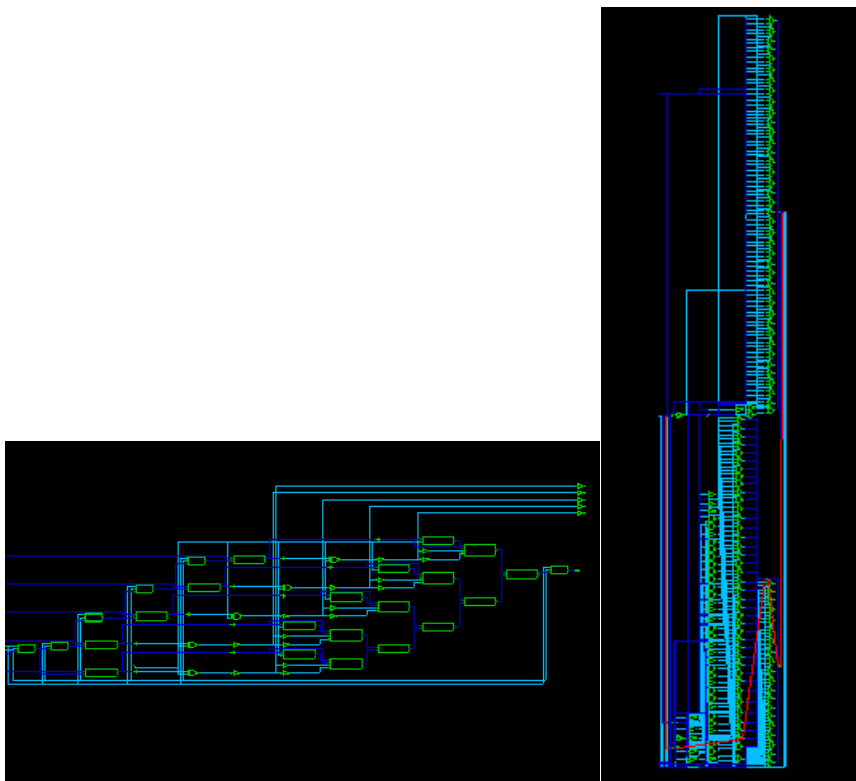
data required time	8,49	Operating Conditions: nom_pvt Library: lec25dsc25_SS
data arrival time	-8,49	Wire Load Model Mode: top
slack (MET)	0,00	Startpoint: c000/q_reg[1] (rising edge-triggered flip-flop clocked by clk)
		Endpoint: c005/q_reg[20]

(3) Discussion

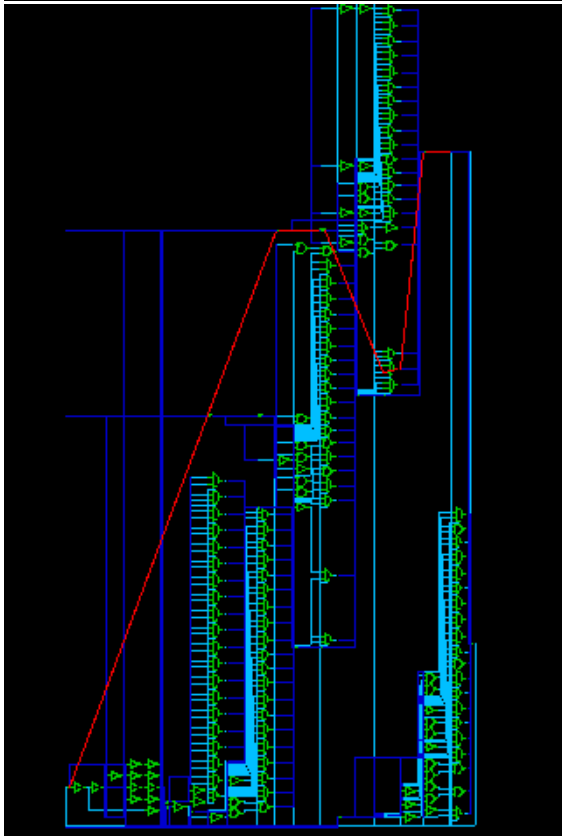
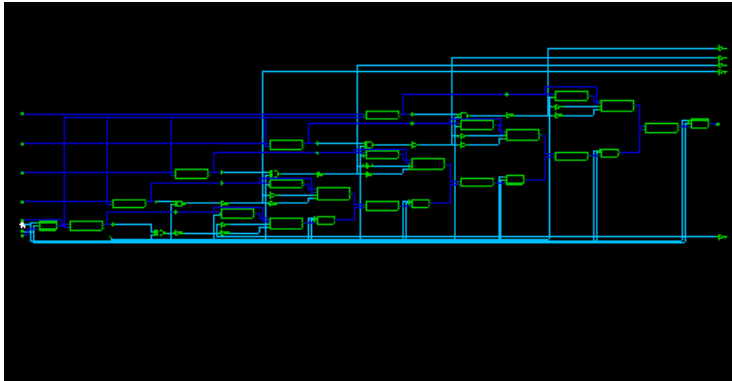
	Direct_form	Transpose_form	비교 [%]
Min period [ns]	10	8	-20
Clock speed [Hz]	10^8	$1.25 \cdot 10^8$	20
Data arrival time [ns]	10.50	8.49	-19.2
Area [μm^2]	243100	263206	8.2
Total power [mW]	29.9	46.7	56.1

모든 정보들을 정리하면 위와 같다.

Transpose 과정을 통하여 performance 를 20% 향상시키는 대신, Power consumption 에서 56.1% 만큼 더 소모하는 것을 알 수 있었다. 실제로 회로를 설계하는 입장이 된다면 해당 부분에서의 Trade off 를 고려하여 Direct form 과 Transpose form 중 하나를 결정하게 될 것 같다. 하지만 Area 부분에서는 큰 손실이나 이득이 없음을 알 수 있었다. 다음은 Critical path 이다.



Direct form에서는 위와 같은 Critical path를 확인할 수 있었다. 실제로 정성적으로 생각해보면, 한 개의 multiplier와 4개의 adder를 거쳐야 하므로, 해당 path가 critical path임을 확인할 수 있었다. 하지만, critical path는 같으나 정성적인 생각과 다른 점은, 앞에서 계산하고 첫 번째 adder를 거치는 동안, 다른 C 값끼리 먼저 더해지고 있었다는 것이다. 마치 MUX를 이용한 carry select adder와 같이 병렬화가 된 것이었다.



Transpose form은 위와 같다.

해당 회로에서 역시, 정성적으로 입력 값이 5개로 나누어져, 동시에 하나의 multiplier와 adder를 거치는데, 따라서 이 중 하나가 critical path가 되는 것을 알 수 있었다. 이 역시 DFF를 거치고, C1과의 곱 이후 $C2+C3+C4$ 의 결과와 덧셈을 하는 것으로 critical path는 같으나 정성적인 생각과 다른 점은, 병렬화가 이루어졌다는 사실을 알 수 있었다. 마치 MUX를 이용한 carry select adder와 같이 병렬화가 된 것이었다.

마지막으로 Verification 이다. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 mul, add를 이용한 output 결과를 만들었다. 즉, 앞서 언급한 operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file에 apply하고, 앞에서 본 결과를 살펴보면 먼저 a와 b의 연산이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다.

(4) Reference

Verilog HDL -joseph Cavanagh

Verilog HDL 이론 -한양대학교 전자전기공학부

Quora- CPU clock speed vs power vs area

ResearchGate – Circuit Area vs frequency

[3](#)

고려대학교 전자전기공학부 – VLSI design practice07