

(1) Experimental Goal

이번 실험은 FFT_unit을 설계하기 위한 하위 block 들을 design하는 과정이다. 이 때, Complex multiplier, Complex Adder ,W_valueslector(Twiddle factor selector),continuous_dff 를 설계한다. 설계를 할 때, 최대한 reg보다 Wire를 활용하면서 면적을 줄이고, 최적 화하도록 노력해보자.

(2) Result

1. Complex Adder (Butterfly unit)

/st_Butterfly/C1	00000001011000...	0...	11110...	11101...	00011...	00000...	00001...	11010...	00000...	11101...	11111...	11011...	11011...	11010...	11100...	11110...	00011...	00000...	00000...	11010...	11011...	00000...	00000...
/st_Butterfly/C2	11111101010000...	1...	00001...	00010...	00001...	00101...	00100...	11110...	00000...	00010...	11001...	11100...	00001...	00001...	11111...	00101...	00001...	00011...	11110...	00000...	11110...	11011...	11111...
/st_Butterfly/A	11111110101100...	0...	11111...	11111...	00100...	00110...	11100...	00000...	00000...	11000...	11100...	11100...	00011...	00100...	00011...	11010...	00011...	11010...	11001...	11010...	11001...	11110...	11111...
/st_Butterfly/B	00000100001000...	0...	11100...	11011...	00010...	11010...	11100...	00000...	11011...	00100...	11111...	11000...	11000...	11100...	11100...	00001...	11010...	00010...	11010...	11010...	11010...	00100...	00000...
/st_Butterfly/C	00000001011000...	0...	11110...	11101...	00011...	00000...	00001...	11010...	00000...	11101...	11111...	11011...	11010...	11100...	11110...	00011...	00000...	00000...	11010...	11011...	00000...	00000...	00000...
/st_Butterfly/D	11111101010000...	1...	00001...	00010...	00001...	00101...	00100...	11110...	00000...	00010...	11001...	11100...	00001...	00001...	11111...	00101...	00001...	00011...	11110...	00000...	11110...	11011...	11111...
/st_Butterfly/I	1023	1...	1003	1004	1005	1006	1007	1008	1009	1010	1011	1012	1013	1014	1015	1016	1017	1018	1019	1020	1021	1022	1023
/st_Butterfly/err	0	0																					

/st_Butterfly/C1	11101010100100...	11111...	00000...	11110...	11111...	00001...	00000...	00101...	11011...	00011...	11100...	11110...	11111...	00010...	11111...	11010...	00001...	11111...	11010...	00001...	11011...	11110...	11111...	00...
/st_Butterfly/C2	00010001001111...	11010...	11010...	00011...	11011...	00100...	00010...	11110...	11100...	11101...	00001...	11010...	00100...	11101...	11010...	11111...	00110...	00000...	00000...	00010...	11010...	11110...	11111...	00...
/st_Butterfly/A	11111011110011...	11010...	11011...	00001...	11010...	00101...	00010...	00100...	11000...	00001...	11110...	11001...	00100...	11111...	11010...	11010...	00110...	11011...	00010...	11110...	11010...	11110...	11110...	00...
/st_Butterfly/B	11011001011000...	00101...	00110...	11011...	00100...	11101...	11110...	00111...	11110...	00101...	11011...	00100...	11010...	00100...	00101...	11011...	00111...	11000...	11010...	00001...	11000...	00010...	11110...	00...
/st_Butterfly/C	11101010100100...	11111...	00000...	11110...	11111...	00001...	00000...	00101...	11011...	00011...	11100...	11110...	11111...	00010...	11111...	11010...	00001...	11111...	11010...	00001...	11011...	11110...	11111...	00...
/st_Butterfly/D	00010001001111...	11010...	11010...	00011...	11011...	00100...	00010...	11110...	11100...	11101...	00001...	11010...	00100...	11101...	11010...	11111...	11010...	00000...	00000...	00010...	11100...	11110...	11111...	00...
/st_Butterfly/I	1004	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
/st_Butterfly/err	0	0																						

Global Operating Voltage = 2.25

Power-specific unit information :

Voltage Units = 1V

Capacitance Units = 1.000000pf

Time Units = 1ns

Dynamic Power Units = 1mW (derived from V,C,T units)

Leakage Power Units = 1pW

Cell Internal Power = 12.5566 mW (85%)

Net Switching Power = 2.1499 mW (15%)

Total Dynamic Power = 14.7065 mW (100%)

Cell Leakage Power = 193.2517 nW

Design : Butterfly

Version: Z-2007.03-SP4

Date : Tue May 30 22:58:18 2023

_library(s) Used:

lec25dsc25_SS (File: /home/admin/lib/lec25/lec25dsc25_SS.db)

Number of ports: 96

Number of nets: 100

Number of cells: 4

Number of references: 4

Combinational area: 8941.363243

Noncombinational area: 0.000000

Net Interconnect area: undefined (No wire load specified)

Total cell area: 8941.363281

Total area: undefined

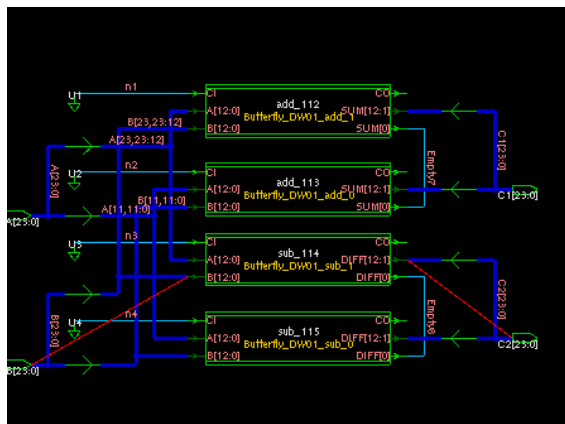
1

design vision-xe-t> report_power

<power & area report>

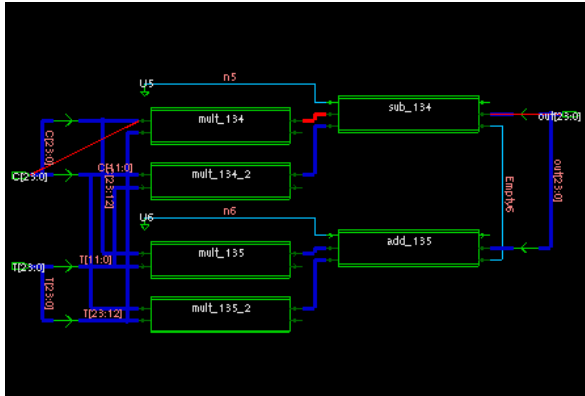
Point	Incr	Path
input external delay	0,00	0,00 r
B[13] (in)	0,00	0,00 r
sub_114/B[1] (Butterfly_DW01_sub_1)	0,00	0,00 r
sub_114/U11/Q (hi1s1)	0,42	0,42 f
sub_114/U2_1/OUTC (fadd1s2)	0,67	1,09 f
sub_114/U2_2/OUTC (fadd1s2)	0,48	1,56 f
sub_114/U2_3/OUTC (fadd1s2)	0,48	2,04 f
sub_114/U2_4/OUTC (fadd1s2)	0,48	2,51 f
sub_114/U2_5/OUTC (fadd1s2)	0,48	2,99 f
sub_114/U2_6/OUTC (fadd1s2)	0,48	3,46 f
sub_114/U2_7/OUTC (fadd1s2)	0,48	3,94 f
sub_114/U2_8/OUTC (fadd1s2)	0,48	4,42 f
sub_114/U2_9/OUTC (fadd1s2)	0,48	4,89 f
sub_114/U2_10/OUTC (fadd1s2)	0,48	5,37 f
sub_114/U2_11/OUTC (fadd1s2)	0,48	5,84 f
sub_114/U2_12/OUTS (fadd1s2)	0,76	6,60 r
sub_114/DIFF[12] (Butterfly_DW01_sub_1)	0,00	6,60 r
C2[23] (out)	0,00	6,60 r
data arrival time		6,60

(Path is unconstrained)



2. complex multiplier

[illegible]



```

Global Operating Voltage = 2.25
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW (derived from V,C,T units)
  Leakage Power Units = 1pW

library(s) Used:
  lec25dsc25_SS (File: /home/admin/lib/lec25/lec25dsc25_SS.db)

Number of ports:      72
Number of nets:      162
Number of cells:      6
Number of references: 6

Cell Internal Power = 163.9274 mW (64%)
Net Switching Power = 91.0553 mW (36%)
-----
Total Dynamic Power = 254.9827 mW (100%)
Cell Leakage Power  = 1.2053 mW

Combinational area: 108051.149948
Noncombinational area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 108051.148438
Total area: undefined
l

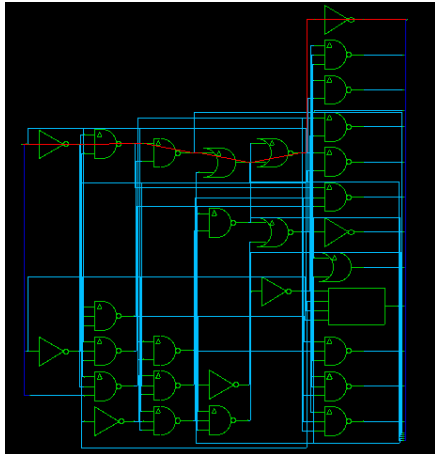
```

Startpoint: C[15] (input port)
 Endpoint: out[23] (output port)
 Path Group: (none)
 Path Type: max

Point	Incr	Path
input external delay	0.00	0.00 f
C[15] (in)	0.00	0.00 f
mult_134/a[3] (Twiddle_Factor_DW_mult_tc_3)	0.00	0.00 f
mult_134/U99/Q (ab1s1)	0.07	0.07 r
mult_134/A021i/Q (aoi21s1)	0.16	0.23 f
mult_134/U1/Q (hi1s1)	0.27	0.50 r
mult_134/U314/Q (nb1s2)	0.51	1.01 r
mult_134/U230/Q (oa121s2)	0.29	1.29 f
mult_134/U103/OUTS (fadd1s2)	0.65	1.95 r
mult_134/U40/OUTS (fadd1s2)	0.68	2.63 f
mult_134/product[2] (Twiddle_Factor_DW_mult_tc_3)	0.00	2.63 f
sub_134/H[2] (Twiddle_Factor_DW01_sub_0)	0.00	2.63 f
sub_134/U37/Q (or2s1)	0.32	2.95 f
sub_134/U35/Q (aoi22s2)	0.28	3.23 r
sub_134/U30/Q (and2s1)	0.26	3.49 r
sub_134/U19/Q (aoi22s2)	0.28	3.77 f
sub_134/U34/Q (or2s1)	0.34	4.11 f
sub_134/U32/Q (aoi22s2)	0.28	4.39 r
sub_134/U29/Q (and2s1)	0.26	4.66 r
sub_134/U13/Q (aoi22s2)	0.28	4.94 f
sub_134/U14/Q (or2s1)	0.34	5.28 f
sub_134/U11/Q (aoi22s2)	0.28	5.56 r
sub_134/U10/Q (and2s1)	0.26	5.82 r
sub_134/U7/Q (aoi22s2)	0.28	6.10 f
sub_134/U17/Q (or2s1)	0.34	6.44 f
sub_134/U15/Q (aoi22s2)	0.28	6.72 r
sub_134/U20/Q (and2s1)	0.26	6.99 r
sub_134/U1/Q (aoi22s2)	0.29	7.28 f
sub_134/U2_10/OUTC (fadd1s2)	0.52	7.80 f
sub_134/U2_11/OUTC (fadd1s2)	0.47	8.28 f
sub_134/U2_12/OUTC (fadd1s2)	0.47	8.75 f
sub_134/U2_13/OUTC (fadd1s2)	0.47	9.22 f
sub_134/U2_14/OUTC (fadd1s2)	0.47	9.70 f
sub_134/U2_15/OUTC (fadd1s2)	0.47	10.17 f
sub_134/U2_16/OUTC (fadd1s2)	0.47	10.65 f
sub_134/U2_17/OUTC (fadd1s2)	0.47	11.12 f
sub_134/U2_18/OUTC (fadd1s2)	0.47	11.60 f
sub_134/U2_19/OUTC (fadd1s2)	0.47	12.07 f
sub_134/U2_20/OUTC (fadd1s2)	0.47	12.54 f
sub_134/U2_21/OUTS (fadd1s2)	0.76	13.30 r
sub_134/DIFF[21] (Twiddle_Factor_DW01_sub_0)	0.00	13.30 r
out[23] (out)	0.00	13.30 r
data arrival time		13.30

(Path is unconstrained)

3. W_unit



```

*****
Report : area
Design : W
Version: Z-2007.03-SP4
Date : Tue May 30 23:16:05 2023
*****

..library(s) Used:
    lec25dsc25_SS (File: /home/adwin/lib/lec25/lec25dsc25_SS.db)

Number of ports:      27
Number of nets:       34
Number of cells:      30
Number of references:  6

Combinational area:   1318,809597
Noncombinational area: 0,000000
Net Interconnect area: undefined (No wire load specified)

Total cell area:      1318,809570
Total area:           undefined
1
design vision>

Global Operating Voltage = 2,25
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1,000000pf
    Time Units = 1ns
    Dynamic Power Units = 1mW (derived from V,C,T units)
    Leakage Power Units = 1pW

Cell Internal Power = 785,6749 uW (70%)
Net Switching Power = 338,3583 uW (30%)
-----
Total Dynamic Power = 1,1240 mW (100%)

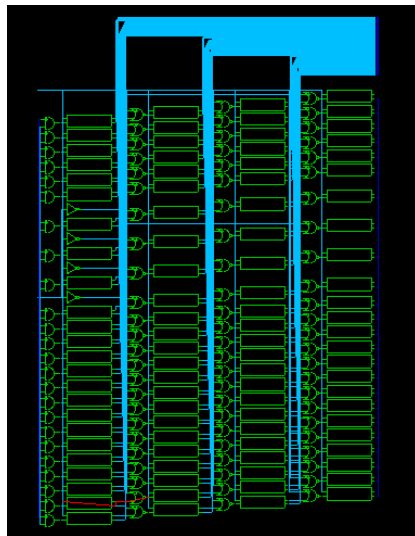
Cell Leakage Power = 70,8659 nW

Startpoint: idx[2] (input port)
Endpoint: out[3] (output port)
Path Group: (none)
Path Type: max

Point              Incr      Path
-----
input external delay      0,00      0,00 r
idx[2] (in)              0,00      0,00 r
U90/Q (hi1s1)            0,44      0,44 f
U89/Q (nnd3s1)           0,52      0,96 r
U73/Q (nnd2s1)           0,14      1,10 f
U72/Q (or2s1)            0,30      1,40 f
U70/Q (nor2s1)           0,17      1,56 r
U63/Q (hi1s1)            0,13      1,70 f
out[3] (out)             0,00      1,70 f
data arrival time                1,70
-----
(Path is unconstrained)

```

4. shift reg_4b



```
*****
Report : area
Design : shifter_4
Version: Z-2007.03-SP4
Date : Tue May 30 23:31:39 2023
*****

Library(s) Used:

lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:      122
Number of nets:      294
Number of cells:     196
Number of references: 4

Combinational area:   4313.087997
Noncombinational area: 15129.023438
Net Interconnect area: undefined (No wire load specified)

Total cell area:      19442.111328
Total area:           undefined
```

Discussion

이번 design 은 FFT unit 을 만들기위한 다양한 모듈들을 직접 만들어보는 시간을 가졌다. 사실 크게 언급할 내용은 없다. FFT unit 에서 필요한 butterfly unit, complex multiplier, 4b shifter, W_unit 을 설계하면 되었다. 사실 Discrete Fourier Transform 은 면적이 매우 커지는 것을 알 수 있다. 이러한 문제를 해결하기 위해 Divide & conquer algorithm 을 이용하여 Fast Fourier transform 을 회로로 구현할 수 있는데, 이를 위해서는 두개의 입력에 대해 합과 차를 구하는 Butter fly unit, complex multiplier 가 필요하다. 주어진 Stimulus 를 구현하고 하는 과정에서 면적과 power 를 구할 수 있었다. 사실 clk 가 apply 되지 않아서 timing report 는 크게 고민할 필요가 없지만 그래도 캡처하여 첨부하였다. Shifter 를 제외하고는 전부 combinational circuit 으로 구성되어 있으며 사실 shifter 도 critical path 가 존재하지 않는, 즉 clock set up time 만 존재하는 circuit 이다. Critical path 역시 중요하지 않은 것이, behave level 로 design 했기에 compiler 가 직접 선택해서 critical path 를 정했을 것이다. 즉, 우리가 아는 multiplier 나 adder 가 아닌 다양한 module 을 써서 설계했기에 critical path 가 달라질 수 있는 것이다. 또한 회로가 크게 복잡하지 않으므로 더 이상의 설명은 생략하자. Truncation 을 생각하면 회로에서 adder, sub unit 을 apply 하는 경우 13bit 이 된다. 앞의 12bit 을 truncation 하였고 이후에 multiplier 에 apply 되는 상황에도 이를 사용하였다.

마지막으로 Verification 이다. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage

를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 mul, addedr을 이용한 output 결과를 만들었다. 즉, 앞서 언급한 operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file에 apply하고, 앞에서 본 결과를 살펴보면 먼저 a와 b의 연산이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다.

(3) Reference

Verilog HDL -joseph Cavanagh

Verilog HDL 이론 -한양대학교 전자전기공학부

Quora- CPU clock speed vs power vs area

ResearchGate – Circuit Area vs frequency

고려대학교 전자전기공학부 – VLSI design practice10