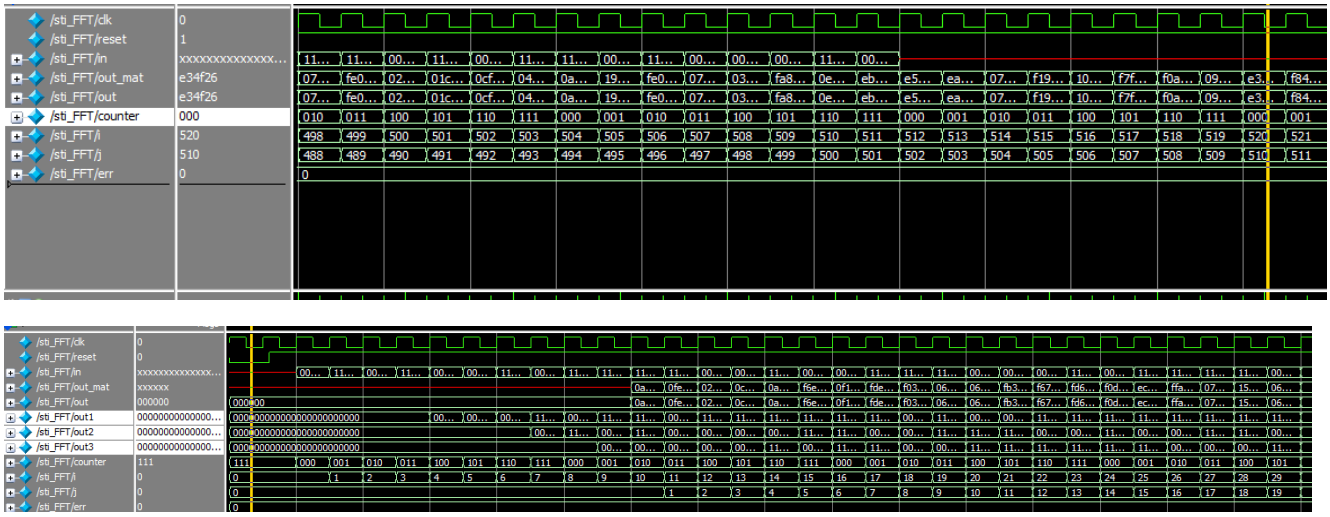
VLSI11 Report 2017160111 안진모

(1) Experimental Goal

이번 실습은 FFT_unit을 설계하는 실습이었다. 기존의 10번 실습에서 제작했던 butterfly 등의 module을 합성하여 Full FFT unit을 설계하였다. 사실 FFT 유닛의 경우, Clock signal processing이 굉장히 중요한데, 이를 counter로 apply하여 직접적인 signal processing이 가능하였다.

(2) Result

1. FFT_unit



<timing diagram>

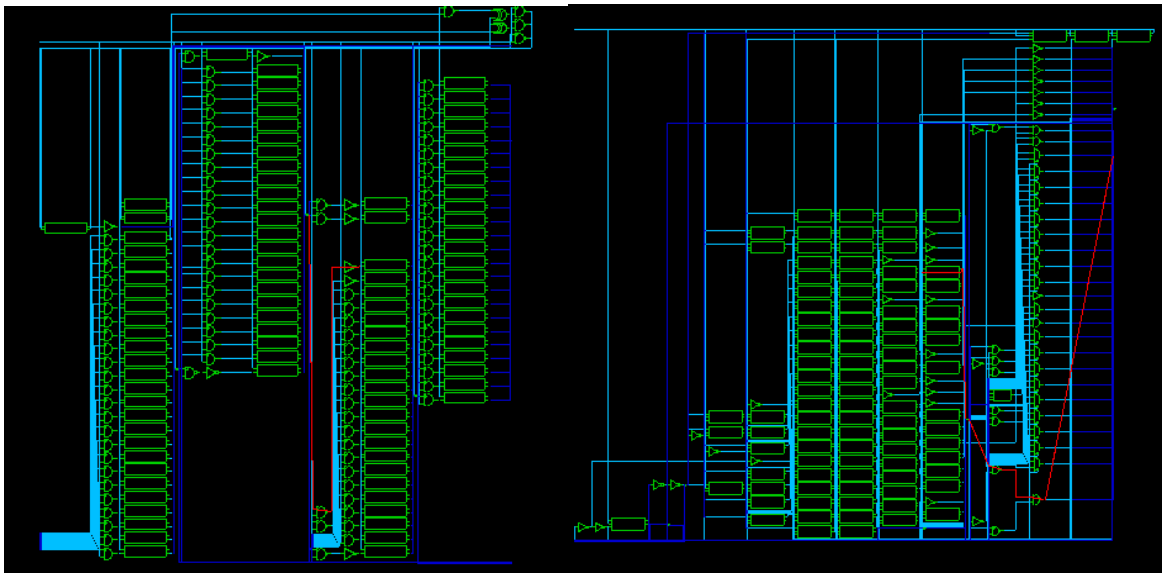
(out1,out2,out3는 각각 3개의 continuous FFT unit의 part입니다.)

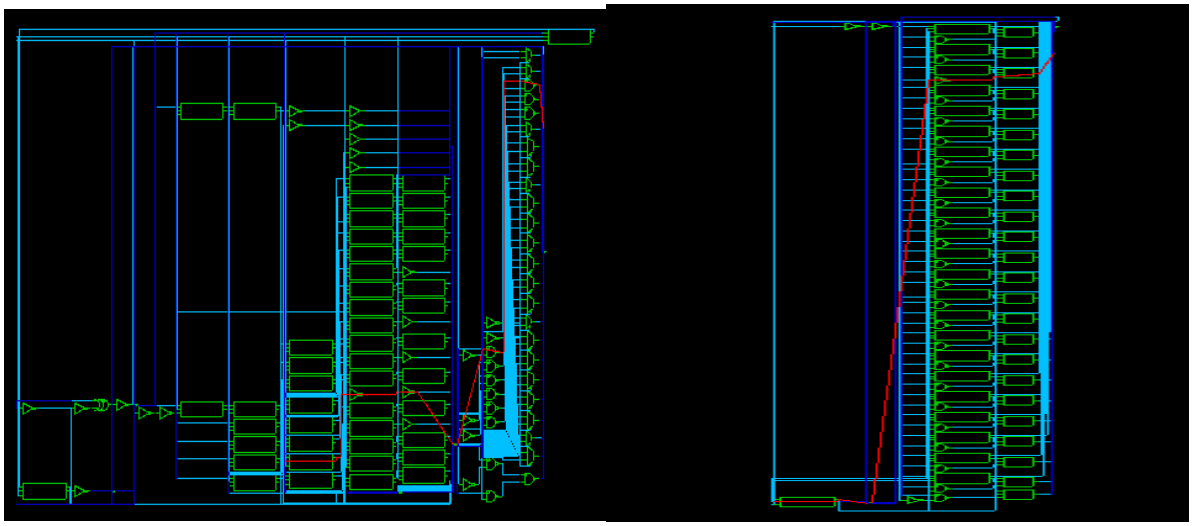
```
****************************************
Report : power
        -analysis_effort low
Design : top_FFT
Version: Z-2007.03-SP4
Date   : Tue Jun  6 13:59:15 2023
****************************************


Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)


Operating Conditions: nom_pvt   Library: lec25dscc25_SS
Wire Load Model Mode: top


Global Operating Voltage = 2.25
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000pf
    Time Units = 1ns
    Dynamic Power Units = 1mW    (derived from V,C,T units)
    Leakage Power Units = 1pW


  Cell Internal Power  =  12.3137 mW   (71%)
  Net Switching Power  =   5.1074 mW   (29%)
                         ---------
Total Dynamic Power    =  17.4211 mW  (100%)

Cell Leakage Power     =   4.3041 mW
```

```
****************************************
Report : area
Design : top_FFT
Version: Z-2007.03-SP4
Date   : Tue Jun  6 13:59:10 2023
****************************************

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:              125
Number of nets:               309
Number of cells:              212
Number of references:          14

Combinational area:       390749.251640
Noncombinational area:    44300.437744
Net Interconnect area:      undefined  (No wire load specified)

Total cell area:          435049.687500
Total area:                 undefined
```

```
                                                  0.00       1.41 r
ft2/tw2/mult_254_2/U549/Q (i1s4)                  0.15       1.56 f
ft2/tw2/mult_254_2/U638/Q (ib1s5)                 0.15       1.72 r
ft2/tw2/mult_254_2/U756/Q (xnr2s1)                0.42       2.14 f
ft2/tw2/mult_254_2/U632/Q (oai22s2)               0.40       2.54 r
ft2/tw2/mult_254_2/U596/OUTC (hadd1s3)            0.44       2.97 r
ft2/tw2/mult_254_2/U868/Q (nnd2s1)                0.15       3.12 f
ft2/tw2/mult_254_2/U870/Q (nnd3s2)                0.29       3.42 r
ft2/tw2/mult_254_2/U233/OUTS (fadd1s3)            0.64       4.06 f
ft2/tw2/mult_254_2/U232/OUTS (fadd1s3)            0.82       4.88 r
ft2/tw2/mult_254_2/U488/Q (nor2s3)                0.16       5.04 f
ft2/tw2/mult_254_2/U915/Q (oai21s3)               0.25       5.29 r
ft2/tw2/mult_254_2/U921/Q (aoi21s3)               0.28       5.57 f
ft2/tw2/mult_254_2/U628/Q (nnd2s2)                0.21       5.78 r
ft2/tw2/mult_254_2/U933/Q (aoi21s3)               0.22       6.00 f
ft2/tw2/mult_254_2/U936/Q (xor2s2)                0.43       6.43 r
ft2/tw2/mult_254_2/product[17] (Twiddle_Factor_1_DW_mult_tc_2)
                                                  0.00       6.43 r
ft2/tw2/sub_254/B[17] (Twiddle_Factor_1_DW01_sub_0)
                                                  0.00       6.43 r
ft2/tw2/sub_254/U207/Q (i1s6)                     0.11       6.54 f
ft2/tw2/sub_254/U225/Q (nor2s3)                   0.12       6.66 r
ft2/tw2/sub_254/U174/Q (nor2s3)                   0.13       6.79 f
ft2/tw2/sub_254/U173/Q (nnd2s2)                   0.16       6.95 r
ft2/tw2/sub_254/U231/Q (i1s3)                     0.08       7.03 f
ft2/tw2/sub_254/U223/Q (nnd2s3)                   0.09       7.13 r
ft2/tw2/sub_254/U240/Q (nnd2s3)                   0.12       7.25 f
ft2/tw2/sub_254/U177/Q (aoi21s3)                  0.23       7.48 r
ft2/tw2/sub_254/U311/Q (xor2s2)                   0.28       7.76 r
ft2/tw2/sub_254/DIFF[19] (Twiddle_Factor_1_DW01_sub_0)
                                                  0.00       7.76 r
ft2/tw2/out[21] (Twiddle_Factor_1)                0.00       7.76 r
ft2/U25/Q (nnd2s2)                                0.10       7.86 f
ft2/U23/Q (nnd2s2)                                0.10       7.96 r
ft2/out[21] (FFT_but_2nd)                         0.00       7.96 r
U326/Q (nnd2s2)                                   0.09       8.05 f
U325/Q (ib1s1)                                    0.13       8.19 r
in3_reg[21]/DIN (dffs1)                           0.00       8.19 r
data arrival time                                            8.19

clock clkk (rise edge)                            8.50       8.50
clock network delay (ideal)                       0.00       8.50
in3_reg[21]/CLK (dffs1)                           0.00       8.50 r
library setup time                               -0.31       8.19
data required time                                           8.19
--------------------------------------------------------------------------
data required time                                           8.19
data arrival time                                           -8.19
--------------------------------------------------------------------------
slack (MET)                                                  0.00
```

```
Operating Conditions: nom_pvt   Library: lec25dscc25_SS
Wire Load Model Mode: top

  Startpoint: ft2/i1_reg[9]
              (rising edge-triggered flip-flop clocked by clkk)
  Endpoint: in3_reg[21]
            (rising edge-triggered flip-flop clocked by clkk)
  Path Group: clkk
  Path Type: max

  Point                                                   Incr       Path
  -----------------------------------------------------------------------------
  clock clkk (rise edge)                                  1.00       1.00
  clock network delay (ideal)                             0.00       1.00
  ft2/i1_reg[9]/CLK (dffcs2)                              0.00       1.00 r
  ft2/i1_reg[9]/QN (dffcs2)                               0.25       1.25 f
  ft2/i1_reg[9]/Q (dffcs2)                                0.16       1.41 r
  ft2/tw2/C[9] (Twiddle_Factor_1)                         0.00       1.41 r
  ft2/tw2/mult_254_2/a[9] (Twiddle_Factor_1_DW_mult_tc_2)
                                                          0.00       1.41 r
  ft2/tw2/mult_254_2/U549/Q (i1s4)                        0.15       1.56 f
  ft2/tw2/mult_254_2/U638/Q (ib1s5)                       0.15       1.72 r
  ft2/tw2/mult_254_2/U756/Q (xnr2s1)                      0.42       2.14 f
  ft2/tw2/mult_254_2/U632/Q (oai22s2)                     0.40       2.54 r
  ft2/tw2/mult_254_2/U596/OUTC (hadd1s3)                  0.44       2.97 r
  ft2/tw2/mult_254_2/U868/Q (nnd2s1)                      0.15       3.12 f
  ft2/tw2/mult_254_2/U870/Q (nnd3s2)                      0.29       3.42 r
  ft2/tw2/mult_254_2/U233/OUTS (fadd1s3)                  0.64       4.06 f
  ft2/tw2/mult_254_2/U232/OUTS (fadd1s3)                  0.82       4.88 r
  ft2/tw2/mult_254_2/U488/Q (nor2s3)                      0.16       5.04 f
  ft2/tw2/mult_254_2/U915/Q (oai21s3)                     0.25       5.29 r
  ft2/tw2/mult_254_2/U921/Q (aoi21s3)                     0.28       5.57 f
  ft2/tw2/mult_254_2/U628/Q (nnd2s2)                      0.21       5.78 r
  ft2/tw2/mult_254_2/U933/Q (aoi21s3)                     0.22       6.00 f
  ft2/tw2/mult_254_2/U936/Q (xor2s2)                      0.43       6.43 r
```

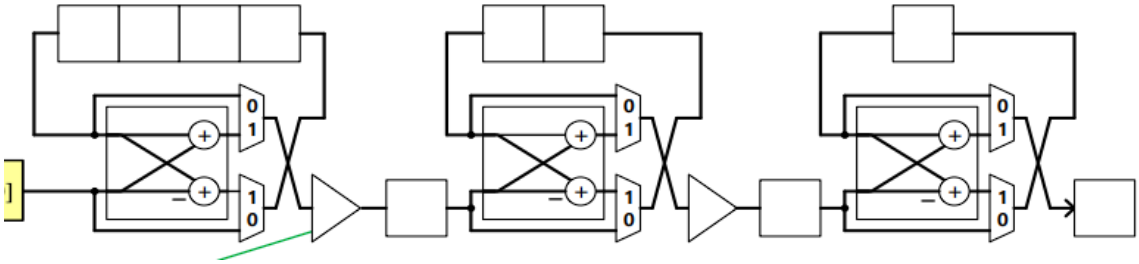




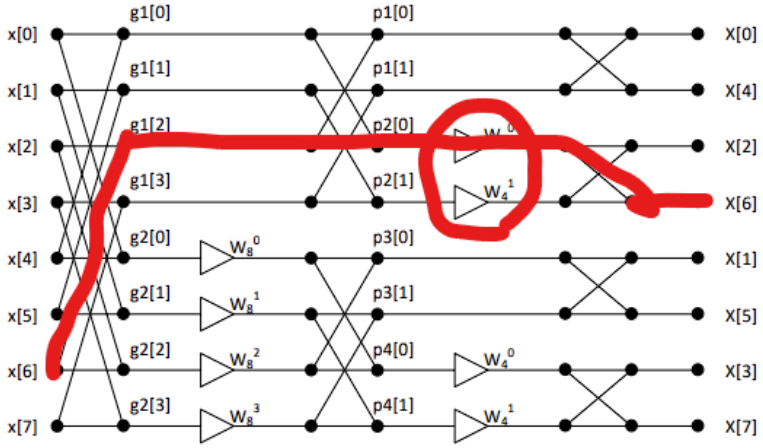
<Synthesis는 위에서부터 Topmodule , 1st_FFt, 2nd FFt,3rd FFt이다.>

Discussion

사실 해당 unit을 설계할 때, signal processing을 하기위해 심혈을 기울였다.



Figure를 보면서 확인하자. 각 맨 왼쪽부터 FFT1, FFT2, FFT3라 하면, FFT1은 4개의 shifter가 apply되어 3bit counter의 signal processing 이후, 2bit, 1bit이 되는 것을 알 수 있다. 이 때, computational unit (butter fly unit)의 mux processing은 각 counter[2] , counter[1]^counter[0], counter[0]를 apply하였는데, 이는 가운데 유닛은 7,8,11,12,...인 상황에서 켜지고 마지막 유닛은 1 클락 단위로 켜지기 때문이다. 이를 통해 signal processing으로 회로를 구현할 수 있었다. 다음은 Critical path를 보자. Input은 i1_reg[9] 부터 output in3_reg[21]이다. 즉, input 의 9th bit부터 output 의 21번째 bit인 것이다. Critical path를 보면, 위의 그림을 보았을 때, input Clock qdelay이후 twiddle factor를 바로 지난후, 2번째 pipe line으로 들어간다. 이후, 2번째 pipeline의 twiddle factor 에서 곱셈을 진행한 후, 3번째 파이프라인으로 들어간다. 3번째 파이프라인에서 q딜레이후 아웃풋 으로 나오게 되는 것이 Critical path이다. 사실 몇 번째 bit인지는 중요치 않은 것이, multiplier나 Signed adder가 EDA tool에 의해 다양하게 바뀌었을 것이기 때문이다. 이 때문에 몇 번째 비트인 지는 중요치 않고 전체적 흐름이 중요하다고 볼 수 있다. 이를 간략화된 회로에 나타내면,



위의 그림과 같이 critical path가 진행되는 것이라 생각한다.

이제 power와 Area, clock period를 분석하자.

	FFT_unit
period [ns]	7.5
Clock speed [MHz]	133
Data arrival time [ns]	8.19
Area [μm^2]	44300
Total power [mW]	17.4

모든 값을 표로 정리하면 위와 같다. 뚜렷한 reference가 없어 빠르거나 energy efficiency에 대해서는 판단하기가 어렵다. 하지만, pipelining으로 fundamental 8bit DFT보다 performance면에서 앞설 것으로 판단된다.

마지막으로 Verification 이다. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 mul,addedr을 이용한 output 결과를 만들었다. 즉, 앞서 언급한

operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file에 apply하고, 앞에서 본 결과를 살펴보면 먼저 input과 c의 연산이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다.

(3) **Reference**

Verilog HDL -joseph Cavanagh
Verilog HDL 이론 -한양대학교 전자전기공학부
Quora- CPU clock speed vs power vs area
ResearchGate – Circuit Area vs frequency
고려대학교 전자전기공학부 – VLSI design practice11