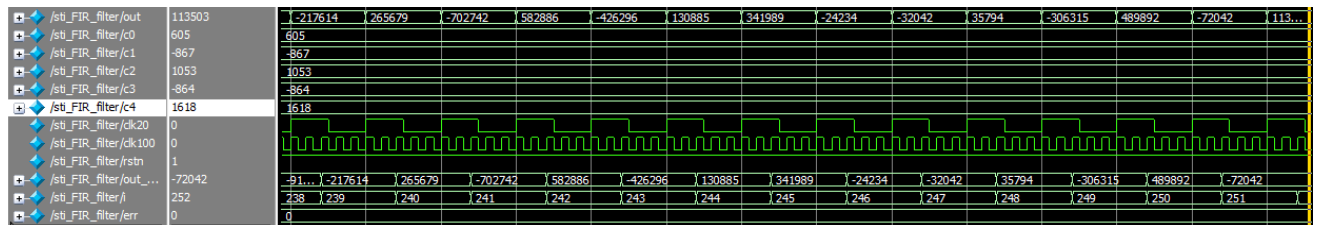
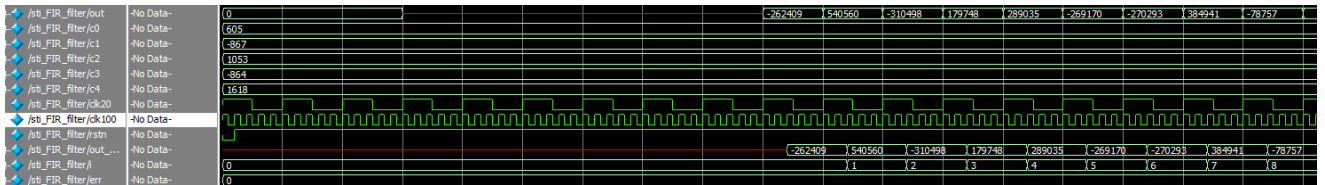


(1) Experimental Goal

이번 실험은 folded FIR을 설계하는 과정이다. FIR의 경우 Finite Impulse filter의 약자로, 유한한 길이의 임펄스의 응답을 갖는 필터이다. 이는 출력이 입력으로 들어가지 않는 비재귀적인 구조를 갖는다. 본 실험에서는 다섯 개의 coeff를 갖는 FIR Filter를 구현한다. 이때, fold structure를 이용하여 slow frequency domain과 fast frequency domain을 구분하고, 더 작은 면적의 FIR filter를 설계한다.

(2) Result

1. foled FIR



```
design_vision-xg-t> create_clock -name "clk20MHz" -period 50 -waveform { 0,000 25,000 } { clk20 }
1
design_vision-xg-t> create_generated_clock -name "clk100MHz" {clk100} -source {clk20} -multiply_by 5
1
```

```
design_vision-xg-t> report_area

*****
Report : area
Design : pick_value_unit
Version: Z-2007.03-SP4
Date   : Mon May 22 00:148:02 2023
*****

Library(s) Used:

    lec25dsc25_SS (File: /home/admin/lib/lec25/lec25dsc25_SS.db)

Number of ports:      97
Number of nets:      372
Number of cells:      273
Number of references: 19

Combinational area:  53291,521080
Noncombinational area: 24045,503143
Net Interconnect area: undefined (No wire load specified)

Total cell area:      77337,023438
Total area:           undefined

Operating Conditions: nom_pvt   Library: lec25dsc25_SS
Wire Load Model Mode: top

Global Operating Voltage = 2,25
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1,000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW (derived from V,C,I units)
  Leakage Power Units = 1pW

Cell Internal Power = 2,4812 mW (74%)
Net Switching Power = 860,3860 uW (26%)
-----
Total Dynamic Power = 3,3416 mW (100%)
Cell Leakage Power = 808,4244 uW
```

<power & area report>

Startpoint: D_IN_reg[5]
 (rising edge-triggered flip-flop clocked by clk100MHz)
 Endpoint: mac/mux_react_clk_reg[20]
 (rising edge-triggered flip-flop clocked by clk100MHz)
 Path Group: clk100MHz
 Path Type: max

Point	Incr	Path
clock clk100MHz (rise edge)	0,00	0,00
clock network delay (ideal)	0,00	0,00
D_IN_reg[5]/CLK (dffs2)	0,00	0,00 r
D_IN_reg[5]/Q (dffs2)	0,29	0,29 f
mac/in[5] (multi_unit)	0,00	0,29 f
mac/mult_101/b[5] (multi_unit_DW_mult_tc_0)	0,00	0,29 f
mac/mult_101/U544/Q (nb1s1)	0,32	0,61 f
mac/mult_101/U704/Q (xnr2s2)	0,60	1,21 f
mac/mult_101/U497/Q (nnd2s3)	0,31	1,51 r
mac/mult_101/U320/Q (oai22s2)	0,26	1,77 f
mac/mult_101/U476/OUTC (fadd1s2)	0,65	2,42 f
mac/mult_101/U502/OUTS (fadd1s2)	0,86	3,28 r
mac/mult_101/U507/OUTS (fadd1s2)	0,71	3,99 f
mac/mult_101/U515/Q (or2s1)	0,35	4,34 f
mac/mult_101/U511/Q (aoi21s2)	0,21	4,55 r
mac/mult_101/U492/Q (oai21s3)	0,25	4,80 f
mac/mult_101/U545/Q (i1s1)	0,19	4,98 r
mac/mult_101/U533/Q (oai21s1)	0,22	5,20 f
mac/mult_101/U537/Q (xnr2s1)	0,34	5,54 f

mac/mult_101/U537/Q (xnr2s1)	0,34	5,54 f
mac/mult_101/product[11] (multi_unit_DW_mult_tc_0)	0,00	5,54 f
mac/add_102/A[8] (multi_unit_DW01_inc_0)	0,00	5,54 f
mac/add_102/U112/Q (ib1s1)	0,12	5,67 r
mac/add_102/U94/Q (or2s1)	0,22	5,88 r
mac/add_102/U120/Q (nor2s1)	0,21	6,09 f
mac/add_102/U91/Q (nnd2s2)	0,25	6,34 r
mac/add_102/U89/Q (nor2s2)	0,27	6,61 f
mac/add_102/U93/Q (and2s2)	0,25	6,86 f
mac/add_102/U96/Q (xor2s1)	0,26	7,12 f
mac/add_102/SUM[17] (multi_unit_DW01_inc_0)	0,00	7,12 f
mac/U4/Q (dsawc31s2)	0,44	7,56 f
mac/add_110/A[17] (multi_unit_DW01_add_0)	0,00	7,56 f
mac/add_110/U203/Q (or2s1)	0,36	7,92 f
mac/add_110/U327/Q (nnd2s2)	0,13	8,05 r
mac/add_110/U201/Q (nor2s1)	0,25	8,31 f
mac/add_110/U242/Q (nnd2s2)	0,15	8,46 r
mac/add_110/U195/Q (or2s1)	0,27	8,72 r
mac/add_110/U193/Q (nnd2s2)	0,17	8,90 f
mac/add_110/U188/Q (aoi21s2)	0,23	9,12 r
mac/add_110/U256/Q (xor2s1)	0,39	9,51 r
mac/add_110/SUM[20] (multi_unit_DW01_add_0)	0,00	9,51 r
mac/mux_react_clk_reg[20]/CLR8 (dffcs1)	0,00	9,51 r
data arrival time		9,51
clock clk100MHz (rise edge)	10,00	10,00
clock network delay (ideal)	0,00	10,00
mac/mux_react_clk_reg[20]/CLK (dffcs1)	0,00	10,00 r
library setup time	-0,48	9,52
data required time		9,52
data required time		9,52
data arrival time		-9,51
slack (MET)		0,01

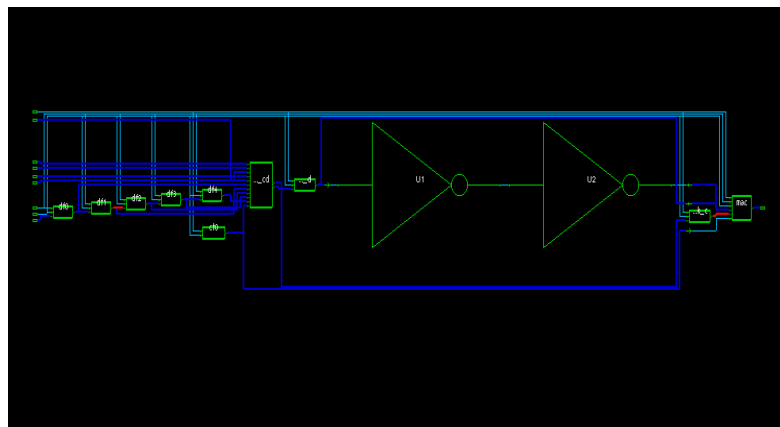
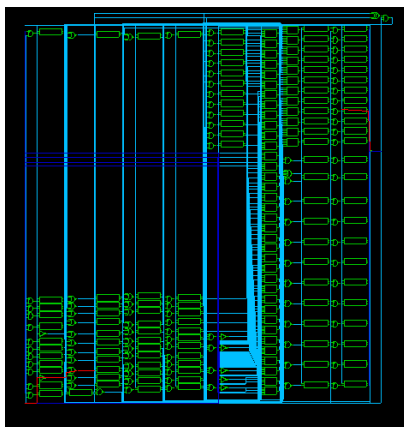
<CLK 100MHz domain _timing report>

Operating Conditions: nom_pvt Library: lec25dsc25_SS
 Wire Load Model Mode: top

Startpoint: rstn (input port)
 Endpoint: in_d1_reg[7]
 (rising edge-triggered flip-flop clocked by clk20MHz)
 Path Group: clk20MHz
 Path Type: max

Point	Incr	Path
clock (input port clock) (rise edge)	0,00	0,00
input external delay	0,00	0,00 f
rstn (in)	0,00	0,00 f
U255/Q (ib1s1)	0,47	0,47 r
U202/Q (nor2s1)	0,44	0,91 f
in_d1_reg[7]/DIN (dffs1)	0,00	0,91 f
data arrival time		0,91
clock clk20MHz (rise edge)	50,00	50,00
clock network delay (ideal)	0,00	50,00
in_d1_reg[7]/CLK (dffs1)	0,00	50,00 r
library setup time	-0,39	49,61
data required time		49,61
data required time		49,61
data arrival time		-0,91
slack (MET)		48,71

<CLK 20MHz domain _timing report>



<synthesis schemati (non_dff_blocked, dff_blocked) >

(3) Discussion

	Non_folded_dr_form	Folded_direct_form	비교 [%]
period [ns]	10	10	-
Clock speed [MHz]	100	20, 100	-
Data arrival time [ns]	10.50	48.71, 9.51	-9.43
Area [μm^2]	243100	77337	-68.2
Total power [mW]	29.9	3.34	56.1

20MHz, 100MHz 를 apply 했을 때, 모든 정보들을 정리하면 위와 같다. 먼저 dramatic 한 performance & efficiency improve 는 기존의 Direct form FIR 을 design 할 때와 현재의 skill 의 차이가 있음을 밝힌다. 개선하기 위하여 노력했던 사항은, Folded form 에서 면적을 줄이기 위하여 최대한 reg 보다는 wire 와 assign 만으로 구성을 하기위해 노력했다는 것이다. 또한 power consumption 을 줄이기 위하여, 최대한 logic 1 보다 logic 0 를 이용하는 것을 선호하였다. 다양한 기법을 적용한 결과 위의 performance improve 를 얻을 수 있었다. 사실 위의 circuit 은 computation unit 이 1/5 가 된 상태이다. 그럼에도 정확하게 Area 가 20%가 되지 않는 모습을 볼 수 있었는데, 이는 Direct form 에서 볼 수 없었던 counter 와 C value 를 pick 하는 register 그리고 computation 이후, control 을 하기 위한 Mux 등의 영향으로 생각된다. Data arrival time 은 9.51ns로 감소하였지만 실제로 Total computation 을 진행하는 경우에는 5 배가 되고, 그 외 연산들을 처리하기 위하여 slower clock domain 의 Data arrival time 인 48.71ns 이 소모되는 것을 알 수 있다. 즉, power 와 area 면에서 크게 improve 되고, Total computation capacity 는 21.6% 만큼 감소했음을 알 수 있었다. 이제 위의 회로에서 Max frequency 를 얻어보자. Max frequency 를 얻기 위해 slower domain 에 clk 를 apply 하고, 이후 5 배를 인가하며 진행하였다.

	Non_folded_dr_form	Folded_direct_form	비교 [%]
Min period [ns]	10	7.8, 38.5	-
Clock speed [MHz]	100	20, 100	-
Data arrival time [ns]	10.50	37.23, 7.22	-9.43
Area [μm^2]	243100	96331	-68.2
Total power [mW]	29.9	7.91	-74.5

결과는 위와 같다.

	Folded_direct_form	Folded_direct_form (dff, mux block)	비교 [%]
Min period [ns]	7.7, 38.5	7.7, 38.5	-
Clock speed [MHz]	20, 100	20, 100	-
Data arrival time [ns]	37.23, 7.22	38.01, 7.21	-
Area [μm^2]	96331	94332	-
Total power [mW]	7.91	8.38	5.9

이는 D_FF 를 module 로 써서 block 화 시킨 것이다. (맨 뒤에 Synthesis result 를 남깁니다.)

Folded form 을 사용하는 이유에 대해서 생각해 보면, Data load delay 가 fix 되어있고, semiconductor performance 가 해당 delay 보다 좋은 상황이면, 더 낮은 면적과 효율을 얻기 위하여 사용한다. 따라서 우리는 위의 결과를 통하여 소기의 목적을 달성하였다. 아래의 Blocked form 의 경우는, d_ff 와 mux 를 module 로 엮어서 사용한 것이다. 이를 사용한 이유는 Synthesis tool 이 해당 module 을 인식하여 더 나은 performance 를 갖는 module 을 만들어주지 않을까 하는 기대감에 이용하였으나, 성능 향상은 미미했다. (약간의 Random 성을 제하면 거의 똑 같은 것과 다름이 없다.)

Critical path 를 보자. 직관적으로 판단했을 때, 우리가 설계한 회로는 computation unit (faster frequency region)이 5 회 계산을 하는 동안 input control unit (Slower frequency region)이 input 을 control 한다. 그렇다면 Computation unit 의 Critical path delay *5 + offset = total delay time 으로

인식할 수 있다. 내가 design 한 circuit 에서 Computation unit 의 Critical path 를 생각하면 간단하게, C*input -> round off -> counter value 에 따라 0, 기존 값 mux -> result 에 기존 값과 output 중 mux->adder -> D_FF 로 생각할 수 있다. 즉, fundamental 한 Multiplier 와 adder 를 apply 할 경우 input 의 lsb -> output 의 msb 로 가는 Critical path 임을 알 수 있었다. 하지만, 아마 Design compiler 가 다양한 unit 을 사용할 것이므로, Large scale 의 block 으로 판단하여 위의 과정만 check 하도록 하자.

Startpoint: D_IN_reg[5] (rising edge-triggered flip-flop clocked by clk100MHz)			nac/mult_101/U537/Q (xor2s1)			0,34	5,54 f
Endpoint: nac/mux_react_clk_reg[20] (rising edge-triggered flip-flop clocked by clk100MHz)			nac/mult_101/product[11] (multi_unit_DM_mult_tc_0)			0,00	5,54 f
Path Group: clk100MHz			nac/add_102/U112/Q (lbt1s1)			0,12	5,67 r
Path Type: max			nac/add_102/U194/Q (or2s1)			0,22	5,88 r
			nac/add_102/U120/Q (nor2s1)			0,21	6,09 f
			nac/add_102/U191/Q (nrd2s2)			0,25	6,34 r
			nac/add_102/U89/Q (nor2s2)			0,27	6,61 f
			nac/add_102/U93/Q (and2s2)			0,25	6,86 f
			nac/add_102/U96/Q (xor2s1)			0,26	7,12 f
			nac/add_102/SUM[17] (multi_unit_DM01_inc_0)			0,00	7,12 f
			nac/U4/Q (dsxvc31s2)			0,44	7,56 f
			nac/add_110/U171 (multi_unit_DM01_add_0)			0,00	7,56 f
			nac/add_110/U203/Q (or2s1)			0,36	7,92 f
			nac/add_110/U327/Q (nrd2s2)			0,13	8,05 r
			nac/add_110/U201/Q (nor2s1)			0,25	8,31 f
			nac/add_110/U242/Q (nrd2s2)			0,15	8,46 r
			nac/add_110/U195/Q (or2s1)			0,27	8,72 r
			nac/add_110/U193/Q (nrd2s2)			0,17	8,90 f
			nac/add_110/U108/Q (aoi21s2)			0,23	9,12 r
			nac/add_110/U256/Q (xor2s1)			0,39	9,51 r
			nac/add_110/SUM[20] (multi_unit_DM01_add_0)			0,00	9,51 r
			nac/mux_react_clk_reg[20]/CLRB (dffcs1)			0,00	9,51 r
			data arrival time				9,51
			clock clk100MHz (rise edge)			10,00	10,00
			clock network delay (ideal)			0,00	10,00
			nac/mux_react_clk_reg[20]/CLK (dffcs1)			0,00	10,00 r
			library setup time			-0,48	9,52
			data required time				9,52
			data arrival time				-9,51
			slack (NET)				0,01

예상한 것과 같이, clk 에 따른 setup time 이후, 바로 multiplier unit 이 실행되고, 이후 adder unit 이 실행되는 것으로 보이는데 이는 multiplier의 delay 가 mux보다 크므로 병렬적으로 계산 후, 바로 adder 가 apply 되는 것으로 알 수 있었다. 이후의 mux 는 계산되지 않는다. (output 처럼 연결되어 있기 때문이다.) 이를 통해 예상과 같은 Critical path 를 확인할 수 있었다.

마지막으로 Verification 이다. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage 를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 mul,addedr를 이용한 output 결과를 만들었다. 즉, 앞서 언급한 operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file 에 apply하고, 앞에서 본 결과를 살펴보면 먼저 a와 b의 연산이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다.

(4) Reference

Verilog HDL -joseph Cavanagh

Verilog HDL 이론 -한양대학교 전자전기공학부

Quora- CPU clock speed vs power vs area

ResearchGate – Circuit Area vs frequency

고려대학교 전자전기공학부 – VLSI design practice09

Syn result (non-blocked)

```
Library(s) Used:
lec25dsccc25_SS (File: /home/admin/lib/lec25/lec25dsccc25_SS.db)

Operating Conditions: non_pvt Library: lec25dsccc25_SS
Wire Load Model Mode: top

Global Operating Voltage = 2.25
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 5.3856 mW (68%)
Net Switching Power = 2.5283 mW (32%)

Total Dynamic Power = 7.9139 mW (100%)

Cell Leakage Power = 51.6940 uW

-----
lec25dsccc25_SS (File: /home/admin/lib/lec25/lec25dsccc25_SS.db)
Number of ports: 97
Number of nets: 404
Number of cells: 281
Number of references: 20

Combinational area: 71987.111347
Noncombinational area: 24344.088364
Net Interconnect area: undefined (No wire load specified)
Total cell area: 96331.203125
Total area: undefined

design_vision-xgt> report_area
*****
Report : area
Design : pick_value_unit
Version: Z-2007.03-SP4
Date : Mon May 22 01:58:07 2023
*****

design_vision-xgt> report_timing
*****
Startpoint: D_C_reg[7] (rising edge-triggered flip-flop clocked by clk100MHz)
Endpoint: mac/mux_react_clk_reg[21]
(rising edge-triggered flip-flop clocked by clk100MHz)
Path Group: clk100MHz
Path Type: max

Point Incr Path
-----
clock clk100MHz (rise edge) 0.00 0.00
clock network delay (ideal) 0.00 0.00
D_C_reg[7]/CLK (dffs2) 0.00 0.00 r
D_C_reg[7]/Q (dffs2) 0.32 0.32 f
mac/c[7] (multiunit) 0.00 0.32 f
mac/mult_101/s[7] (multi_unit_DM_mult_tc_0) 0.00 0.32 f
mac/mult_101/U731/Q (nb1s2) 0.30 0.62 f
mac/mult_101/U898/Q (xnr2s2) 0.28 0.90 r
mac/mult_101/U945/Q (xnr2s2) 0.31 1.21 f
mac/mult_101/U503/Q (nb1s3) 0.26 1.46 f
mac/mult_101/U944/OUTS (fadd1s3) 0.81 2.27 r
mac/mult_101/U668/Q (xor2s2) 0.39 2.66 r
mac/mult_101/U918/Q (xor2s2) 0.16 2.82 f
mac/mult_101/U561/Q (lbt1s1) 0.17 2.99 r
mac/mult_101/U865/Q (aoi21s3) 0.17 3.15 f
mac/mult_101/U610/Q (aoi21s2) 0.23 3.39 r
mac/mult_101/U742/Q (l1s2) 0.13 3.52 f
mac/mult_101/U590/Q (xor2s1) 0.44 3.96 r
mac/mult_101/product[10] (multi_unit_DM_mult_tc_0) 0.00 3.96 r
mac/add_102/R[7] (multi_unit_DM01_inc_0) 0.00 3.96 r
mac/add_102/U98/Q (l1s3) 0.12 4.08 f
mac/add_102/U61/Q (nor2s3) 0.15 4.23 r
mac/add_102/U111/Q (l1s4) 0.11 4.34 f
mac/add_102/U132/Q (nor2s2) 0.10 4.43 r
mac/add_102/U127/Q (xor2s2) 0.28 4.72 r
mac/add_102/SUM[9] (multi_unit_DM01_inc_0) 0.00 4.72 r
mac/U92/Q (w021s3) 0.33 5.04 r
mac/add_110/R[9] (multi_unit_DM01_add_0) 0.00 5.04 r
mac/add_110/U245/Q (or2s3) 0.21 5.25 r
mac/add_110/U289/Q (rns2s1) 0.18 5.43 f
mac/add_110/U220/Q (aoi21s3) 0.22 5.65 r
mac/add_110/U355/Q (aoi21s3) 0.25 5.91 f
mac/add_110/U249/Q (aoi21s2) 0.25 6.16 r
mac/add_110/U263/Q (aoi21s3) 0.25 6.41 f
mac/add_110/U280/Q (aoi21s3) 0.23 6.64 r
mac/add_110/U279/Q (aoi21s3) 0.23 6.87 f
mac/add_110/U276/Q (xor2s2) 0.35 7.22 r
mac/add_110/SUM[21] (multi_unit_DM01_add_0) 0.00 7.22 r
mac/mux_react_clk_reg[21]/CLRB (dffcs2) 0.00 7.22 r
data arrival time 7.22

clock clk100MHz (rise edge) 7.70 7.70
clock network delay (ideal) 0.00 7.70
mac/mux_react_clk_reg[21]/CLK (dffcs2) 0.00 7.70 r
library setup time -0.48 7.22
data required time 7.22
data arrival time -7.22
```

Blocked

```

*****
Report : area
Design : pick_value_unit
Version : Z-2007.03-SP4
Date   : Mon May 22 02:19:20 2023
*****

Library(s) Used:
    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:      97
Number of nets:       210
Number of cells:      12
Number of references: 12

Combinational area:   70037.930977
Noncombinational area: 24294.303833
Net Interconnect area: undefined (No wire load specified)

Total cell area:      94332.234375
Total area:           undefined

Operating Conditions: nom_pvt Library: lec25dscc25_SS
Wire Load Model Mode: top

Global Operating Voltage = 2.25
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.000000pF
  Time Units = 1ns
  Dynamic Power Units = 1mW (derived from V,C,T uni
  Leakage Power Units = 1pW

Cell Internal Power = 6.0655 mW (72%)
Net Switching Power = 2.3223 mW (28%)
-----
Total Dynamic Power = 8.3878 mW (100%)
Cell Leakage Power = 266.9591 uW

clock clk20MHz (rise edge)      38.50  38.50
clock network delay (ideal)      0.00  38.50
df2/out_reg[6]/CLK (dffcs1)     0.00  38.50 r
library setup time               -0.49  38.01
data required time               38.01
-----
data required time               38.01
data arrival time               -0.37
-----
slack (MET)                      37.63

Startpoint: pick_c/out_reg[7]
(rising edge-triggered flip-flop clocked by clk100MHz)
Endpoint: mac/mux_react_clk_reg[21]
(rising edge-triggered flip-flop clocked by clk100MHz)
Path Group: clk100MHz
Path Type: max

Point                                Incr      Path
-----
clock clk100MHz (rise edge)          0.00     0.00
clock network delay (ideal)          0.00     0.00
mac/U46/Q (dsmux31s2)                0.35     5.66 f
mac/add_57/A[14] (multi_unit_DM01_add_1) 0.00     5.66 f
mac/add_57/U224/Q (or2s2)            0.28     5.94 f
mac/add_57/U219/Q (nnd2s1)           0.18     6.13 r
mac/add_57/U258/Q (nor2s2)           0.17     6.29 f
mac/add_57/U256/Q (aoi21s3)          0.23     6.52 r
mac/add_57/U199/Q (aoi21s3)          0.18     6.71 f
mac/add_57/U350/Q (aoi21s3)          0.24     6.94 r
mac/add_57/U342/Q (xor2s2)           0.27     7.21 r
mac/add_57/SUM[21] (multi_unit_DM01_add_1) 0.00     7.21 r
mac/mux_react_clk_reg[21]/DIN (dffcs1) 0.00     7.21 r
data arrival time                    7.21
-----
clock clk100MHz (rise edge)          7.70     7.70
clock network delay (ideal)          0.00     7.70
mac/mux_react_clk_reg[21]/CLK (dffcs1) 0.00     7.70 r
library setup time                   -0.49     7.21
data required time                   7.21
-----
data required time                   7.21
data arrival time                   -7.21
-----
slack (MET)                          0.00

```