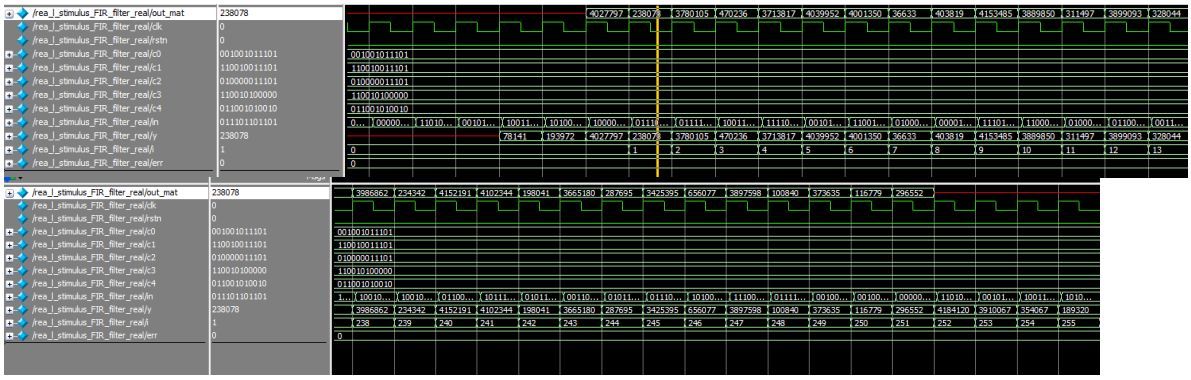
VLSI08 Report 2017160111 안진모

(1) Experimental Goal

이번 실험은 Low-Cost & High performance FIR filter를 design하는 것이다. FIR filter는 Finite Impulse filter로, 유한한 길이의 impulse에 대한 response를 갖는 filter이다. 이는 output이 input으로 다시 reuse 되지 않는, Anti- reculsive 한 structure를 가지며, 본 실험에서는 다섯개의 Coeff를 갖는 FIR filter를 구현한다.

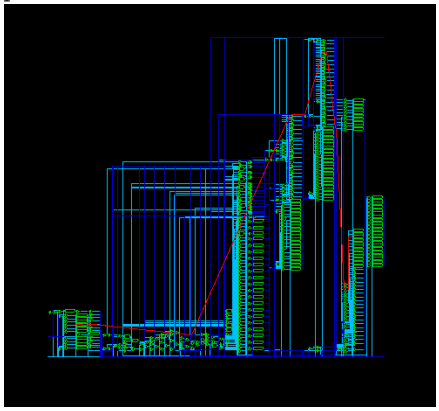
(2) Result



<주어진 stimulus source code가 filter의 output에 바로 연결되어 있어, D_FF를 apply하지 않았습니다.>

```
****************************************
Report : area
Design : Transpose_Direct_FORM_FIR
Version: Z-2007.03-SP4
Date   : Fri May 19 04:40:57 2023
****************************************

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:                98
Number of nets:                931
Number of cells:               521
Number of references:           61

Combinational area:       130180.623371
Noncombinational area:     19392.347412
Net Interconnect area:      undefined  (No wire load specified)

Total cell area:          149572.968750
Total area:                 undefined
1
```

```
Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)


Operating Conditions: nom_pvt   Library: lec25dscc25_SS
Wire Load Model Mode: top


Global Operating Voltage = 2.25
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000pf
    Time Units = 1ns
    Dynamic Power Units = 1mW    (derived from V,C,T units)
    Leakage Power Units = 1pW


  Cell Internal Power  =  10.0240 mW   (66%)
  Net Switching Power  =   5.1822 mW   (34%)
                         ---------
Total Dynamic Power    =  15.2062 mW  (100%)

Cell Leakage Power     = 166.3153 uW
```



< Area, power, Schematics>

```
Startpoint: in_d_reg[1]
            (rising edge-triggered flip-flop clocked by dd)
Endpoint: d4_reg[21] (rising edge-triggered flip-flop clocked by dd)
Path Group: dd
Path Type: max

Point                                                    Incr       Path
-----------------------------------------------------------------------------
clock dd (rise edge)                                     1.00       1.00
clock network delay (ideal)                              0.00       1.00
in_d_reg[1]/CLK (dffs2)                                  0.00       1.00 r
in_d_reg[1]/Q (dffs2)                                    0.25       1.25 f
in_d_reg[1]/QN (dffs2)                                   0.12       1.37 r
U1585/Q (i1s6)                                           0.16       1.53 f
s4/in[1] (shifter__101)                                  0.00       1.53 f
s4/U78/Q (i1s6)                                          0.09       1.62 r
s4/U35/Q (i1s2)                                          0.13       1.75 f
s4/U53/Q (nnd2s2)                                        0.19       1.94 r
s4/U39/Q (nnd3s2)                                        0.13       2.07 f
s4/U105/Q (oai211s2)                                     0.28       2.35 r
s4/U89/Q (xnr2s2)                                        0.45       2.80 f
s4/out[6] (shifter__101)                                 0.00       2.80 f
add_43/A[6] (Transpose_Direct_FORM_FIR_DW01_add_10)      0.00       2.80 f
add_43/U149/Q (or2s2)                                    0.30       3.10 f
add_43/U218/Q (aoi21s3)                                  0.24       3.33 r
add_43/U157/Q (oai21s2)                                  0.27       3.60 f
add_43/U166/Q (aoi21s3)                                  0.25       3.85 r
add_43/U156/Q (oai21s2)                                  0.32       4.17 f
add_43/U150/Q (xnr2s2)                                   0.35       4.52 r
add_43/SUM[11] (Transpose_Direct_FORM_FIR_DW01_add_10)
                                                         0.00       4.52 r
add_53_S2/A[8] (Transpose_Direct_FORM_FIR_DW01_inc_1)
                                                         0.00       4.52 r
add_53_S2/U110/Q (i1s3)                                  0.12       4.64 f
add_53_S2/U97/Q (nor2s2)                                 0.09       4.73 r
add_53_S2/U85/Q (and2s2)                                 0.22       4.95 r
add_53_S2/U37/OUTC (hadd1s3)                             0.32       5.27 r
add_53_S2/U36/OUTC (hadd1s3)                             0.30       5.57 r
add_53_S2/U82/Q (xor2s1)                                 0.41       5.98 r
add_53_S2/SUM[11] (Transpose_Direct_FORM_FIR_DW01_inc_1)
                                                         0.00       5.98 r
U1436/Q (mx21s2)                                         0.38       6.36 r
add_114/A[11] (Transpose_Direct_FORM_FIR_DW01_add_1)
                                                         0.00       6.36 r
add_114/U162/Q (or2s2)                                   0.26       6.62 r
add_114/U215/Q (aoi22s3)                                 0.18       6.80 f
add_114/U222/Q (oai21s3)                                 0.25       7.05 r
add_114/U228/Q (aoi21s3)                                 0.25       7.29 f
add_114/U217/Q (i1s3)                                    0.13       7.42 r
add_114/U239/Q (nnd2s3)                                  0.10       7.52 f
add_114/U157/Q (nnd2s3)                                  0.10       7.62 r
add_114/U188/Q (aoi21s3)                                 0.23       7.85 f
add_114/U282/Q (oai21s2)                                 0.25       8.10 r
add_114/U180/Q (aoi21s3)                                 0.23       8.33 f
add_114/U165/Q (xor2s2)                                  0.32       8.66 f
add_114/SUM[21] (Transpose_Direct_FORM_FIR_DW01_add_1)
                                                         0.00       8.66 f
U1672/Q (and2s2)                                         0.22       8.88 f
d4_reg[21]/DIN (dffs1)                                   0.00       8.88 f
data arrival time                                                   8.88

clock dd (rise edge)                                     9.20       9.20
clock network delay (ideal)                              0.00       9.20
d4_reg[21]/CLK (dffs1)                                   0.00       9.20 r
library setup time                                      -0.32       8.88
data required time                                                  8.88
-----------------------------------------------------------------------------
data required time                                                  8.88
data arrival time                                                  -8.88
-----------------------------------------------------------------------------
slack (MET)                                                         0.00
```

<report_timing>

(3) Discussion

	Transpose_form	Lowcost_Transpose_form	비교 [%]
Min period [ns]	8	8.1	1.2
Clock speed [Hz]	1.25*10^8	1.25*10^8	0
Data arrival time [ns]	8.49	8.88	4.71
Area $[\mu m^2]$	263206	149572	-43.2
Total power [mW]	46.7	15.2	-67.5

정보를 정리하면 위와 같다. (Ram에 D_FF를 apply 하지 않았을 때의 값임을 생각하자, 또한 실제로 두 개의 Min Period가 비슷하므로, 따로 맞춰주는 작업은 하지 않았다.) 기존의 실험에서 Check 한 내용은, Transpose form 이 Direct form보다 performance가 좋고, 대신 Area와 Power consumption이 크다. 따라서 Transpose form의 Area와 dynamic voltage를 줄이면, 최고의 performance를 만들 수 있으리라 생각하였다. 이 때, Register value들 즉, Coeff의 순서 배열을 이용하여 Data를 Wire로 reuse하면, Area를 줄이면서 Computation Load를 크게 줄일 수 있다. 따라서 최대한 계산이 되었던 내용들을 reuse하고, 이를 지속적으로 apply하는 과정을 거쳤다.

C2=010000011101 C3=110010100000 C4 =011001010010 이고 반복되는 부분을 모두 Wire로 처리하면, 전력을 줄일 수 있다. 내가 reuse한 value는각 11,-11,101의 숫서를 갖는 세 가지이며 이를 조합하여 회로를 설계하였다. 이 때, 회로의 Reg를 최대한 줄이기 위하여 wire를 위주로 사용하였으며, (for Area) 이제 이를 분석해보도록 하자. 하지만 직관적으로 생각해보면, 결국 Min period는 Critical path에 의존하므로, 덧셈의 양이 그대로일 때, 크게 달라지지 않는 다는 사실을 쉽게 깨달을 수 있다. 즉 여러가지 reuse로 performance는 변동폭을 기대하기 어렵다는 의미이다. 예상한 결과대로 performance는 오히려 감소하는 모습을 보여주었고, multiplier를 adder로 대체한 만큼, Area와 Power에서 더욱 강력한 성능 향상을 보여주었다. 이제 memory에 D_FF를 apply하고 양쪽의 결과를 비교하자.

	Transpose_form	Lowcost_Transpose_form	비교 [%]
Min period [ns]	7.7	7.7	0
Clock speed [Hz]	1.30*10^8	1.30*10^8	0
Data arrival time [ns]	8.22	8.20	0
Area $[\mu m^2]$	305192	174837	-43.4
Total power [mW]	46.8	12.45	-73.3

```
Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)


Operating Conditions: nom_pvt   Library: lec25dscc25_SS
Wire Load Model Mode: top


Global Operating Voltage = 2.25
Power-specific unit information :
    Voltage Units = 1V
    Capacitance Units = 1.000000pf
    Time Units = 1ns
    Dynamic Power Units = 1mW    (derived from V,C,T units)
    Leakage Power Units = 1pW


  Cell Internal Power  =   8.9213 mW   (72%)
  Net Switching Power  =   3.5335 mW   (28%)
                         ---------
Total Dynamic Power    =  12.4548 mW  (100%)

Cell Leakage Power     = 769.5779 uW
```

```
Filter2/add_184/U202/Q (or2s2)                          0.29       5.92 f
Filter2/add_184/U314/Q (aoi22s2)                        0.16       6.09 r
Filter2/add_184/U274/Q (oai21s2)                        0.22       6.30 f
Filter2/add_184/U177/Q (aoi21s3)                        0.25       6.55 r
Filter2/add_184/U174/Q (oai21s3)                        0.18       6.73 f
Filter2/add_184/U256/Q (aoi21s3)                        0.25       6.99 r
Filter2/add_184/U318/Q (i1s3)                           0.11       7.09 f
Filter2/add_184/U243/Q (nnd2s3)                         0.10       7.19 r
Filter2/add_184/U246/Q (nnd2s3)                         0.10       7.30 f
Filter2/add_184/U247/Q (aoi22s2)                        0.17       7.47 r
Filter2/add_184/U329/Q (oai21s2)                        0.22       7.68 f
Filter2/add_184/U168/Q (aoi21s3)                        0.21       7.89 r
Filter2/add_184/U209/Q (xnr2s2)                         0.31       8.20 f
Filter2/add_184/SUM[21] (Transpose_Direct_FORM_FIR_DW01_add_10)
                                                        0.00       8.20 f
Filter2/d4_reg[21]/CLRB (dffcs2)                        0.00       8.20 f
data arrival time                                                  8.20

clock dasd (rise edge)                                  8.70       8.70
clock network delay (ideal)                             0.00       8.70
Filter2/d4_reg[21]/CLK (dffcs2)                         0.00       8.70 r
library setup time                                     -0.49       8.21
data required time                                                 8.21
-------------------------------------------------------------------------
data required time                                                 8.21
data arrival time                                                 -8.20
-------------------------------------------------------------------------
slack (MET)                                                        0.00
```

```
****************************************
Report : area
Design : top_FIR_filter_real1
Version: Z-2007.03-SP4
Date   : Fri May 19 05:14:05 2023
****************************************

Library(s) Used:

    lec25dscc25_SS (File: /home/admin/lib/lec25/lec25dscc25_SS.db)

Number of ports:              117
Number of nets:               322
Number of cells:              157
Number of references:          15

Combinational area:       139785.539989
Noncombinational area:     35052.175537
Net Interconnect area:      undefined  (No wire load specified)

Total cell area:          174837.718750
Total area:                 undefined
1
```

```
Date   : Fri May 19 05:14:02 2023
****************************************

Operating Conditions: nom_pvt   Library: lec25dscc25_SS
Wire Load Model Mode: top

  Startpoint: Filter2/in_d_reg[3]
              (rising edge-triggered flip-flop clocked by dasd)
  Endpoint: Filter2/d4_reg[21]
            (rising edge-triggered flip-flop clocked by dasd)
  Path Group: dasd
  Path Type: max

  Point                                                   Incr       Path
  ----------------------------------------------------------------------------
  clock dasd (rise edge)                                  1.00       1.00
  clock network delay (ideal)                             0.00       1.00
  Filter2/in_d_reg[3]/CLK (dffcs2)                        0.00       1.00 r
  Filter2/in_d_reg[3]/QN (dffcs2)                         0.27       1.27 r
  Filter2/in_d_reg[3]/Q (dffcs2)                          0.18       1.45 f
  Filter2/s4/in[3] (shifter__101)                         0.00       1.45 f
  Filter2/s4/U3/Q (i1s5)                                  0.12       1.58 r
  Filter2/s4/U58/Q (nnd2s2)                               0.12       1.70 f
```

와 같음을 알 수 있다. (첫 번째 비교가 Computation unit만 비교, 두 번째 비교가 Input output Ram 을 FF으로 연결하여 비교)

이를 통하여 우리가 설계한 회로가 Power 와 Area 면에서 큰 이점이 있음을 알 수 있었다. (보드에 합성하기 이전에, output 과 input을 정리하는 과정이 필요했다. 이에 내부에 존재하는 controller가 제대로 작동하기 위해서 A,B,done, rstn 등을 input으로, 결과를 output으로 설정했으며, NWRT, NCE, Counter 등 의 clk에 의하여 생성되는 모든 것들을 output으로 설정하였다. (S ram으로 apply되는) 특히 counter 부분을 output이나 input으로 할당하지 않는 경우, 보드에서 소실되므로 output이라 판단하였다.)

이번엔 Direct form 과 비교해보자.

	Direct_form	Lowcost_Transpose_form	비교 [%]
Min period [ns]	10	7.7	-23
Clock speed [Hz]	10^8	1.30*10^8	23
Data arrival time [ns]	10.50	8.20	-22

Area $[\mu m^2]$	243100	174837	-29.1
Total power [mW]	29.9	12.45	-58.4

와 같음을 알 수 있었다. 즉 Direct -> Transpose에서 Area와 Total power는 오히려 개선되고 Performance 증가 폭은 그대로 유지할 수 있었다.

이번엔 Critical path delay를 보자. Intuition을 발휘하여 생각하면, 가장 add load가 높은 C0->C1->C2->C3->C4->out (adding sequence)이 가장 Critical한 path이며, 이에 따라 C0의 LSB 3bit에 해당하는 -101에 따라서 input의[0~3]bit에서 시작하여 output의 MSB로 즉 output[21]에 도달하는 경로가 Critical path임을 알 수 있었다. 위의 표를 참고하여 이를 check하면, 먼저 최초의 Delay를 제외하고, Shifter들이 동시에 계산되는 것을 알 수 있었다. Shifter들이 동시에 계산된 이후, input[2]에서 시작하여 예상한 방향으로, 계속 덧셈을 하는 것을 알 수 있었다. 생각과 마찬가지로, C_n의 값들은 동시에 계산되고, 이후 지속적으로 덧셈을 한다. 종합하여 Critical path를 확인할 수 있었다.

마지막으로 Verification 이다. Test bench는 내가 verification하는 design의 input을 만들어 주어야 하며, Reference model과 동일하게 operation하는지 output을 check하는 부분으로 이루어져 있다. Operating 시나리오를 기반으로 test case의 constraint를 만들고 그 안에서 random한 input을 apply한다. 이를 마지막 score board에서 Wave form으로 check하며, RTL algorithm이 동일하게 구현되었는지 error를 check한다 IP의 모든 부분이 connected 되었는지 check하기 위하여 coverage를 check하는 것도 필요하다. 이제 Verification 결과를 간단하게 확인하자. 우리는 Matlab을 통하여 input과 해당 value 간의 mul,addedr을 이용한 output 결과를 만들었다. 즉, 앞서 언급한 operating 시나리오를 위한 constraint를 matlab을 통하여 txt로 만든 것이다. 이를 testbench file에 apply하고, 앞에서 본 결과를 살펴보면 먼저 a와 b의 연산이 잘 되었는지 확인하기 위하여 시나리오 상의 output constraint와 실제 회로의 output과 비교를 진행했고, 이후 해당 값과 오차를 error로 출력하였다. 앞의 Testbench의 결과로 clk를 apply한 것의 유무에 관계없이, error가 0을 유지하는 것을 볼 수 있다.

Reference

고려대학교 전자전기 공학부 -VLSI design