

APELLIDOS: _____ NOMBRE: _____

Hojas adicionales adjuntas: _____

Normas: Escribe los apellidos y el nombre en cada hoja de examen y en cada hoja adicional que utilices. Es posible escribir la respuesta en la misma hoja de cada ejercicio, pero si utilizas hojas adicionales no mezcles en la misma hoja respuestas de ejercicios diferentes: se entregarán los ejercicios de cada hoja por separado. La respuesta a los ejercicios debe estar escrita con bolígrafo. Al terminar, indica en cada hoja de examen las hojas adicionales utilizadas.

- [3p] 1. El siguiente fragmento de código se ejecuta en un procesador segmentado de 5 etapas como el MIPS estudiado en clase: IF, ID, EX, MEM e WB. En ninguna de las etapas pueden coincidir dos instrucciones, aunque utilicen bancos de registros diferentes. El procesador tiene una frecuencia de reloj de 2 GHz, una unidad de detección de riesgos en la etapa ID y una unidad de anticipación en la etapa EX. La ejecución de una suma en punto flotante tiene una latencia de 2 ciclos. El salto se decide en la etapa ID y el procesador usa la técnica de salto fijo no efectivo.

```

1. addi $s3, $0, 4
2. loop: lwc1 $f0, 0($s2)
3.     add.s $f1, $f0, $f0
4.     add.s $f2, $f2, $f1
5.     addi $s3, $s3, -1
6.     add $s2, $s2, 4
7.     bne $s3, $0, loop
8. swc1 $f2, 0($s2)

```

- (a) Dibuja el diagrama en múltiples ciclos para la ejecución de una iteración del código. Señala **explícitamente** las anticipaciones y los bloqueos. (1.0p)

En **color verde** se destacan los ciclos que forman parte del bucle. En **color rojo**, los bloqueos y anticipaciones.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
1	IF	ID	EX	MEM	WB												
2		IF	ID	EX	MEM	WB ↓\$f0											
3			IF	ID	(ID)	A1	A2	MEM ↓\$f1	WB								
4				IF	(IF)	ID	(ID)	A1	A2	MEM	WB						
5						IF	(IF)	ID	EX	(EX)	MEM	WB					
6								IF	ID	(ID)	EX	MEM	WB				
7									IF	(IF)	ID	(ID)	EX	MEM	WB		
8											IF	(IF)	(nop)	(nop)	(nop)	(nop)	
2													IF	ID	EX	MEM	WB
8											IF	ID	EX	MEM	WB		

El bloqueo en el ciclo 10 para prevenir el riesgo estructural podría adelantarse al ciclo 9 si consideramos que lo produce la unidad de detección de riesgos en la etapa ID. Ambas consideraciones son igualmente válidas.

- (b) Indica sobre el diagrama de qué tipo son los riesgos presentes en la ejecución. (0.2p)

- 2→3 (ciclo 5), 3→4 (ciclo 7), 5→7 (ciclo 12) Riesgo RAW
- 4→5 (ciclo 10) Riesgo estructural
- 7→8 (ciclo 13) Riesgo de control

(c) Calcula el CPI para la ejecución completa de este código. (0.3p)

$$\begin{aligned}\#ciclos &= 5 \text{ ciclos iniciales} + 11 \text{ ciclos/iteracion} \times 4 \text{ iteraciones} = 49 \text{ ciclos} \\ \#instrucciones &= 1 \text{ instr inicial} + 6 \text{ instr/iteracion} \times 4 \text{ iteraciones} + 1 \text{ instr final} = 26 \text{ instr} \\ CPI &= \frac{49 \text{ ciclos}}{26 \text{ instr}} = 1.88 \text{ ciclos/instruccion}\end{aligned}$$

(d) Calcula el rendimiento según la métrica MFLOPS. (0.5p)

$$\begin{aligned}\#flops &= 2 \text{ flops/iteracion} \times 4 \text{ iteraciones} = 8 \text{ instrucciones} \\ T_{cpu} &= ciclos \times T_{ciclo} = \frac{ciclos}{f} = \frac{49}{2 \times 10^9} = 24.5 \text{ ns} \\ MFLOPS &= \frac{flops}{T_{cpu} \times 10^6} = \frac{8}{24.5 \times 10^{-9} \times 10^6} = \frac{8}{24.5} \times 10^3 = 326.53 \text{ MFLOPS}\end{aligned}$$

(e) Supón que el código se ejecuta en un procesador que implementa la técnica de salto retardado. Justifica, para cada una de las instrucciones, si la podrías mover o no al hueco de retardo (indicando también posibles modificaciones necesarias), y qué efecto tendría sobre los riesgos de la ejecución (es decir, si se crea o se elimina algún riesgo). **Indica razonadamente cuál es la mejor opción.** (1.0p)

1	<code>addi \$s3, \$0, 4</code>	No es posible: inicializa el iterador, tiene una dependencia de datos con 5 y además crearía un bucle infinito.
2	<code>lwc1 \$f0, 0(\$s2)</code>	Sí sería posible, duplicándola antes del bucle. El riesgo con la instrucción 2 se mantendría por lo que no supone ninguna mejora.
3	<code>add.s \$f1, \$f0, \$f0</code>	No es posible, por sus dependencias con 2 y 4.
4	<code>add.s \$f2, \$f2, \$f1</code>	Sí es posible. Elimina el riesgo con 3 pero crea uno con 8 al salir del bucle.
5	<code>addi \$s3, \$s3, -1</code>	Sí, pero habría que cambiar el inmediato de 1 por '3' o bien duplicar esta instrucción antes del bucle. Elimina el riesgo con 7. Es la mejor opción
6	<code>add \$s2, \$s2, 4</code>	Sí es posible pero se incrementaría en un ciclo el riesgo de 5 con 7.
8	<code>swc1 \$f2, 0(\$s2)</code>	No es posible, porque sobrescribiría todas las posiciones del array que recorre \$s2.

APELLIDOS: _____ NOMBRE: _____

Hojas adicionales adjuntas: _____

- [2p] 2. Un computador tiene una memoria principal de 4 GiB y una memoria caché de 64 KiB con un tamaño de línea de 16 bytes. Estando la caché inicialmente vacía, se ejecuta un código que accede a determinadas direcciones de memoria en el orden indicado en las siguientes tablas. Todos los accesos son de escritura, y suponemos que la caché utiliza una política de ubicar en escritura (allocate-on-write). Rellena los campos de las siguientes tablas: etiqueta, índice / conjunto y desplazamiento dentro de línea caché de cada dirección; si el acceso es un acierto o un fallo; en este último caso, qué tipo de fallo; y si el acceso provoca una escritura en Memoria Principal (MP) o no.

- (a) La memoria caché es de correspondencia directa. La política de escritura es de postescritura (write-back) (0.75p)

Interpretación de una dirección física desde el punto de vista de la caché:

Etiqueta	Índice	Desplazamiento
16 bits	12 bits	4 bits

Procesamiento de direcciones:

Dirección	Etiqu.	Índice	Despl.	Acierto/Fallo	Tipo de fallo	Escritura MP?
0xFF306423	FF30	642	3	Fallo	Forzoso	No
0xFF30642A	FF30	642	A	Acierto	—	No
0xFF30642F	FF30	642	F	Acierto	—	No
0xFF3A6423	FF3A	642	3	Fallo	Forzoso	Sí
0xFF3A6427	FF3A	642	7	Acierto	—	No
0xFF306424	FF30	642	4	Fallo	Conflicto	Sí

- (b) La memoria caché es asociativa por conjuntos de 16 vías. El algoritmo de reemplazo utilizado es LRU (Least Recently Used). La política de escritura es de escritura directa (write-through) (0.75p)

Interpretación de una dirección física desde el punto de vista de la caché:

Etiqueta	Conjunto	Desplazamiento
20 bits	8 bits	4 bits

Procesamiento de direcciones:

Dirección	Etiqu.	Índice	Despl.	Acierto/Fallo	Tipo de fallo	Escritura MP?
0xFF306423	FF306	42	3	Fallo	Forzoso	Sí
0xFF30642A	FF306	42	A	Acierto	—	Sí
0xFF30642F	FF306	42	F	Acierto	—	Sí
0xFF3A6423	FF3A6	42	3	Fallo	Forzoso	Sí
0xFF3A6427	FF3A6	42	7	Acierto	—	Sí
0xFF306424	FF306	42	4	Acierto	—	Sí

- (c) Sabiendo que el tiempo medio de acceso a memoria durante la ejecución del apartado b) fue de 34 ciclos, y que el tiempo de acierto caché es de 1 ciclo, calcúlese el tiempo de acceso a memoria principal. **(0.5p)**

$$T_m = T_a + P_f \cdot F_f = 34 \text{ ciclos}$$

$$1 \text{ ciclo} + P_f \cdot \frac{1}{3} = 34 \text{ ciclos} \Rightarrow P_f = 99 \text{ ciclos}$$

El tiempo de acceso a memoria es de (1+99) ciclos.

APELLIDOS: _____ NOMBRE: _____

Hojas adicionales adjuntas: _____

[2p] 3. Supón que un sistema de memoria virtual paginada, que utiliza un esquema de traducción directa en un único nivel, tiene un espacio virtual de 256 TiB y un espacio físico de 64 GiB. El tamaño de página es 4 KiB y se dispone de una TLB totalmente asociativa de 512 entradas. El registro base de la tabla de páginas (RBTP) contiene el valor 0x0 0000 0000. Cada entrada de la tabla contiene el bit de residencia (el más significativo), 7 bits de control y el número de página física. El contenido del byte correspondiente a la dirección física X es $(X \bmod 256)$.

(a) Determina el número de bits que ocupa cada campo en una entrada de la tabla de páginas:

(0.1p)

Bit de residencia	Bits de control	Número de página física
1 bit	7 bits	24 bits

(b) Muestra el proceso de traducción de la dirección virtual 0x31F3 1E4B A4CD en su correspondiente dirección física.

- Identifica los campos en los que se descompone la dirección virtual. (0.2p)
- Determina la dirección y el contenido de la entrada correspondiente de la tabla de páginas. (0.3p)
- Comprueba si se podría hacer una traducción válida. (0.1p)
- Tanto si la traducción es válida como si no lo es, calcula la dirección física que resultaría del proceso de traducción. (0.3p)

núm PV	Δ
31F3 1E4B A	4CD
36 bits	12 bits

– Cada entrada de la TP ocupa $1 + 7 + 24 = 32$ bits = 4 Bytes.

$$\&TP[0x31F31E4BA] = RBTP + 0x31F31E4BA \times 4 \text{ B/entrada} = 0xC7CC792E8$$

$$TP[0x31F31E4BA] = E8 \ E9 \ EA \ EB$$

Bit Residencia	Bits de control	Número de página física
1	110 1000	E9 EA EB
1 bits	7 bits	24 bits

El bit de residencia vale 1, luego la traducción es válida.

núm PF	Δ
E9 EA EB	4CD
24 bits	12 bits

$$DF = 0xE \ 9EAE \ B4CD$$

- Escribe el contenido de la entrada en la TLB correspondiente a la traducción anterior. Indica qué cambios se producirían si, justo a continuación, el procesador emitiese la dirección 0x31F3 1E4B A4CE. (0.2p)

La TLB contiene pares {(página virtual) - (página física)} de las últimas traducciones realizadas

núm PV	núm PF
31F31E4BA	E9EAEB
36 bits	24 bits

La dirección 0x31F3 1E4B A4CE se encuentra en la misma página: solo cambian los bits dentro del desplazamiento. Por tanto, la TLB se mantiene igual.

- (c) Calcula el tamaño de la tabla de páginas y compara este tamaño con la memoria disponible en el sistema. ¿Ves algún problema? Si es así, propón una solución. **(0.5p)**

$$|TP| = 2^{36} \text{ entradas} \times (1 + 7 + 24) \text{ bits} = 2^{36} \times 4 \text{ B} = 256 \text{ GiB}$$

El tamaño de la tabla de páginas resulta mayor que la cantidad de memoria física del sistema, lo que es imposible.

Hay diversas soluciones a este problema:

- Paginación en varios niveles
- Reducción de los bits de control, pero todavía no sería suficiente en este caso
- Aumentar la memoria física instalada, que implicaría un aumento del tamaño de cada entrada en la tabla
- Incrementar el tamaño de página
- Reducir el tamaño de la memoria virtual

- (d) Entre los bits de control de cada entrada de la tabla de páginas tenemos un *dirty bit* para indicar si la página en cuestión fue modificada en memoria física o no. Se propone su eliminación para reducir el tamaño de la tabla de páginas. Explica si ves o no algún inconveniente a esta propuesta. **(0.3p)**

El tamaño de cada entrada en la tabla de páginas debe ser un múltiplo de 8 bits para poder ser direccionada (la memoria principal es direccionable a nivel de Byte), por lo que eliminando un único bit no cambiaría el tamaño de la tabla de páginas.

De todas formas, incluso si obviásemos el direccionamiento de la memoria y de ese modo se consiguiese reducir un poco el tamaño de la tabla, ese bit nos permite evitar la escritura en disco de aquellas páginas que son expulsadas de la memoria física y no fueron modificadas. La escritura en disco es una operación muy lenta, por lo que esta medida tendría un impacto muy negativo en el rendimiento del sistema.

APELLIDOS: _____ NOMBRE: _____

Hojas adicionales adjuntas: _____

[0.6p] 4. Tenemos un sistema con memoria virtual de páginas de 16 kiB que conecta la memoria principal con el almacenamiento secundario mediante un bus síncrono a 20 MHz. Las transacciones de las páginas están gestionadas por una DMA a través de este bus en bloques del tamaño de la anchura del bus, necesitando 50 ns para la lectura de cada bloque para la operación de lectura de una página. Tanto la transferencia de un bloque a través del bus como el envío de la dirección al controlador del almacenamiento secundario requieren un ciclo. Las transferencias de datos leídos más recientemente pueden solaparse con la lectura de los siguientes. Sabiendo que la DMA realiza la lectura de una página en una única transacción:

- (a) Calcula la anchura mínima del bus necesaria para que la latencia de la lectura de una página sea menor de 150 μ s. La anchura del bus tiene que ser potencia en base 2 de bytes (2^n bytes, $n \in \mathbb{N}$). (0.4p)

Sendo a anchura do bus 2^n bytes, o número de lecturas para a transacción dunha páxina sería:

$$NL = \frac{16 \text{ kiB}}{2^n \text{ B}} = \frac{2^{14}}{2^n} = 2^{14-n}$$

A frecuencia do bus é de 20 MHz, co cal o período é:

$$T = \frac{1}{20 \times 10^6} = 5 \times 10^{-8} \text{ s} = 50 \text{ ns}$$

A transacción dunha páxina require:

- 1 ciclo para enviar a dirección = 50 ns.
- 50 ns para ler cada un dos bloques. Serían $50 \times 2^{14-n}$ ns.
- 1 ciclo para transferir o último bloque = 50 ns.

Por tanto a latencia para a transacción dunha páxina será:

$$L = 50 + 50 \times 2^{14-n} + 50 = 50 \times (2 + 2^{14-n}) = 0,1 \times (1 + 2^{13-n}) \mu\text{s}$$

Probando varios valores de n podemos ver cal é o mínimo para conseguir unha latencia inferior a 150 μ s:

- $n = 2 : L = 0,1 \times (1 + 2^{11}) = 204,9 \mu\text{s} > 150 \mu\text{s}$
- $n = 3 : L = 0,1 \times (1 + 2^{10}) = 102,5 \mu\text{s} < 150 \mu\text{s}$

Por tanto $n = 3$ e a anchura mínima é 8 bytes (64 bits), cunha latencia de 102,5 μ s.

- (b) Para la anchura del bus determinada, calcula el ancho de banda para las operaciones de lectura de página desde el almacenamiento secundario. (0.2p)

O ancho de banda sería:

$$AB = \frac{16 \text{ kiB}}{102,5 \times 10^{-6} \text{ s}} \approx 16 \times 10^7 \text{ B/s} = 160 \text{ MB/s}$$

[0.4p] 5. Las siguientes afirmaciones contienen algún error. Corrígelas justificando la respuesta.

- (a) Suponiendo discos de 1 TiB y una capacidad neta de almacenamiento de 8 TiB los RAID 5 y RAID 6 tendrán una capacidad de almacenamiento total de 9 TiB, con la información de redundancia repartida cíclicamente a lo largo de todos los discos. (0.2p)

Suponiendo discos de 1 TiB y una capacidad neta de almacenamiento de 8 TiB *el RAID 5 tendrá una capacidad de almacenamiento total de 9 TiB y el RAID 6 de 10 TiB*, con la información de redundancia repartida cíclicamente a lo largo de todos los discos.

Explicación: RAID 6 almacena dos ECCs en discos diferentes, así que necesita un disco más que RAID 5.

- (b) Las desventajas de los discos de estado sólido SSD frente a los discos duros magnéticos HDD son la menor capacidad, el mayor coste y la mayor posibilidad de fallos de funcionamiento. (0.2p)

Las desventajas de los discos de estado sólido SSD frente a los discos duros magnéticos HDD son la menor capacidad y el mayor coste.

Explicación: Los discos SSD son más robustos que los HDD ya que no tienen componentes mecánicos.