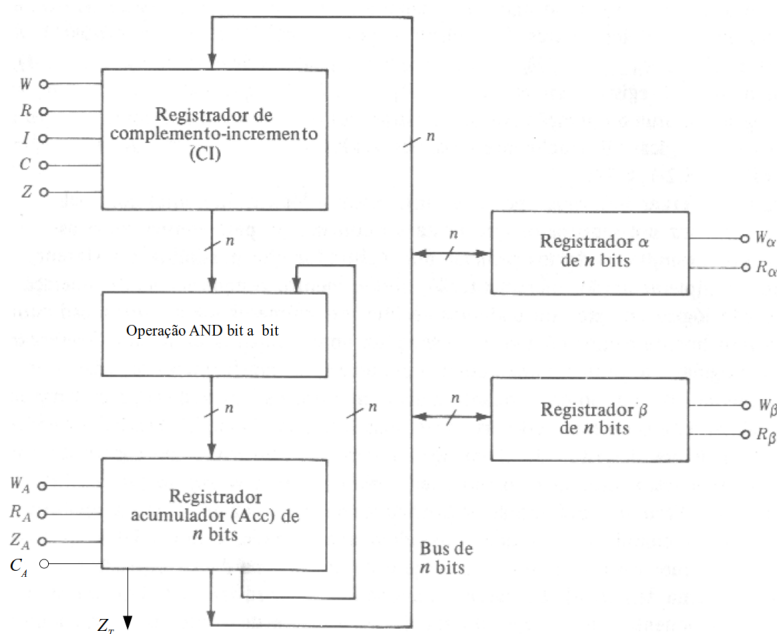


Universidade Federal do Vale do São Francisco
Eletrônica Digital 2 – Prova 2 – 2020.1

Rodrigo P. Ramos

1. (Valor = 3,0 pontos) Considere a arquitetura mostrada na figura a seguir, que é uma versão modificada daquela considerada no Cap. 8. Nela, o somador foi substituído por uma estrutura que realiza a operação lógica AND, bit a bit, entre as duas entradas. Também foi inserida uma linha de controle C_A , que permite complementar o valor lógico no acumulador, e uma saída Z_T , que é 1 sempre que o conteúdo do acumulador for zero. Projete um controlador por registrador de deslocamento que teste se dois números nos registradores α e β são iguais. Se forem iguais, deve-se zerar o registrador β . Se forem diferentes, o sistema não faz nada.



2. (Valor = 3,0 pontos) Escreva um programa binário para a arquitetura do computador simples do Cap. 8 que multiplique por 4 um número em uma posição de memória e salve na posição seguinte. A posição de memória deve ser obtida a partir da soma dos dígitos do seu CPF. Por exemplo, para um CPF 111222333-44, a soma dos dígitos é 26, que seria o endereço do número de 8 bits a ser multiplicado por quatro, com o resultado sendo guardado na posição 27. Assuma que o acumulador está inicialmente zerado. Lembre-se de que, para esta arquitetura, o programa deve ser escrito em código binário.
3. (Valor = 4,0 pontos) Escreva um programa em *assembly* (relacionado à arquitetura do Cap. 9) para contar a quantidade de 1's ou 0's em um número de 12 bits localizado em uma posição de memória. Se o primeiro dígito do seu CPF for 0 ou par, o número convertido deve estar no endereço 0x40, o seu programa deve contar a quantidade de 1's deste número convertido e salvar o resultado no endereço 0x41. Se o primeiro dígito do seu CPF for ímpar, o número de 12 bits deve estar no endereço 0x42, o seu programa deve contar a quantidade de 0's e depois salvar o resultado no endereço 0x43.