



哈爾濱工業大學 远程教育学院

## 第8章 MCS-51的中断系统





**关于中断的基本概念**

**MCS-51的中断系统**

**MCS-51的中断源、中断控制**

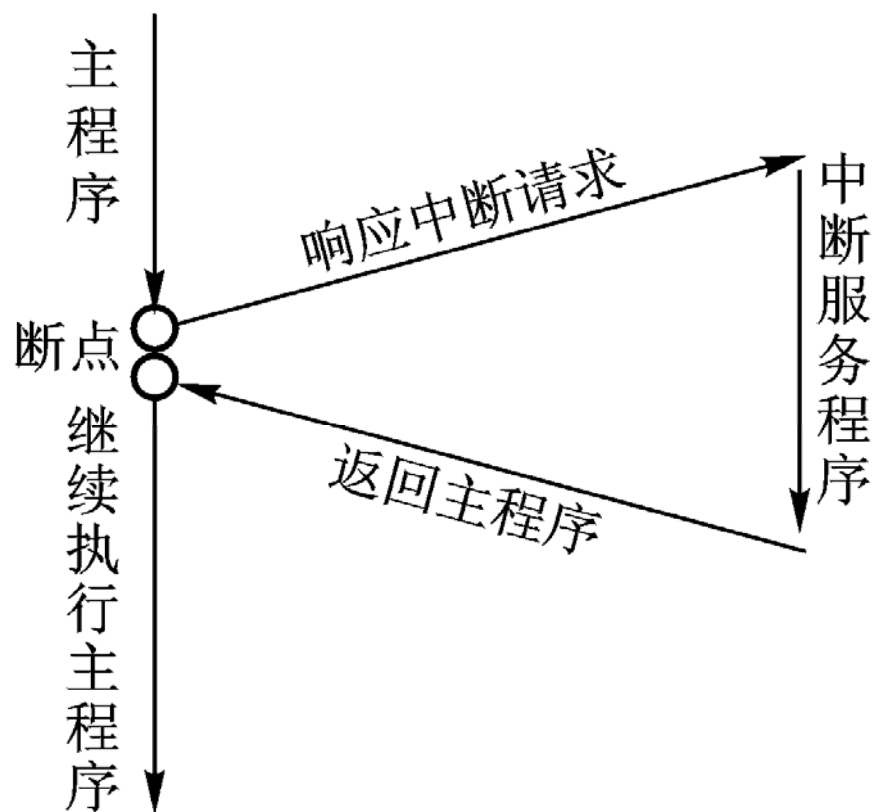
**中断的响应**

**中断系统的编程**



## 8.1 中断的概念

在执行程序的过程中，由于某种外界的原因，必须尽快终止当前的程序执行，而去执行相应的处理程序，待处理结束后，再回来继续执行被终止的程序。这个过程叫中断。





## 中断技术的优点：

- 提高**CPU**的效率
- 提高实时数据的处理时效
- 故障处理

## 中断源的概念

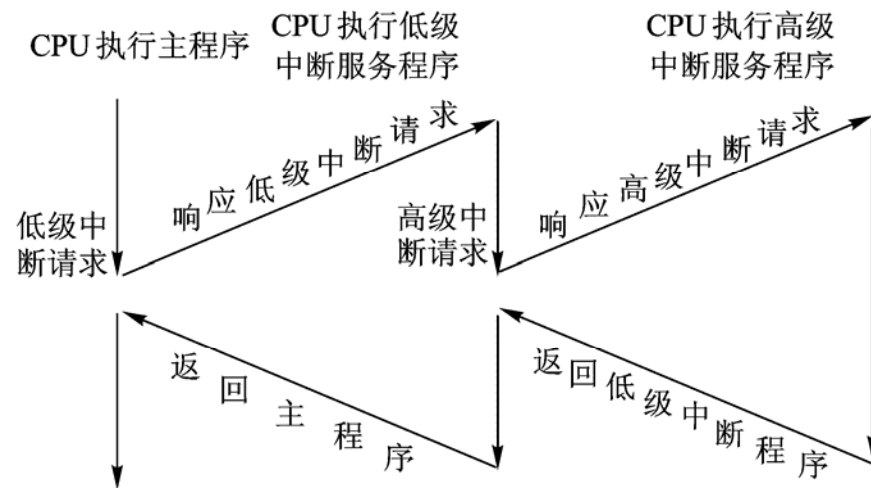
- 中断源又可称之为中断申请源，指能够产生中断申请的事件。

## 中断优先级

- 如同时发生多件事件，按照需响应事件的重要性选择事件处理，称之为中断优先级。

## 中断系统的功能：

- 中断优先权排队
- 实现中断嵌套
- 自动响应中断
- 实现中断返回



## 8.2 8051 的中断系统

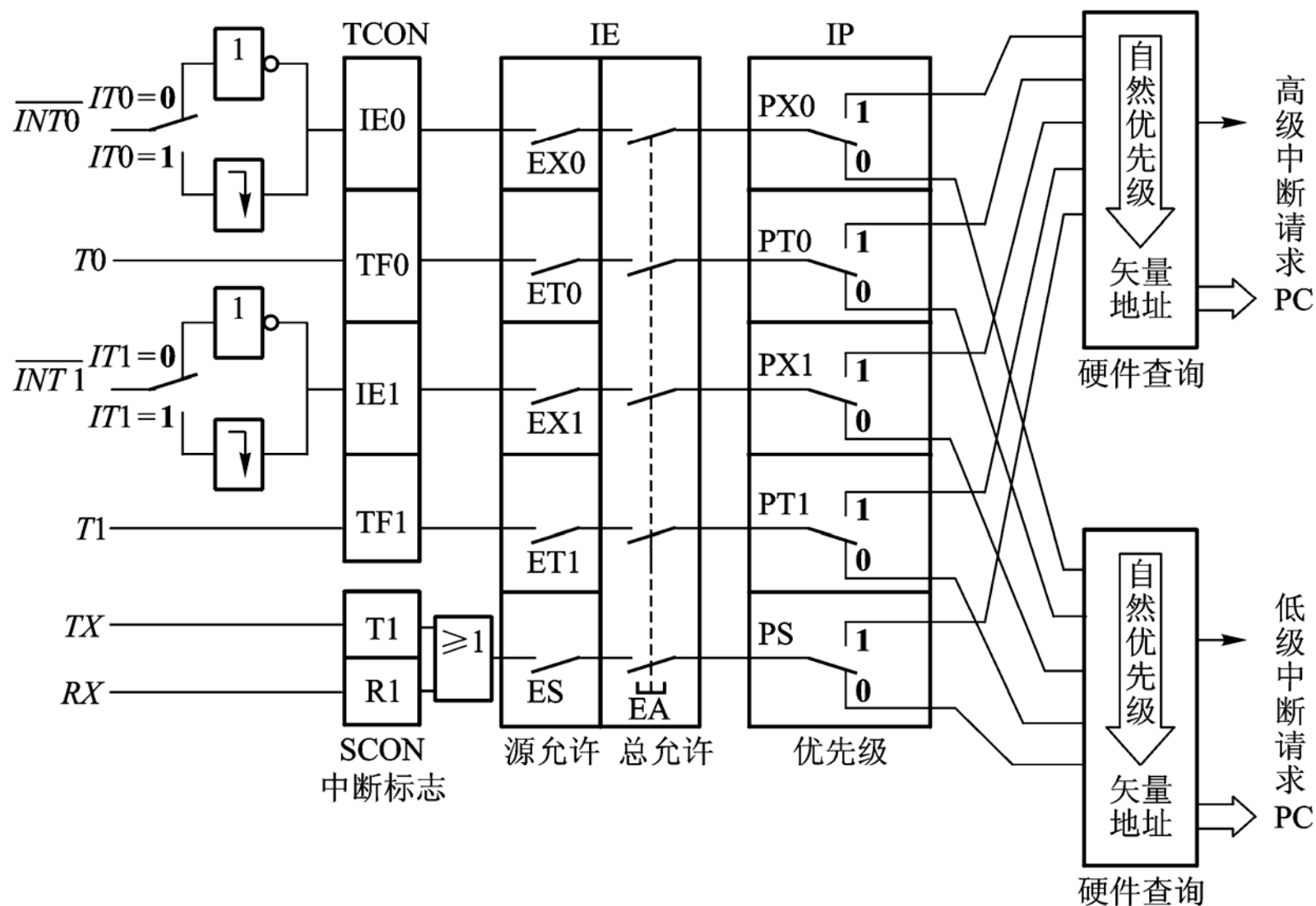
5个中断源，具有二个中断优先级，可实现二级中断服务程序的嵌套。每个中断源均可软件编程为高优先级或低优先级中断，允许或禁止向**CPU**请求中断。

有关的特殊功能寄存器（**SFR**）有：

- 中断允许寄存器**IE**
- 中断优先级控制寄存器**IP**
- 中断源寄存器（**TCON**、**SCON**中的有关位）

注：均可位寻址。

# 中断系统结构图





## 8.3 中断源

外部中断源 **INT0**、**INT1**：中断标志和触发方式控制位在**TCON**的低四位。

**IE0** (**IE1**) =1表示正在向**CPU**申请中断，响应后由硬件自动清零。

**IT0** (**IT1**) =0：电平（低电平）触发；

**IT0** (**IT1**) =1：边沿（下跳沿）触发。

**TCON** 的字节地址为 88H, 位地址为 88H~8FH

D7	D6	D5	D4	D3	D2	D1	D0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0



## 电平触发方式 ( $IT=0$ )

- 中断标志随外部电平状态变化而变化，适用于响应速度较高的外部中断申请，每个机器周期的**S5P2**采样**INT**引脚，决定相应**IE**的状态。

## 边沿触发方式 ( $IT=1$ )

- 中断标志**IE**由外部信号的下降沿触发（高、低电平保持时间大于**1**个机器周期），并保持直至中断得到响应，优点是中断事件不会被丢失。

注意：电平触发时，在中断返回前应撤除中断源（即去掉引起中断的低电平），一般将其用于中断服务程序可清除该外部请求源的情况。



## 内部中断源

**T0: TF0** 定时器**T0**的溢出中断请求

**T1 : TF1** 定时器**T1**的溢出中断请求

串行口中断：发送中断**TI**和接收中断**RI**逻辑或后，做为内部的一个中断源。

注意：响应串行口中断后，**CPU**并不清零中断标志位，必须软件清零。（**SCON**的低两位。）

## 中断使能控制IE (A8H)

— EA — — ES ET1 EX1 ET0 EX0

— 实现两级管理

— 注意：复位时，各位均为0，禁止所有中断。

**EA:** 中断开放标志，“1”表示开放中断。

**ES:** 串行口中断允许位，“1”有效。

**ET1、ET0:** 定时器中断允许位，“1”有效。

**EX1、EX0:** 外部中断允许位，“1”有效。

## 中断优先级控制 IP(B8H)

—— — PS PT1 PX1 PT0 PX0

- 每一中断源可编程为高优先级或低优先级中断，以实现二级嵌套。

是**5**个中断源的优先级控制位，“**1**”为高优先级。

**PS**: 串行通讯中断优先级控制位;

**PT1**: 计数/定时器**T1**中断优先级控制位;

**PX1**: 外部中断**1** (**INT1**) 优先级控制位;

**PT0**: 计数/定时器**T0**中断优先级控制位;

**PX0**: 外部中断**0** (**INT0**) 优先级控制位;

**默认的优先次序为: INT0、C/T0、INT1、C/T1、串行口中断 (依次从高到低)**

## 8.4 中断的响应过程

每个机器周期都顺序检查每一个中断源，当查询到某个中断标志位为**1**时，如果不被下述条件所阻止，则将在下一个机器周期的**S1**期间，响应激活最高中断请求。

阻止条件：

- 1) **CPU**正在处理相同或更高级的中断请求；
- 2) 现在的机器周期不是执行指令的最后一个机器周期（两周期指令**MOV R1, 20H**）
- 3) 正在执行的指令是**RETI**或对**IE**、**IP**的写操作指令。（执行这些指令后，至少再执行一条指令后才会响应中断）



置位相应的优先级状态触发器（该触发器指出**CPU**处理的中断优先级别）

执行一条硬件子程序调用（内部），使控制转移到相应的中断入口地址；

**PC**的内容进栈；（断点地址）

被响应的中断服务程序的入口地址送**PC**



## RETI

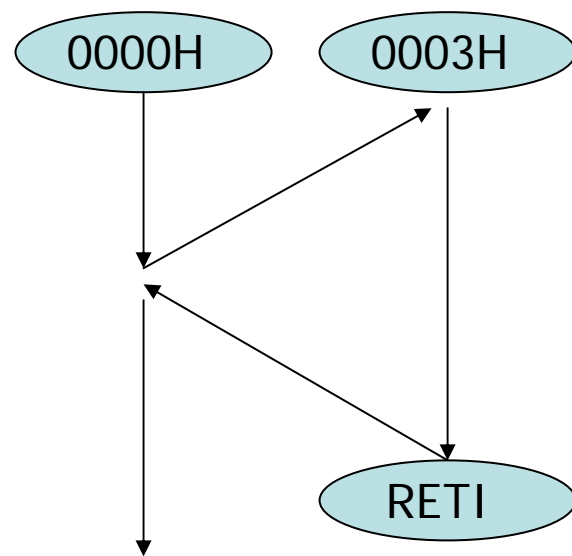
该指令为中断程序的最后一条指令，**CPU** 执行这一条指令时，将响应中断时的优先级状态寄存器清零，然后从堆栈中弹出两个字节送入程序计数器**PC**。

**CPU** 执行完该指令后，将从原先的断点处继续执行被中断的程序。



# 注意

中断源	入口地址
外部中断0	0003H
定时器/计数器T0	000BH
外部中断1	0013H
定时器/计数器T1	001BH
串行口中断	0023H



外部中断0响应过程

## 讨论：外部中断的响应时间



从外部中断标志置位，到**CPU**查询到该标志，需要**1**个机器周期。

执行硬件子程序调用，转到相应的中断入口，需要**2**个机器周期。

如果发生受阻，最不利的情况是，**RETI**后面跟随一条乘除指令，则需要**5**个机器周期。

由此可见，在单一中断系统里，外部中断的响应时间约为**3~8**个机器周期。

## 8.5 中断系统的编程



开相应中断源的中断； (**IE**)

设定中断优先级； (**IP**)

若为外部中断，设定外部中断的触发方式 (**TCON**)。

在相应的中断入口处写入中断程序。

中断子程序的最后一条指令为**RETI**。

## 例1: 中断初始化

```
CLR  IT1          ORL  IP, #04H
      SETB  PX1    ANL  TCON, #0FBH
      SETB  EX1    MOV  IE, #84H
      SETB  EA
```

中断优先级控制 **IP(B8H)**

— — — **PS PT1 PX1 PT0 PX0**

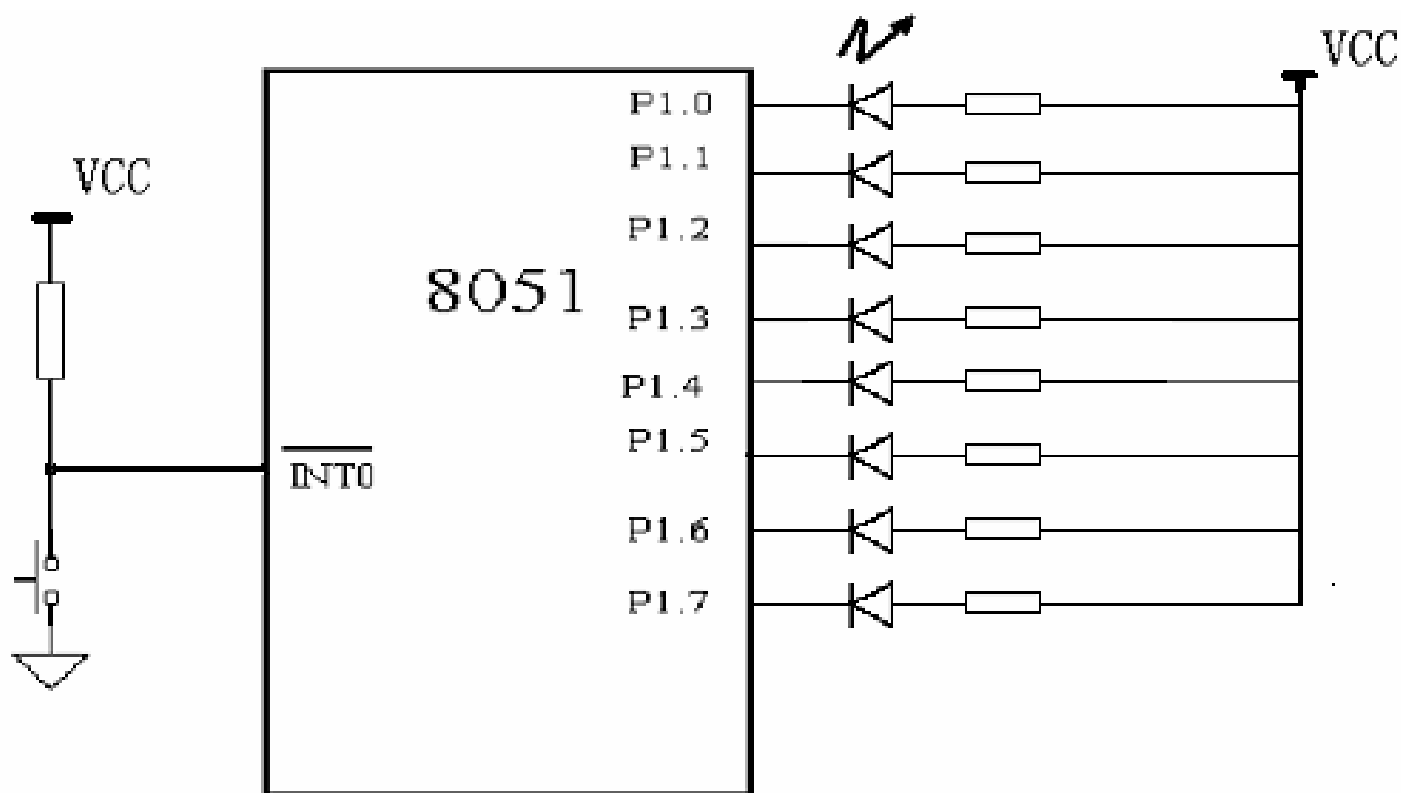
中断使能控制 **IE (A8H)**

**EA — — ES ET1 EX1 ET0 EX0**

**TCON**

**TF1 TR1 TF0 TR0 IE1 IT1 IE0 IT0**

例 2：外部中断的应用：**8051**单片机的**P1**口控制**8**个**LED**灯，要求**8**个灯加**1**移位点亮，当中断来时，灯全灭后全亮，中断返回后灯继续加**1**移位点亮。





```
ORG 0H
AJMP ST
ORG 0003H
AJMP EXT0
ORG 0030H
ST: MOV SP, #70H
    MOV TCON, #00H
    MOV IP, #01H
    MOV IE, #81H
RES: MOV R1, #0FFH
    MOV A, #0FFH
```

```
Loop: MOV P1, A
      DEC  A
      LCALL Delay
      LCALL Delay
      DJNZ R1, Loop
      SJMP RES
```

```
Delay:mov  r6,#0ffh
      mov  r7,#0ffh
Delay1:Djnz r6,Delay1
      Djnz r7,Delay1
      RET
```

# 中断服务程序

```
EXT0: PUSH    A
      PUSH    PSW
      setb     rs1
      MOV     A, #00
      MOV     P1, A
      ACALL    Delay
      ACALL    Delay
      CPL      A
      MOV     P1, A
      ACALL    Delay
      ACALL    Delay
      POP      PSW
      POP      A
      RETI
```



定时器作为外部中断源的使用（见定时/计数器一节）

中断和查询结合的方法

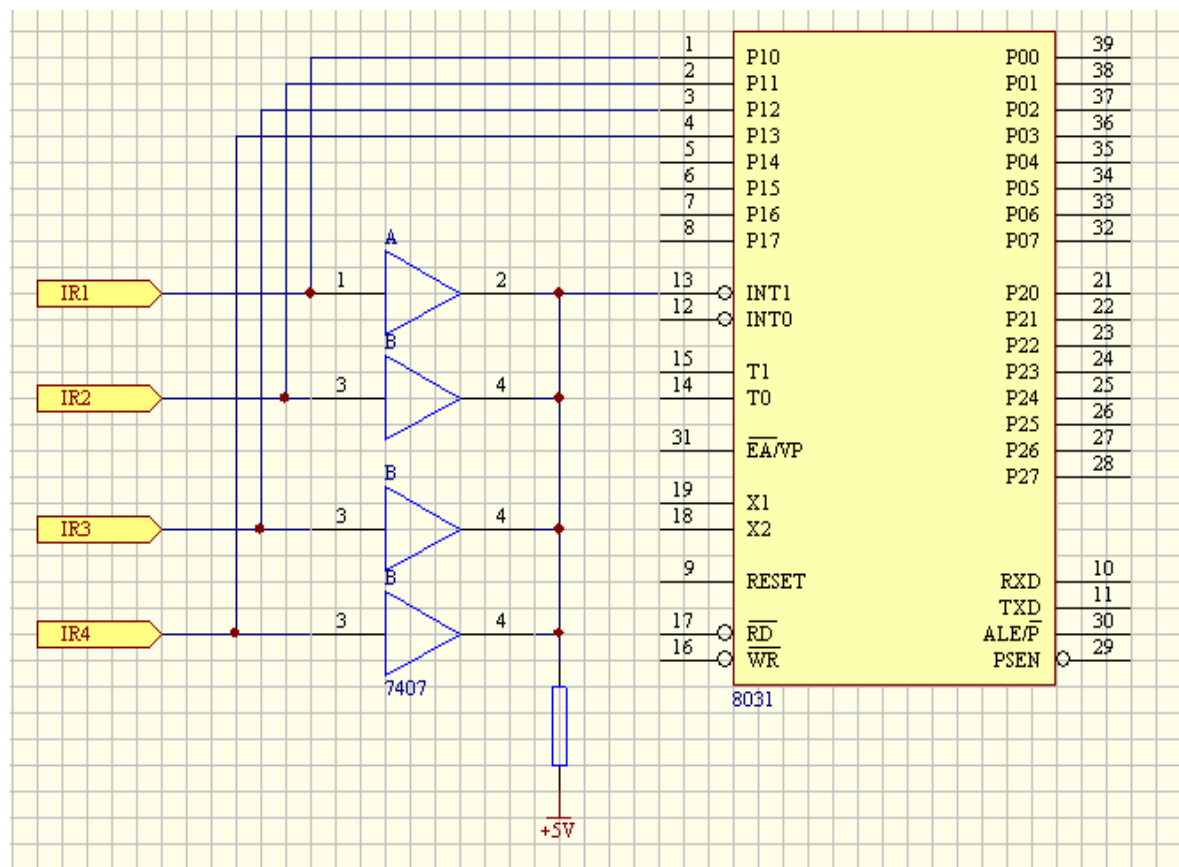
优先权编码器扩展外部中断（**74LS148**）



# 例3：中断和查询结合的多外部中断源的系统设计

例程：

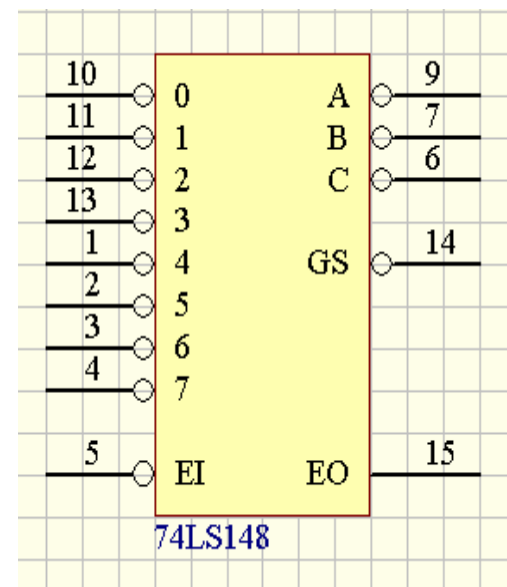
```
INT1: PUSH PSW
      PUSH A
      JNB P1.0,IR1
      JNB P1.1,IR2
      JNB P1.2,IR3
      JNB P1.3,IR4
INTIR: POP A
      POP PSW
      RETI
IR1:  ACALL INTIR1
      AJMP INTIR
IR2:  ...
```



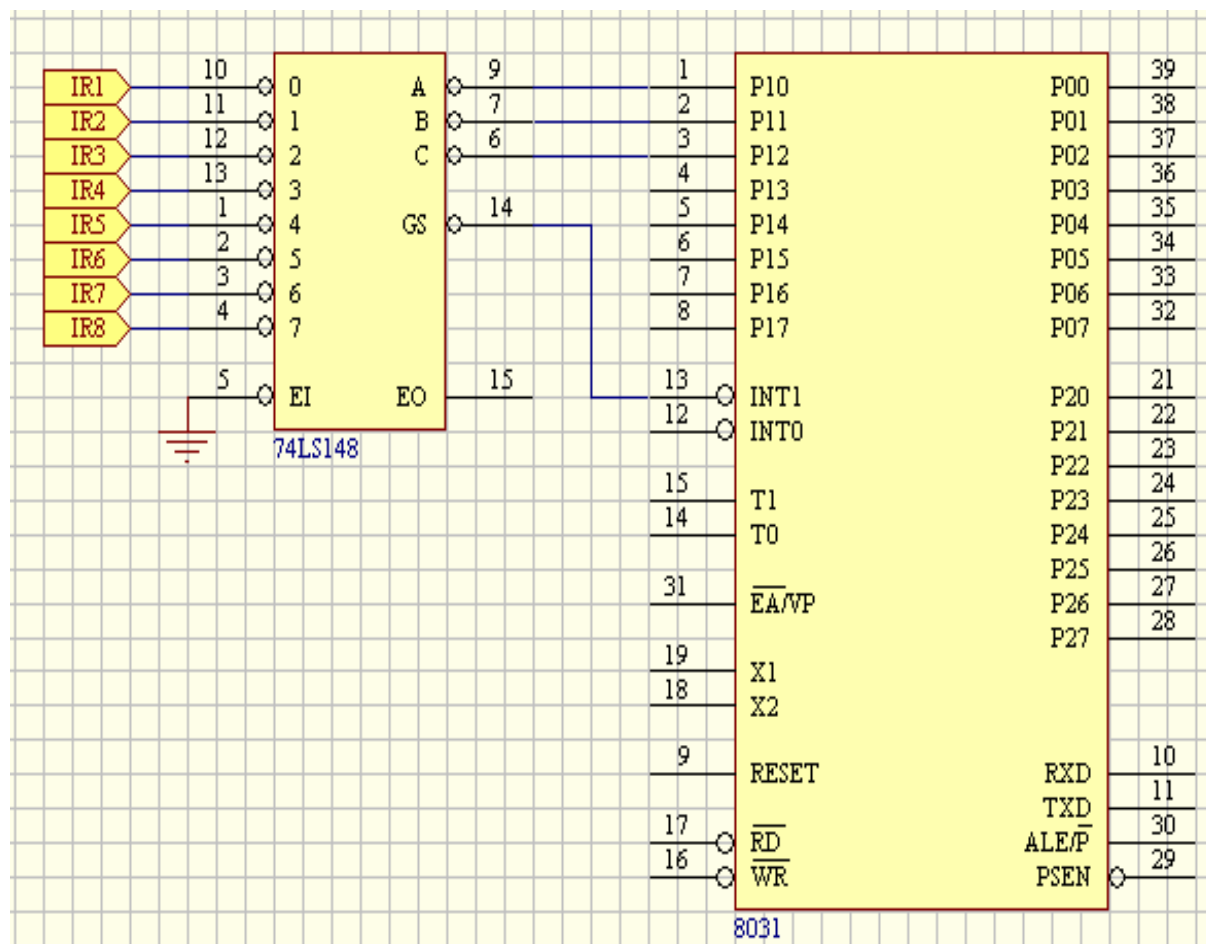
# 优先权编码器扩展外部中断

## 优先权编码器74LS148

input									output				
EI	0	1	2	3	4	5	6	7	C	B	A	GS	EO
H	x	x	x	x	x	x	x	x	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	x	x	x	x	x	x	x	L	L	L	L	L	H
L	x	x	x	x	x	x	L	H	L	L	H	L	H



# 优先权编码器扩展外部中断





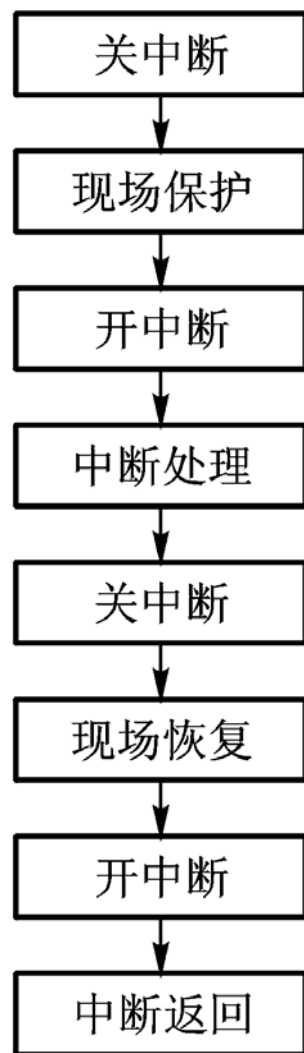
中断程序的响应时间  
中断申请信号的宽度  
堆栈的深度问题

## 提高：中断子程序的调试



- 在中断子程序的入口处设置断点
- 全速执行主程序
- 如发生中断，则程序会停在中断子程序入口处
- 单步执行中断子程序，完成调试

## 提高：规范的中断处理子程序流程图



# 习题



1. 程序存储器的空间里，有5个单元是特殊的，这5个单元对应MCS-51单片机5个中断源的中断入口地址，请写出这些单元的地址以及对应的中断源。

答：5种中断源的中断入口地址

中断源入口地址 外部中断0 ( )0003H 定时器0 (T0)000BH 外部中断1 ( )0013H 定时器1 (T1)001BH 串行口 0023H

2. 下列说法错误的是：

- (A) 各中断源发出的中断请求信号，都会标记在MCS-51系统中的IE寄存器中。
- (B) 各中断源发出的中断请求信号，都会标记在MCS-51系统中的TMOD寄存器中。
- (C) 各中断源发出的中断请求信号，都会标记在MCS-51系统中的IP寄存器中。
- (D) 各中断源发出的中断请求信号，都会标记在MCS-51系统中的TCON与SCON寄存器中。

答：A，B，C

3. MCS-51单片机响应外部中断的典型时间是多少？在哪些情况下，CPU将推迟对外部中断请求的响应？

答：响应外部中断的典型时间是3-8个机器周期

当遇到下列三种情况之一时，CPU将推迟对外部中断请求的响应：

- (1) CPU正在处理同级的或更高优先级的中断。
- (2) 所查询的机器周期不是所当前正在执行指令的最后一个机器周期。
- (3) 正在执行的指令是RETI或是访问IE或IP的指令。

4. 中断查询确认后，在下列各种8031单片机运行情况中，能立即进行响应的是：

- (A) 当前正在进行高优先级中断处理
- (B) 当前正在执行RETI指令
- (C) 当前指令是DIV指令，且正处于取指令的机器周期
- (D) 当前指令是MOV A, R3

答：D



5. 8031单片机响应中断后，产生长调用指令**LCALL**，执行该指令的过程包括：首先把（ ）的内容压入堆栈，以进行断点保护，然后把长调用指令的**16**位地址送（ ），使程序执行转向（ ）中的中断地址区。

答：PC，PC，程序存储区

6. 在**MCS-51**中，需要外加电路实现中断撤除的是：

- (A) 定时中断
- (B) 脉冲方式的外部中断
- (C) 外部串行中断
- (D) 电平方式的外部中断

答：D

7. 下列说法正确的是：

- (A) 同一级别的中断请求按时间的先后顺序顺序响应。
- (B) 同一时间同一级别的多中断请求，将形成阻塞，系统无法响应。
- (C) 低优先级中断请求不能中断高优先级中断请求，但是高优先级中断请求能中断低优先级中断请求。
- (D) 同级中断不能嵌套。

答：(A)，(C)，(D)

8. 中断服务子程序返回指令**RETI**和普通子程序返回指令**RET**有什么区别？

答：指令**RETI**与指令**RET**的差别是：**RETI**指令执行完毕，把响应中断时所置“1”的优先级状态触发器清“0”，而**RET**指令则没有这个动作，其它过程的都是相同的。





END