内蒙古农业大学

2018／2019学年第一学期期末考试

《计算机组成原理》试卷（A）

学 院 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 专 业 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 班 级 \_\_\_\_\_\_\_\_\_\_\_

姓 名 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 学 号 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 题号 | 一 | 二 | 三 | 四 | 五 | … | 总分 |
| 分值 |  |  |  |  |  |  |  |
| 得分 |  |  |  |  |  |  |  |

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

1. 选择题（每小题 2 分，共 30 分）

1. 下列数中最大的数是（ B ）

A、（10010101）2 B、（227）8 C、（96）16 D、（143）10

1. 在机器数中（ B ）的零的表示形式是唯一的。

A、原码B、补码 C、反码D、原码和反码

1. 若某数X的真值为-0.1010，在计算机中该数表示为1.0110，则该数所用的编码方法是（ B ）码。

A、原B、补 C、反D、移

1. 已知一个8位寄存器的数值为11001010，将其小循环左移一位后，结果为（ C ）

A、01100101B、10010100 C、10010101 D、01100100

1. 在浮点数原码运算时，判断结果为规格化数的条件是（ D ）
2. 阶码的符号位与尾数的符号位不同
3. 尾数的符号位与最高数值位相同
4. 尾数的符号位与最高数值不同
5. 尾数的最高数值位为1
6. 若采用双符号位，两个正数相加残剩溢出的特征时，双符号位为（ B ）

A、00 B、01 C、10D、11

1. 计算机的存储器采用分级存储体系的目的是（ D ）

A、便于读写数据 B、减小机箱的体积

C、便于系统升级D、解决存储容量、价格和存取速度之间的矛盾

1. 假设寄存器R中的数值为200，主存地址为200和300的地址单元中存放的内容分别是300和400，则（ D ）方式下访问到的操作数为200.

A、直接寻址 200 B、寄存器间接寻址（R）

C、存储器间接寻址（200）D、寄存器寻址 R

1. CPU通过指令访问虚拟存储器所用的程序地址叫做（ C ）

A、实存地址 B、物理地址 C、逻辑地址 D、真实地址

1. 某SRAM芯片，其存储容量为1024\*8位，除电源和接地端外，该芯片地址线和数据引脚的最小数目是（ A ）。

A、20 B、22 C、25D、30

1. 变址寻址方式中，操作数的有效地址等于（ C ）。

A、基值寄存器内容加上形式地址（位移量）

B、堆栈指示器内容加上形式地址（位移量）

C、变址寄存器内容加上形式地址（位移量）

D、程序计数器内容加上形式地址（位移量）

1. 水平型微指令与垂直型微指令相比（ B ）。

A、前者一次只能完成一个操作 B、后者一次只能完成一个操作

C、两者都是一次只能完成一个操作 D、两者都能一次完成多个操作

1. 程序控制类指令的功能是（ D ）

A、进行算术运算和逻辑运算

B、进行主存与CPU之间的数据传送

C、进行CPU和I\O设备之间的数据传送

D、改变程序执行的顺序

1. 下列选项中，不符合RISC指令系统的特点是（ B ）

A、指令长度固定，指令种类少

B、寻址方式种类尽量减少，指令功能尽可能强

C、增加寄存器的数目，以尽量减少访存次数

D、选取使用频率最高的一些简单指令，以及很有用但不复杂的指令

1. 就微指令的编码方式而言，若微操作命令的个数已确定，则（ B ）

A、直接控制法比编译法的微指令字长短

B、编译法比直接控制法的微指令字长短

C、编译法与直接控制法的微指令字长相等

D、编译法与直接控制法的微指令字长大小关系不确定

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

1. 填空题（每小题 2 分，共 20 分）
   1. 指令包括 操作码 和地址码俩部分。
   2. Inter Pentium 是 32 位的微处理器。
   3. 若浮点数格式中阶码的基数已定，尾数用规格化表示，浮点数的范围取决于 阶码 的位数。
   4. 微指令控制字段的编译法有 直接控制法 字段直接编译法，字段间接编译法和常数源字段F。
   5. 在Cache存储器中，CPU每次只向Cache存储器写入，直到经过修改的字块被从Cache中替换出来时才一次写入主存，这种更新主存块内容的方法为 写回 法。
   6. 控制器的控制方式有同步控制，异步控制和 联合 控制。
   7. 流水线中第2条指令的操作数地址即为第一条指令保存结果的地址，那么第2条指令取操作数的动作需要等到第1条指令完成后，否则取得的数据时错误的，这种情况称为 数据相关 。
   8. Cache的直接映像中，若Cache被分为4块，主存的第8块可以映像到Cache的 0 块。
   9. 由1K\*1的存储芯片构造4K\*2的存储器，需芯片 8 个。
   10. 当两个数进行比较时，NV+Z代表的转移条件是\_带符号数比较小于等于时转移\_。

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

《》试卷（A／B）第页（共页）

《》试卷（A／B）第页（共页）

1. 简答题（每小题 5 分，共 20 分）
2. 某流水线有一个指令和数据和一的cache，已知cache的读写时间为10ms，主存的读写时间为100ms，取指的命中率为98%，数据的命中率为95%，在执行程序是，约有1/8指令需要存/取一个操作数，为简单起见，假设指令流水线在任何时候都不阻塞，问设置cache后，与无cache比较，计算机的运算速度可以提高多少倍？
3. 写出指令Store（把rs内容送到（rsl）+disp指示的内存单元）的位程序编码。
4. 某计算机指令系统字长为20位，具有双操作数，单操作数和无操作数三类指令，每个操作数地址规定用6位表示。采用操作码扩展技术，现已设计出m条双操作数指令，n条无操作数指令，问：最多可以设计多少条单操作数指令？
5. 描述DMA方式下数据的输出过程。

|  |  |
| --- | --- |
| 得分 | 评卷人 |
|  |  |

四、应用题（每小题 10 分，共 30 分）

1. 信息位01101101，海明码是何值？
2. 设Cache有3块，cpu访问主存的序列是：3，4，2，6，4，3，7，4，3，6，3，4，8，4，6求FIFO和LRU两种替换算法中的命中率。
3. 已知两个浮点数：X=0011.01001，Y=1111.01011，其中阶码是4位补码，最高位为阶符，尾数为5位源码，最高位为数符。求X\*Y。要求给出运算步骤。