

Final Project

TrafficLight

I. Objectives:

Final project為一個紅綠燈控制系統，會運用到同學們在本學期實驗課中所實做的各個module，並對一些module做延伸，最後組合成完整的紅綠燈控制電路。本次project會訓練同學們設計電路、整合module的能力，了解電路設計從小module整合成完整大電路的過程。

II. Theory and Procedure:

紅綠燈控制系統完整功能的詳細敘述如下，同學們須依照此敘述設計出對應的電路。

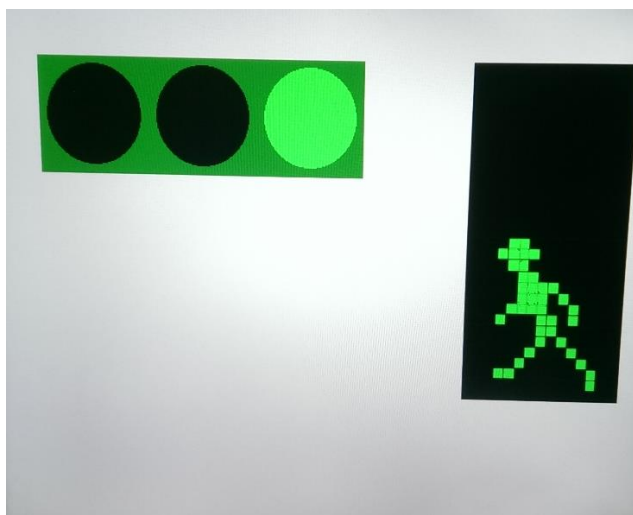
1. Phase 與 螢幕之燈號輸出說明

本紅綠燈控制系統控制了一個十字路口中，南北向的行車燈號與行人燈號，行車燈號共有紅黃綠3個燈，行人燈號共有小紅人與小綠人2個燈，因此本系統共需要控制5個燈。紅綠燈控制系統配合交通的運行，各個燈號會有5種組合方式，稱為5個phase，如表一中所示。

phase	車紅	車黃	車綠	人紅	人綠	說明
0	X	X	O	X	慢走	車與行人皆為綠燈，小綠人為正常行走。
1	X	X	O	X	快走	車綠燈，行人即將變紅燈(小紅人)，小綠人開始快走。
2	X	X	O	O	X	車綠燈，行人燈為小紅人。
3	X	O	X	O	X	車黃燈，行人燈為小紅人。
4	O	X	X	O	X	車紅燈，行人燈為小紅人。

表一：5個phase所對應的燈號行為，O為燈號開啟，X為燈號關閉。

此5個燈號會在透過VGA顯示在螢幕上，如圖一所示，圖一為phase=0時的輸出情形，可以看到車燈亮綠燈，行人燈亮小綠人。



圖一：螢幕所顯示之phase=0時的紅綠燈燈號。

2. 紅綠燈秒數運行、設定

要達成紅綠燈的功能，必須要有時間倒數的功能，並在時間倒數結束後，切換到下一個phase，每一個phase必須要記錄一個各自phase應持續的時間，而這個時間要能由外在設定。系統共分為兩個mode，**運行**與**設定**，由一個switch來切換mode。以下舉例來說明整個系統的運行。

假設phase_0_t為phase=0時要持續的時間，phase_1_t為phase=1時要持續的時間，以此類推，假設目前各個phase_x_t的值如表二中所示，**規定在reset的sw被撥動時，每個phase_x_t都被reset成4**。

phase_0_t	phase_1_t	phase_2_t	phase_3_t	phase_4_t
1	2	3	4	5

表二：set後各個phase_x_t的值。

在**運行**的mode下，假設目前在phase=0，系統會從1秒(phase_0_t)開始倒數，倒數到0時，phase會往下跳到phase=1，再重新從2秒(phase_1_t)開始倒數，依此類推，當phase=4時，會從5秒(phase_4_t)開始倒數，接下來會跳回phase=0，如此循環的運行下去。注意在運行的mode下，有**強制切換**的功能，即按下「左按鈕」時，會強制切換到下一個phase，按下「右按鈕」，會強制切換到上一個phase。

在**設定**的mode下，此時系統不會啟動時間倒數的功能，此時我們可以設定phase_x_t的值，設定的方法是用「左右按鈕」來調整到想設定之phase_x_t，再用「上下按鈕」調整該phase_x_t，此值的範圍是1-9，當phase_x_t為9時，向上按鈕不可再增加值，當phase_x_t為1時，向下按鈕不可再減少值。舉例來說，假設我們想把phase_2_t改為8，我們先利用「左右按鈕」調整到phase_2_t後，再用「上按鈕」把phase_2_t從3增加到8。

3. Switch、按鈕、七段顯示器說明

switch與按鈕是本紅綠燈控制系統的input，而七段顯示器與螢幕是本系統的output。

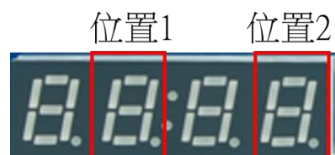
有兩個switch控制訊號，一個switch控制系統是否reset，一個switch控制系統目前的mode是**運行**還是**設定**。

按鈕會用到上下左右4個按鈕，在運行與設定兩種不同mode時，有不同的功能，如表三。

按鈕	運行mode	設定mode
上	無功用。	將目前的phase_x_t加1。 當phase_x_t=9時會停在9。
下	無功用。	將目前的phase_x_t減1。 當phase_x_t=1時會停在1。
左	強制切換到下一個phase。 當phase =4時會到0。	切換到下一個phase_x_t。 當phase =4時會停在4。
右	強制切換到上一個phase。 當phase =0時會到4。	切換到上一個phase_x_t。 當phase =0時會停在0。

表三：4個按鈕在兩種mode中的功能。

七段顯示器共有4個顯示數字的位置，會用到其中兩個位置(位置1與位置2)來顯示數字，如圖二中所標示。



圖二：七段顯示器位置標示。

位置1與位置2在運行與設定兩種不同mode時，會顯示不同的值，如表四。

七段顯示器	運行mode	設定mode
位置1	目前正在哪個phase。(0-4)	目前正在設定哪個phase_x_t，0代表目前正在設定phase_0_t，由「左右按鈕」切換。(0-4)
位置2	目前phase剩下的時間，會從phase_x_t倒數到0。(1-9)	目前phase_x_t的值，按下「上下按鈕」時會加/減值。(1-9)

表四：七段顯示器要顯示之值

III. Existing Module Description

Final project 中，同學們所需完成的部份為3個module：MP_TimerController、DisplayController、TrafficLight，此3個module同學們需以gate-level的寫法來完成。其餘在src/don't touch資料夾中的module皆為助教以RTL完成的module，同學們不需更動，但會需要使用到這些module的功能，此處會詳述各個已完成的module之電路功能與pin腳資訊。

1. SevenSegment.v (LAB6)

SevenSegment使用了ssDecoder與ssDisplayer兩個module，ssDecoder即同學們在LAB6所實作的binary to decimal decoder。ssDisplayer為處理七段顯示器多個數字同時顯示的電路。num3-0，mask如下表的敘述，控制七段顯示器要顯示的數字及位置。seg、dp_on、an為FPGA上七段顯示器的pins，同學們直接對接即可。

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset，由1個switch控制。
num3	I	4	要顯示在七段顯示器最左邊的數字。(0-9)
num2	I	4	要顯示在七段顯示器左二邊的數字。(0-9)
num1	I	4	要顯示在七段顯示器右二邊的數字。(0-9)
num0	I	4	要顯示在七段顯示器最右邊的數字。(0-9)
mask	I	4	七段顯示器的4個數字中，要顯示數字。Ex. mask=4'b1001代表中間兩個要顯示，最左邊跟最右邊不顯示。
seg	O	7	FPGA板上七段顯示器的pins。
dp_on	O	1	FPGA板上七段顯示器的pins。
an	O	4	FPGA板上七段顯示器的pins。

2. Timer.v (LAB9)

此module即同學們在LAB9中所實作的module，Timer中要存一個目前的秒數。Timer有兩個mode，set=1時為設定mode，會把Timer所存之秒數設定成new_sec，set=0為運行mode，會從此秒數倒數，cur_sec為此時倒數的秒數。

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset，由1個switch控制。

set	I	1	set =0為運行mode，set=1設定mode，由1個switch控制。
new_sec	I	4	要設定的新秒數。
cur_sec	O	4	目前倒數的秒數。

3. ButtonFSM.v (LAB10)

此module即同學們在LAB10中所實作的module，其功能為按鈕的debouncing，當按鈕被按下一次時，debounced這個output訊號會有1個cycle的logic 1，其餘時候為logic 0。

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset，由1個switch控制。
button	I	1	來自FPGA板上按鈕來的電位訊號，button=1為logic1。
debounced	O	1	Debouncing後的訊號，debounced=1代表按鈕被按下，請注意每當按鈕被按下1次時，debounced應該只會有1個cycle是logic1，其餘皆為logic0。

4. VGADisplayer.v (LAB12)

此module即同學們在LAB12中所使用到的module，但除了man_state外，多了car_state的參數。如同LAB12，man_state控制了小紅人、小綠人的顯示。car_state控制了三個行車燈號：紅燈、黃燈、綠燈，開啟與關閉，詳見下表說明。vgaRed、vgaBlue、vgaGreen、Hsync、Vsync為FPGA上VGA的pins，同學們直接對接即可。

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset，由1個switch控制。
car_state	I	3	每個bit代表1個行車燈號的開關。car_state[2]為紅燈，car_state[1]為黃燈，car_state[0]為綠燈。該bit為1時螢幕顯示該燈開啟，0時螢幕顯示該燈關閉。Ex. car_state = 3'b100，為紅燈開，黃燈綠燈關。
man_state	I	4	0-8的數字，0為顯示小紅人，小綠人關閉。1-8為顯示8張小綠人的分解圖。(詳細參照LAB12)
vgaRed	O	4	FPGA板上VGA的pins。
vgaBlue	O	4	FPGA板上VGA的pins。

vgaGreen	O	4	FPGA板上VGA的pins。
Hsync	O	1	FPGA板上VGA的pins。
Vsync	O	1	FPGA板上VGA的pins。

IV. Required Module Description

此部分詳述，同學們所需完成的部份為3個module：MP_TimerController、DisplayController、TrafficLight，功能與pin腳的定義。

1. MP_TimerController (LAB11之延伸)

此module為LAB8的bi-phase timer setting與LAB9的timer的延伸，主要控制的變數為cur_phase與phase_x_t，詳見II.2中提到的紅綠燈秒數運行、設定，buttonU/D/L/R會用來控制cur_phase和phase_x_t的設定，其在運行與設定兩個mode有不同的作用，詳見II.3的表三。

cur_phase為目前的phase，須用到Timer的倒數功能來協助cur_phase的設定，每當Timer倒數到0時，需要把Timer重新設定成下一個phase_x_t，cur_phase向下一個，Timer再重新開始倒數。seven_num是要顯示在七段顯示器的位置2之數字，詳見II.3。

cur_phase與seven_num在運行與設定兩個mode所代表的意義不同，詳見下表。

Name	I/O	Bits	Description
clk	I	1	25MHz clock訊號
rst	I	1	非同步reset訊號，rst=1時為reset，由1個switch控制。
set	I	1	set =0為運行mode，set=1設定mode，由1個switch控制。
buttonU	I	1	Debounced後的按鈕訊號，向上的按鈕。
buttonD	I	1	Debounced後的按鈕訊號，向下的按鈕。
buttonL	I	1	Debounced後的按鈕訊號，向左的按鈕。
buttonR	I	1	Debounced後的按鈕訊號，向右的按鈕。
cur_phase	O	3	運行mode時，為目前的運行到的phase。設定mode時，為目前正在設定的phase_x_t。請詳見II.2。
seven_num	O	4	即II.3中，要顯示在七段顯示器的位置2之數字。運行mode時，為目前phase剩下的時間。設定mode時，為目前正在設定的phase_x_t之值。請詳見II.3。

2. DisplayController (LAB12之延伸)

此module為LAB12的延伸，會處理七段顯示器的顯示與VGADisplayer module的溝通。

七段顯示器的部份，詳見II.3的表四，應依據MP_TimerController送來的cur_phase與seven_num來決定七段顯示器的顯示內容，再使用SevenSegment module來協助顯示。

與VGADisplayer溝通的部份，應依據MP_TimerController送來的cur_phase，實現II.1中表一，各個phase對應到的燈號顯示。車燈的部份，car_state是代表紅黃綠三個燈的開關，詳見III.4中的說明。小綠人與小紅人用man_state來控制，同LAB12，詳見III.4中的說明。

LAB12所實作的小綠人動畫為phase=0時的”小綠人慢走”，但在phase=1時，須實現”小綠人快走”的動畫，請同學們自行設計如何利用同樣的8張分解圖讓小綠人能出現”快走”的動畫。

Name	I/O	Bits	Description
clk	I	1	25MHz clock 訊號
rst	I	1	非同步reset 訊號，rst=1時為reset
cur_phase	I	3	來自MP_TimerController的訊號。
seven_num	I	4	來自MP_TimerController的訊號。
car_state	O	3	每個bit代表1個行車燈號的開關。car_state[2]為紅燈，car_state[1]為黃燈，car_state[0]為綠燈。該bit為1時螢幕顯示該燈開啟，0時螢幕顯示該燈關閉。Ex. car_state = 3'b100，為紅燈開，黃燈綠燈關。
man_state	O	4	0-8的數字，0為顯示小紅人，小綠人關閉。1-8為顯示8張小綠人的分解圖。(詳細參照LAB12)
seg	O	7	FPGA板上七段顯示器的pins。
dp_on	O	1	FPGA板上七段顯示器的pins。
an	O	4	FPGA板上七段顯示器的pins。
led	O	16	16個LED燈，led[15]為最左邊的LED，led[0]為最右邊的LED，供同學debug使用。

3. TrafficLight

此module為考驗同學們整合電路的能力，即為所有電路的連接，透過此TrafficLight將各個子module連在一起後，才能實現整個完整的電路。

因此同學們需要先畫出如先前LAB的system diagram後，參照先前LAB中的LAB12.v等檔案(即各LAB的最大module)，完成TrafficLight。

Name	I/O	Bits	Description
clk	I	1	100MHz clock 訊號
clk25		1	降頻為25MHz的clock 訊號，用來輸入到各個 module。
sw	I	16	sw[15]為最左邊的switch，sw[0]為最右邊的 switch。須有一個sw做為rst，一個做為set輸入到各module中。
btnU	I	1	尚未debounced的按鈕訊號，向上按鈕。
btnD	I	1	尚未debounced的按鈕訊號，向下按鈕。
btnL	I	1	尚未debounced的按鈕訊號，向左按鈕。
btnR	I	1	尚未debounced的按鈕訊號，向右按鈕。
vgaRed	O	4	FPGA板上VGA的pins。
vgaBlue	O	4	FPGA板上VGA的pins。
vgaGreen	O	4	FPGA板上VGA的pins。
Hsync	O	1	FPGA板上VGA的pins。
Vsync	O	1	FPGA板上VGA的pins。
seg	O	7	FPGA板上七段顯示器的pins。
dp_on	O	1	FPGA板上七段顯示器的pins。
an	O	4	FPGA板上七段顯示器的pins。
led	O	16	16個LED燈，led[15]為最左邊的LED，led[0]為最右邊的LED，供同學debug使用。

由於TrafficLight為最大的module，其對外溝通的pin腳都是從FPGA板上來的真實訊號，有許多訊號會在已完成的module中被處理，因此同學若看到以下訊號，直接對接module中同名字的pin腳即可。

Pin腳名稱		所屬device	使用到的module
seg	dp_on	七段顯示器	DisplayController
an			SevenSegment / ssDisplayer
vgaRed	vgaBlue	VGA	VGADisplayer
vgaGreen	Hsync		
Vsync			