

Nome: _____ N. Mec.: _____ Turma: _____

Grupo I

Considere o seguinte trecho de código VHDL.

```
entity bloco1 is
  generic (size : positive := 1);
  port( a, b : in  std_logic_vector(size-1 downto 0);
        s : in  std_logic;
        c : out std_logic_vector(size-1 downto 0));
end bloco1;

architecture Behav of bloco1 is
begin
  with s select
    c <= a when '0',
         b when others;
end Behav;
```

```
entity bloco2 is
  port( i0, i1, i2, i3 : in std_logic_vector(3 downto 0);
        s : in std_logic_vector(1 downto 0);
        y : out std_logic_vector(3 downto 0));
end bloco2;

architecture Struct of bloco2 is
  signal s_int0, s_int1 : std_logic_vector(3 downto 0);
begin
  m0: entity work.bloco1(Behav)
      generic map(size => 4)
      port map(a => i0, b => i1, s => s(0), c => s_int0);

  m1: entity work.bloco1(Behav)
      generic map(size => 4)
      port map(a => i2, b => i3, s => s(0), c => s_int1);

  m2: entity work.bloco1(Behav)
      generic map(size => 4)
      port map(a => s_int0, b => s_int1, s => s(1), c => y);
end Struct;
```

1. Desenhe o diagrama lógico do circuito modelado na entidade "bloco2".

2. Usando um máximo de 40 palavras, descreva o funcionamento do circuito modelado em "bloco2".

3. Indique, justificando, qual o valor da saída "y" para os seguintes valores de entrada: s="11", i0="1010", i1="1100", i2="0101" e i3="0010". Repita para o caso em que s="10", mantendo os mesmos valores de "i0", "i1", "i2" e "i3".

Grupo II

O seguinte trecho de código VHDL modela, supostamente, um decodificador binário de 3→8, com entrada de *enable* e saídas ambas em lógica negativa e entradas de dados em lógica positiva. No entanto, o código apresentado possui erros, quer de sintaxe, quer funcionais (implementação), que impedem a sua compilação (síntese) com sucesso e o seu correto funcionamento.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

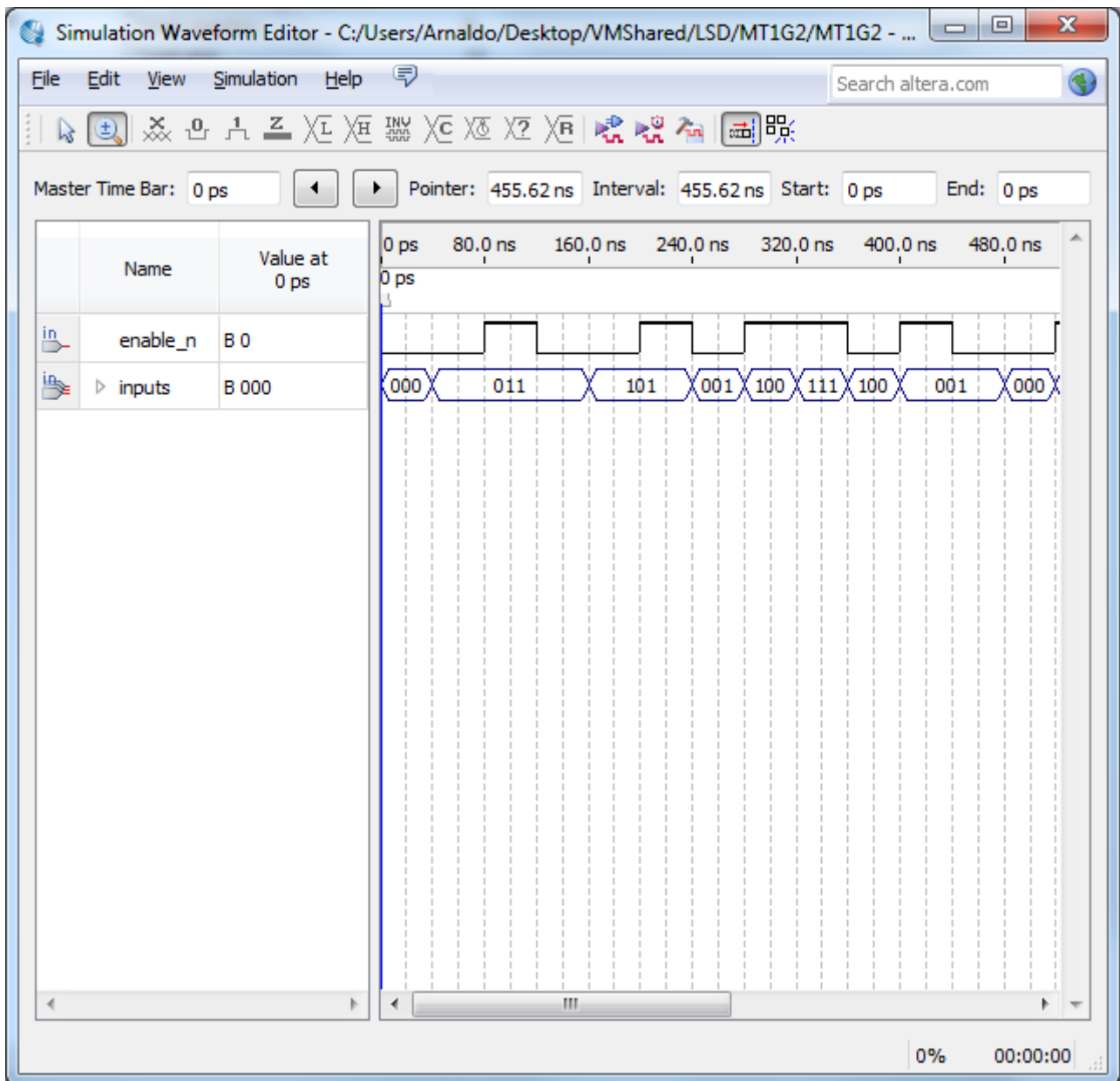
entity Dec3_8En_n is
    port(enable_n : std_logic;
          inputs   : std_logic_vector(2 downto 0);
          outputs_n : std_logic_vector(7 downto 0));
end Dec3_8En_n;

architecture Behavioral of Dec3_8En_n is

    outputs_n <= "00000000" when (enable_n = '0') else
                  "11111110" when (inputs = "000") else
                  "11111101" when (inputs = "001") else
                  "11111011" when (inputs = "010") else
                  "11110111" when (inputs = "011") else
                  "11101111" when (inputs = "100") else
                  "11011111" when (inputs = "101") else
                  "10111111" when (inputs = "110") else
                  "01111111";

end Structural;
```

1. Complete o seguinte diagrama temporal com o sinal de saída que resulta da aplicação dos vetores de entrada especificados e assumindo um funcionamento correto do decodificador. Represente o vetor de saída em binário, através de cada um dos sinais individuais que o compõem ou, em alternativa, como um barramento, indicando em hexadecimal o valor que este possui em cada instante.



2. Assinale e corrija os erros de sintaxe e funcionais diretamente no código apresentado.