

**Universidade de Aveiro**  
Dep. de Electrónica, Telecomunicações e Informática  
**Laboratório de Sistemas Digitais**  
**Proposta de Projeto Final**  
Ano letivo 2018/19

**Projeto nº 1 – Máquina de calcular com memória**

## **1. Introdução**

Pretende-se implementar uma máquina de calcular com memória capaz de realizar as seguintes operações sobre números inteiros: adição, subtração, multiplicação, divisão (inteira) e raiz quadrada (inteira). As três últimas operações devem ser realizadas de modo iterativo, determinando o resultado em vários ciclos de relógio.

Os operandos são representados em 8-16 bits. O resultado é de 16 bits para o caso de multiplicação e de 8 bits para todas as operações restantes. Os resultados devem ser apresentados, em decimal, em *displays* de 7 segmentos, com indicação do sinal. Deve ser possível consultar as três últimas operações realizadas, incluindo os operandos, a operação, o resultado e erros.

## **2. Implementação**

A implementação deverá consistir:

- numa unidade de execução (*datapath*), que inclui todas as unidades funcionais que efetuam as operações e encaminham os dados;
- numa unidade de controlo (*controlpath*) que controla todo o sistema, gerando os sinais de controlo para o *datapath* e recebendo dele os sinais de estado.

Deverá ser possível realizar integralmente a introdução de dados e a visualização do estado do sistema utilizando os dispositivos de interface elementares da placa de desenvolvimento (interruptores, botões, LEDs e *displays* de 7 segmentos).

O sistema deverá possuir também um módulo de validação que gere uma indicação de erro sempre ocorra uma operação inválida (por exemplo, divisão por 0 ou *overflow*).

Sugere-se o seguinte método de introdução de dados:

- Os interruptores SW(15..8) especificam o 1º operando;
- Os interruptores SW(7..0) especificam o 2º operando;
- Os botões permitem seleccionar a operação a realizar: KEY(0) – soma, KEY(1) – subtração, KEY(2) – multiplicação, KEY(3) – divisão inteira. A operação escolhida é realizada sobre operandos de 8 bits, com sinal, em complemento para 2. O resultado é de 16 bits para o caso de multiplicação e de 8 bits para as operações restantes.
- SW(16), quando ativado, faz o sistema a calcular a raiz quadrada inteira do valor de 16 bits, sem sinal, especificado em SW(15..0). Com SW(16) ativo o estado dos botões deve ser ignorado.
- O resultado deve ser apresentado, em decimal, em *displays* de 7 segmentos, com indicação do sinal. Se o resultado não é válido, LEDR(0) deve piscar com frequência de 1 Hz.
- SW(17), quando ativo, proíbe a realização de quaisquer operações novas e faz o sistema a visualizar, nos *displays* de 7 segmentos, as últimas 3 contas realizadas pela máquina, em formato de “slide show” cíclico, mudando os valores cada segundo:
  - <mostrar o 1º operando>
  - <operação> (codifique as 5 operações existentes com letras)
  - <mostrar o 2º operando> (omitir para o caso de raiz quadrada)
  - <resultado>
  - <erros> (ocorrência de *overflow* ou divisão por zero – codifique erros possíveis com letras)

Deverá ser seguida uma estratégia faseada de desenvolvimento de acordo com as fases a seguir descritas.

**Fase 1** – Implemente as operações de soma, subtração, multiplicação e divisão (inteira). As duas últimas operações devem obrigatoriamente ser realizadas de modo iterativo, determinando o resultado em vários ciclos de relógio. Visualize o resultado, em decimal, em *displays* de 7 segmentos, com indicação do sinal. Se o resultado não é válido, LEDR(0) deve piscar com frequência de 1 Hz.

**Fase 2** – Adicione a operação de raiz quadrada.

**Fase 3** – Implemente a memória da máquina de calcular que possibilite a consulta, nos *displays* de 7 segmentos, das últimas 3 operações realizadas.

### **3. Obtenção de classificações superiores a 17 valores**

Classificações superiores a 17 valores requerem a utilização do *display* LCD em vez dos *displays* de 7 segmentos, para visualização de dados, resultados, memória e mensagens de erro.

**PDF gerado em 09/04/2019**