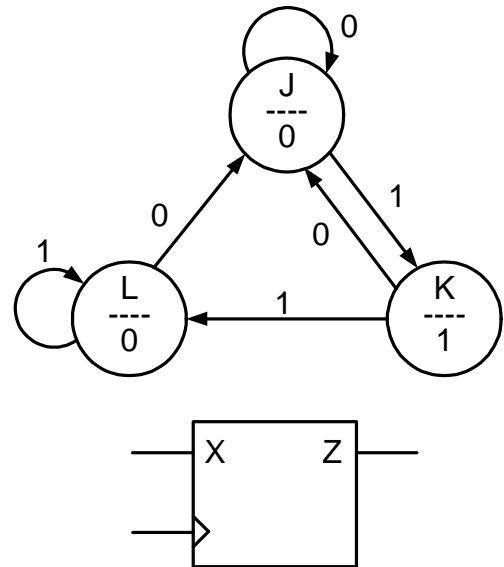




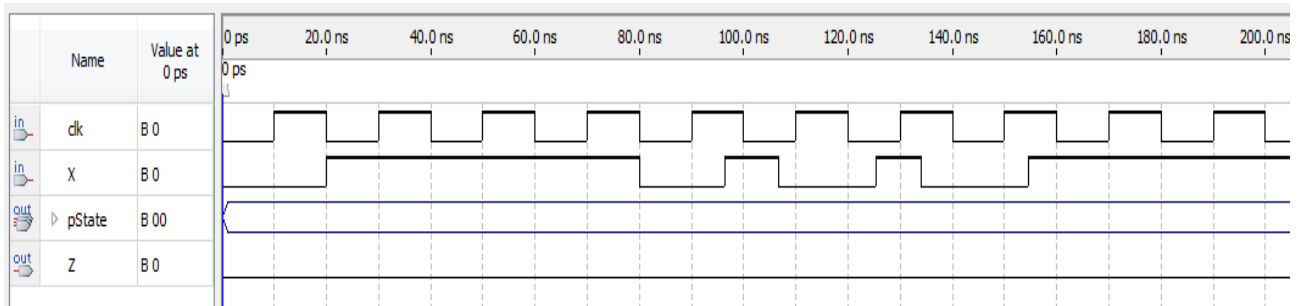
## Grupo II

1. [1 valor] Identifique, justificando, o modelo de máquina de estados representada no diagrama de estados abaixo (com uma entrada,  $X$ , e uma saída,  $Z$ ).

2. [4 valores] Complete o código abaixo de acordo com o diagrama de estados (**respeite os nomes indicados**).

[illegible]

3. [2 valores] Analise o diagrama de estados da figura anterior e complete o diagrama temporal seguinte (sinais **pState** e **Z** – as linhas representadas servem apenas de referência visual para a sua resposta). Assuma que no momento 0 a máquina se encontra no estado **J**.



### Grupo III

1. [2 valores] Analise os extratos de código seguintes e determine que *hardware* será sintetizado. Preencha a tabela com os resultados, assinalando as respostas com uma cruz.

<pre>-- código A process (enable, dataIn) begin     if (enable = '1') then         dataOut &lt;= dataIn;     end if; end process;</pre>	<pre>-- código C validOut &lt;= '1'; output &lt;= "00"; if input(3) = '1' then output &lt;= "11"; elsif input(2) = '1' then output &lt;= "10"; elsif input(1) = '1' then output &lt;= "01"; elsif input(0) = '1' then output &lt;= "00"; else validOut &lt;= '0'; end if;</pre>
<pre>-- código B if (sel = '0') then     output &lt;= input0; else     output &lt;= input1; end if;</pre>	<pre>-- código D outputs &lt;= "0000" when (enable = '0') else     "0001" when (inputs = "00") else     "0010" when (inputs = "01") else     "0100" when (inputs = "10") else     "1000" when others;</pre>

Código	Latch	Flip-flop	Multiplexer	Descodificador	Codificador de prioridade	Somador
A						
B						
C						
D						

### Grupo IV

Analise o código VHDL seguinte.

- [2 valores] Desenhe o diagrama de blocos que corresponde ao circuito descrito. Identifique claramente entradas/saídas externas, o nome de cada bloco, os seus portos e os nomes de sinais que interligam os blocos entre si. Use o espaço disponível na última página.
- [1 valor] Determine a função do circuito.

- [1 valor] Determine o número de ciclos de relógio (**N**) necessários para calcular o resultado. Justifique adequadamente a sua resposta.

- [1 valor] Assumindo que **sw**="1111 0000 0011 1111", determine o valor da saída **LEDG**, após **N** ciclos de relógio, em que **N** é o valor obtido na questão anterior.

```

entity Circuit is
    port(CLOCK_50      : in  std_logic;
          KEY           : in  std_logic_vector(0 downto 0);
          SW            : in  std_logic_vector(15 downto 0);
          LEDG          : out std_logic_vector(7 downto 0));
end Circuit;

architecture Structural of Circuit is
    signal s_en          : std_logic;
    signal s_xored        : std_logic_vector(7 downto 0);
    constant s_value      : std_logic_vector(7 downto 0) := "00000001";
    signal s_acc, s_add    : std_logic_vector(7 downto 0);
begin

    s_xored <= SW(15 downto 8) xor SW(7 downto 0);

    get: entity work.ShiftReg(RTL)      -- registo de deslocamento
        port map (clk      => CLOCK_50,
                  load      => KEY(0),
                  dataIn    => s_xored,
                  serOut     => s_en);

    add: entity work.Adder(RTL)         -- somador: result = A + B
        port map (A        => s_value,
                  B         => s_acc,
                  result    => s_add);

    store: entity work.Reg(RTL)        -- registo
        port map (clk      => CLOCK_50,
                  reset     => KEY(0), -- reset síncrono, põe o registo a 0
                  en        => s_en,   -- enable
                  dataIn    => s_add,
                  dataOut   => s_acc);

    LEDG <= s_acc;
end Structural;

```

