

Marleson Graf

Verificação presilício de memória baseada em testes dirigidos adaptativos

Florianópolis
23 de junho de 2017

Marleson Graf

VERIFICAÇÃO PRESILÍCIO DE MEMÓRIA BASEADA EM TESTES DIRIGIDOS ADAPTATIVOS

Modelo canônico de trabalho de conclusão de curso para
acadêmicos da UFSC e usuários da plataforma abnT_EX2.
Orientador: Prof. Dr. Luiz Claudio Villar dos Santos
Coorientador: José da Silva Sauro

Florianópolis
23 de junho de 2017

Acadêmico	Marleson Graf
Título do trabalho	Verificação presilício de memória baseada em testes dirigidos adaptativos
Curso	Ciências da Computação/INE/UFSC
Área de Concentração	Hardware

Instruções para preenchimento pelo ORIENTADOR DO TRABALHO:

- Para cada critério avaliado, assinale um X na coluna SIM apenas se considerado aprovado. Caso contrário, indique as alterações necessárias na coluna Observação.

Critérios	Aprovado				Observação
	Sim	Parcial	Não	Não se aplica	
1.O trabalho é adequado para um TCC no CCO/SIN (relevância/abrangência)?					
2.O título do trabalho é adequado?					
3.O tema de pesquisa está claramente descrito?					
4.O problema/hipóteses de pesquisa do trabalho está claramente identificado?					
5.A relevância da pesquisa é justificada?					
6.Os objetivos descrevem completa e claramente o que se pretende alcançar neste trabalho?					
7.É definido o método a ser adotado no trabalho? O método condiz com os objetivos e é adequado para um TCC?					
8.Foi definido um cronograma coerente com o método definido (indicando todas as atividades) e com as datas das entregas (p.ex.Projeto I, II, Defesa)?					
9.Foram identificados custos relativos à execução deste trabalho (se houver)? Haverá financiamento para estes custos?					
10.Foram identificados todos os envolvidos neste trabalho?					
11.As formas de comunicação foram definidas (ex: horários para orientação)?					
12.Riscos potenciais que podem causar desvios do plano foram identificados?					
13.Caso o TCC envolva a produção de um software ou outro tipo de produto e seja desenvolvido também como uma atividade realizada numa empresa ou laboratório, consta da proposta uma declaração (Anexo 3) de ciência e concordância com a entrega do código fonte e/ou documentação produzidos?					

Avaliação	<input type="checkbox"/> Aprovado	<input type="checkbox"/> Não Aprovado
Professor Responsável	Prof. Dr. Luiz Claudio Villar dos Santos	
Orientador	Prof. Dr. Luiz Claudio Villar dos Santos	

Multiprocessadores em chip demandam o uso de protocolos para assegurar a consistência de memória compartilhada e a coerência de cache, os quais são implementados via hardware. A crescente complexidade dessas implementações torna o projeto de sistemas de memória suscetível a erros. Para endereçar esse problema, técnicas de verificação pré-silício têm sido estudadas no meio acadêmico. Por serem executadas em simuladores de uma plataforma real, essas técnicas não viabilizam a execução de testes demasiado extensos. Pensando nisso, algumas abordagens de geração adaptativa foram propostas, procurando maximizar a cobertura funcional dos testes sem aumentar a extensão dos mesmos. Neste trabalho é proposta a elaboração de uma nova técnica de geração automática de testes adaptativos. A técnica será concebida a fim de aumentar a eficácia em se expor erros de projeto no subsistema de memória compartilhada, em especial erros de coerência, e manter-se independente da organização da memória, permitindo o reuso em diversos sistemas.

SUMÁRIO

1 INTRODUÇÃO

No contexto de um multiprocessador em chip com memória compartilhada, o uso de caches privadas torna necessário implementar um protocolo de coerência para garantir que cópias antigas de blocos de cache sejam invalidadas quando um núcleo de processamento atualiza sua própria cópia. A programação paralela de propósito geral conta com o gerenciamento implícito da coerência de memória (via hardware), justificando a necessidade de uma abstração de memória compartilhada coerente para multiprocessadores em chip, mesmo em face a um grande número de núcleos (??).

Além disso, operações de memória podem executar fora da ordem de programa. Tal comportamento é definido no que se chama modelo de memória, o qual especifica regras de consistência que definem tanto o grau de relaxação da ordem de programa quanto a extensão da atomicidade de escrita (??). Por grande parte dos programas serem sincronizados, um programador comum acaba não tomando consciência das regras de consistência (??), o que permite o uso de modelos de memória mais relaxados, alcançando maior performance sem prejudicar o programador.

Essas características aumentam a complexidade do hardware, demandando a aplicação de técnicas de verificação para detectar possíveis erros. A verificação pré-silício se baseia na execução de testes sobre uma simulação do sistema de memória com base na representação do design de sua implementação. Isso permite validar um projeto sem a necessidade de sintetizar protótipos para a execução dos testes, como é o caso da verificação pós-silício.

Dentre os verificadores pré-silício, existem dois tipos: os post-mortem checkers e os runtime checkers. O primeiro trata da detecção de erros após o programa de teste finalizar sua execução, como é o caso do checker relatado em ??). O último, por outro lado, realiza a análise do programa durante sua execução, agilizando o processo de detecção. Os checkers relatados em ?? e ??) são exemplos de runtime checkers, com destaque ao último, pois oferece garantias comprovadas, não acusando qualquer falso-positivo ou falso-negativo.

A qualidade do verificador não é o único fator que influencia na verificação. Esses verificadores dependem de um mecanismo de geração de programas de teste, os quais devem estimular situações de concorrência por meio de operações de leitura e escrita em endereços compartilhados por múltiplos núcleos. Nesse sentido, a geração pseudoaleatória de testes para verificação de modelos de memória tem sido usada tanto para verificadores pré-silício (????) quanto pós-silício (????????).

Como a verificação pré-silício baseia-se na simulação do projeto real, a taxa de execução de operações de memória é ordens de magnitude inferior ao protótipo em hardware, limitando a viabilidade da execução de testes muito grandes. Para diminuir o tamanho dos testes sem afetar a cobertura dos mesmos, foram propostas técnicas de geração de testes adaptativa (????), de forma a guiar a criação de um novo teste com base nas informações dos testes anteriores. Neste trabalho, propõe-se a criação de uma nova técnica de geração de testes adaptativa.

2 OBJETIVOS

2.1 OBJETIVO GERAL

O escopo deste trabalho é a verificação pré-silício de consistência de memória compartilhada e coerência de cache em subsistemas de memória associados a um multiprocessador em chip. O objetivo geral é desenvolver uma técnica adaptativa original para geração automática de testes, os quais serão executados em uma dada representação de multiprocessador.

2.2 OBJETIVOS ESPECÍFICOS

- Aumentar a cobertura: a geração adaptativa dos testes deve dirigir os testes de forma a maximizar a cobertura do sistema.
- Manter a reusabilidade: permitir que a técnica possa ser aplicada em diferentes sistemas de memória.
- Comparar com outras técnicas: a técnica proposta será comparada com outras técnicas já implementadas e que se encontram em domínio público ou na infraestrutura disponibilizada pelo laboratório.

2.3 MÉTODO DE PESQUISA

A técnica será desenvolvida em uma linguagem de programação de propósito geral, definida através de uma meta-heurística com função de custo associada. Inicialmente, será construída uma prova de conceito, produzindo um protótipo com função custo e meta-heurística simples (e.g. operações conflitantes e melhoria iterativa). Essa técnica terá sua eficácia e cobertura comparadas com a técnica de geração pseudoaleatória pura. Com base nesses dados preliminares, será realizado um refinamento na técnica, melhorando sua função de custo e meta-heurística.

Sobre a técnica refinada, serão realizados experimentos extensivos, a fim de comparar com outras técnicas. Os experimentos serão realizados por meio do simulador gem5, utilizando como modelo de memória o Alpha, três níveis de cache e coerência baseada em diretório. Os erros de projeto artificiais e checkers utilizados serão os disponíveis no acervo do laboratório.

3 CRONOGRAMA

Etapas	Meses											
	jan.	fev.	mar.	abr.	mai.	jun.	jul.	ago.	set.	out.	nov.	dez.
Revisão do estado da arte	x	x										
Desenvolvimento do protótipo		x	x									
Testes e comparação preliminares			x	x								
Refinamento da técnica				x	x							
Experimentação extensiva com a nova técnica					x	x	x					
Comparação com outras técnicas*							x	x				
Redação do rascunho da monografia									x	x		
Preparação da defesa										x	x	
Revisão final da monografia											x	x
Entrega do relatório de TCC 1					o							
Entrega do rascunho da monografia										o		
Defesa do TCC											o	

* Por técnicas entende-se aquelas já disponíveis na infraestrutura do laboratório e outras que apresentem implementação em domínio público

4 CUSTOS

Item	Quant.	Valor Un. (R\$)	Total (R\$)
Material de Consumo			
CD	6	1,50	9,00
Folhas Impressas	500	0,20	100,00

5 RECURSOS HUMANOS

Nome	Função
Marleson Graf	Autor
Luiz Claudio Villar dos santos	Orientador/Professor Responsável
Djones Vinicius Lettnin	Membro da Banca
Laércio Lima Pilla	Membro da Banca
Renato Cislighi	Coordenador de Projetos

6 COMUNICAÇÃO

O que precisa ser comunicado	Por quem	Para quem	Melhor forma de Comunicação	Quando e com que frequência
Entregas	Autor	Coordenador de Projetos	site do TCC	Nos dias estipulados pelas disciplinas
Reuniões com o orientador	Autor	Orientador	presencial	Quinzenalmente
Revisões da monografia	Autor	Orientador, membros da banca	papel impresso ou pdf	período de elaboração da monografia
Dúvidas	Autor	Orientador, Membros da Banca ou Coordenador de Projetos	e-mail e/ou presencial	Quando necessário

7 RISCOS

Risco	Probabilidade	Impacto	Prioridade	Estratégia de Resposta	Ações Preventivas
Perda de dados (HD)	média	alto	alta	Recuperação dos dados e aquisição de novo HD	Gerar backups periodicamente
Alteração no tema	baixa	alto	alta	Modificar o escopo do tema ou adotar um novo tema	Manter interação constante com orientador
Alteração no cronograma	baixa	alto	média	Diminuir o escopo do trabalho	Monitorar continuamente as informações obtidas dos superiores imediatos
Problemas de saúde	baixa	média	média	Realizar tratamento e retomar as atividades o quanto antes	Ter hábitos saudáveis e ser precavido

ANEXO A – DECLARAÇÃO PADRÃO PARA EMPRESA OU LABORATÓRIO

DECLARAÇÃO DE CONCORDÂNCIA COM AS CONDIÇÕES PARA O DESENVOLVIMENTO DO TCC NA INSTITUIÇÃO

Declaro estar ciente das premissas para a realização de Trabalhos de Conclusão de Curso (TCC) de Ciência da Computação e Sistema de Informações da UFSC, particularmente da necessidade de que se o TCC envolver o desenvolvimento de um software ou produto específico (ex: um protocolo, um método computacional, etc.) o código fonte e/ou documentação completa correspondente deverá ser entregue integralmente, como parte integrante do relatório final do TCC.

Ciente dessa condição básica, declaro estar de acordo com a realização do TCC identificado pelos dados apresentados a seguir.

Instituição	ECL/INE/CTC
Nome do Responsável	Luiz Claudio Villar dos Santos
Cargo/Função	Prof. INE/CTC
Fone de Contato	(48) 3721 7549
Acadêmico	Marleson Graf
Título do trabalho	Verificação pré-silício de memória baseada em testes dirigidos adaptativos
Curso	Ciências da Computação/INE/UFSC

Florianópolis, 14 de Dezembro de 2015.

Professor Responsável
Prof. Dr. Luiz Claudio Villar dos Santos