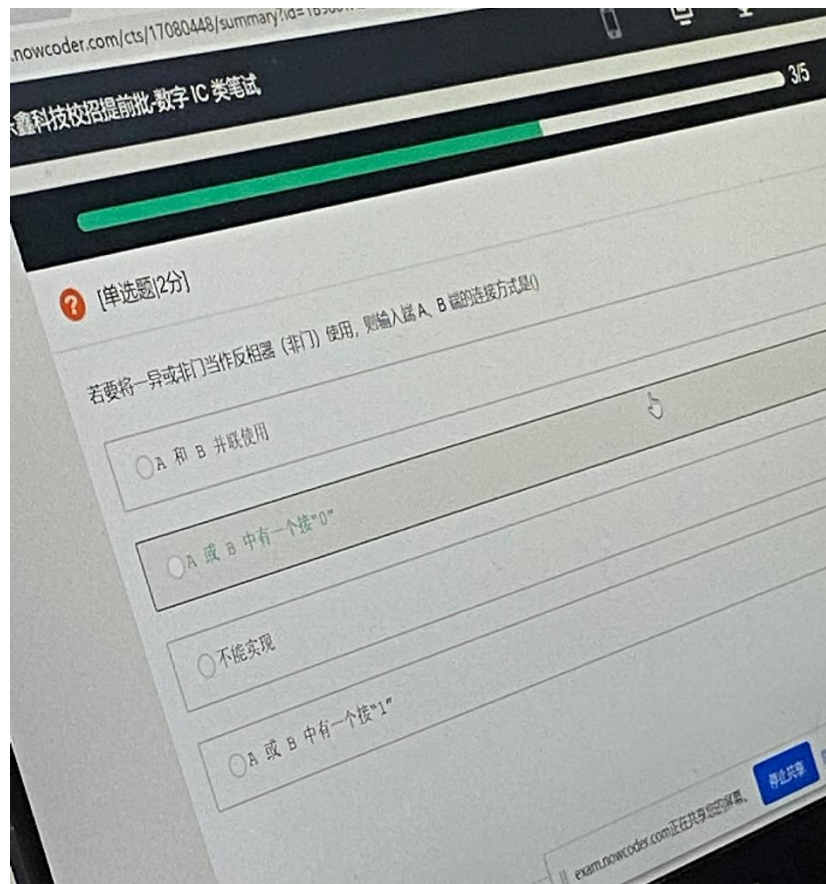


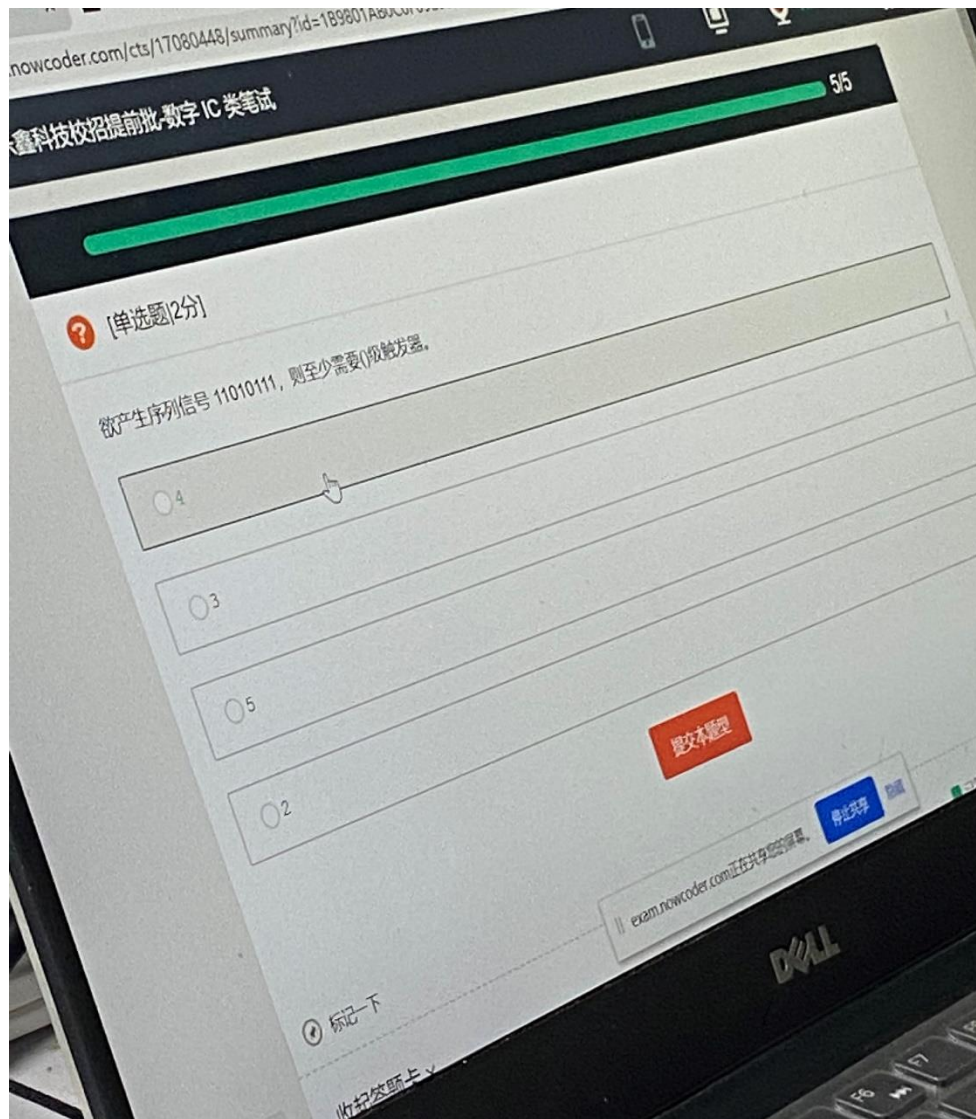
乐鑫提前批

一、单选题

1. B



2. A

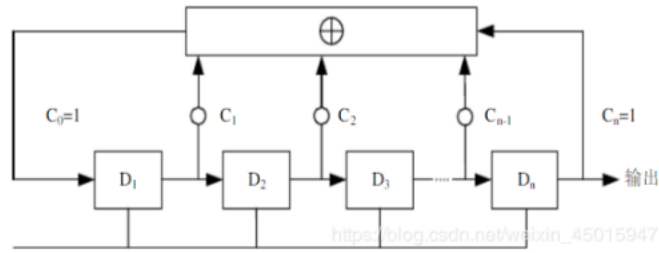


产生伪随机序列的最大长度： $2^n - 1$  ( $n$  是寄存器数量)；不会出现全是 0 的情况，因为这样工作不了。

根据特征多项式  $F(x) = x^n + \dots + x + 1$ ；多少次方就需要多少个寄存器，多项式中的指数代表抽头位。比如  $F(x) = x^4 + x + 1$ ，需要 4 个寄存器，将第四个和第一个寄存器输出抽头到最左边的输入端。

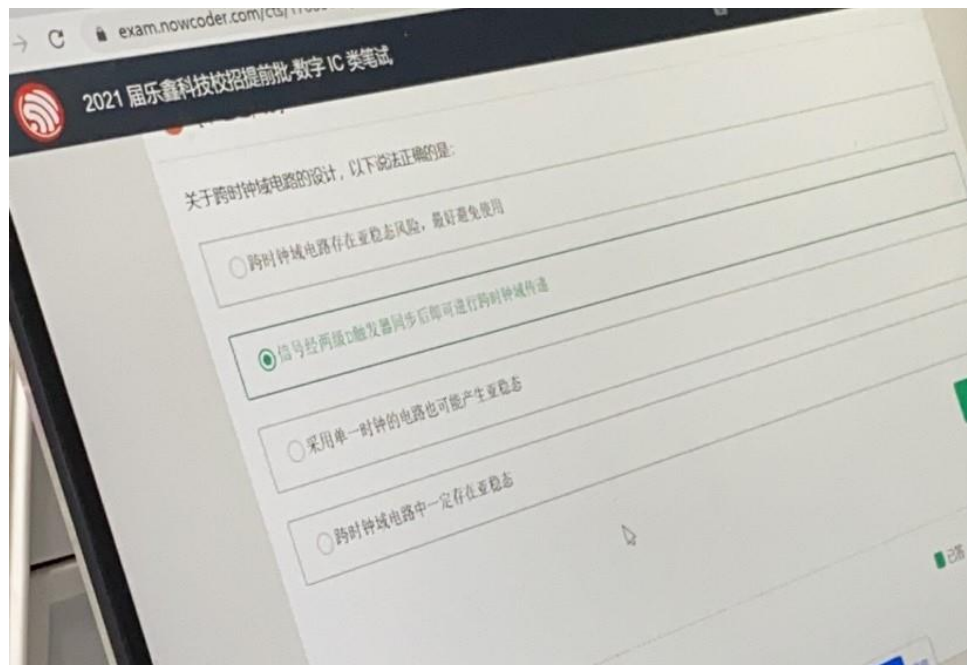
图(1)示出的是由n级移位寄存器构成的码序列发生器。寄存器的状态决定于时钟控制下输入的信息（“0”或“1”），例如第i级移位寄存器状态决定于前一时钟脉冲后的第i-1级移位寄存器的状态。

图中 $C_0, C_1, \dots, C_n$ 均为反馈线，其中 $C_0 = C_1 = 1$ ，表示反馈连接。因为m序列是由循环序列发生器产生的，因此 $C_0$ 和 $C_n$ 肯定为1与反馈。而反馈系数 $C_1, C_2, \dots, C_{n-1}$ ，若为1，参与反馈；若为0，则表示断开反馈线，即开路，无反馈连线。



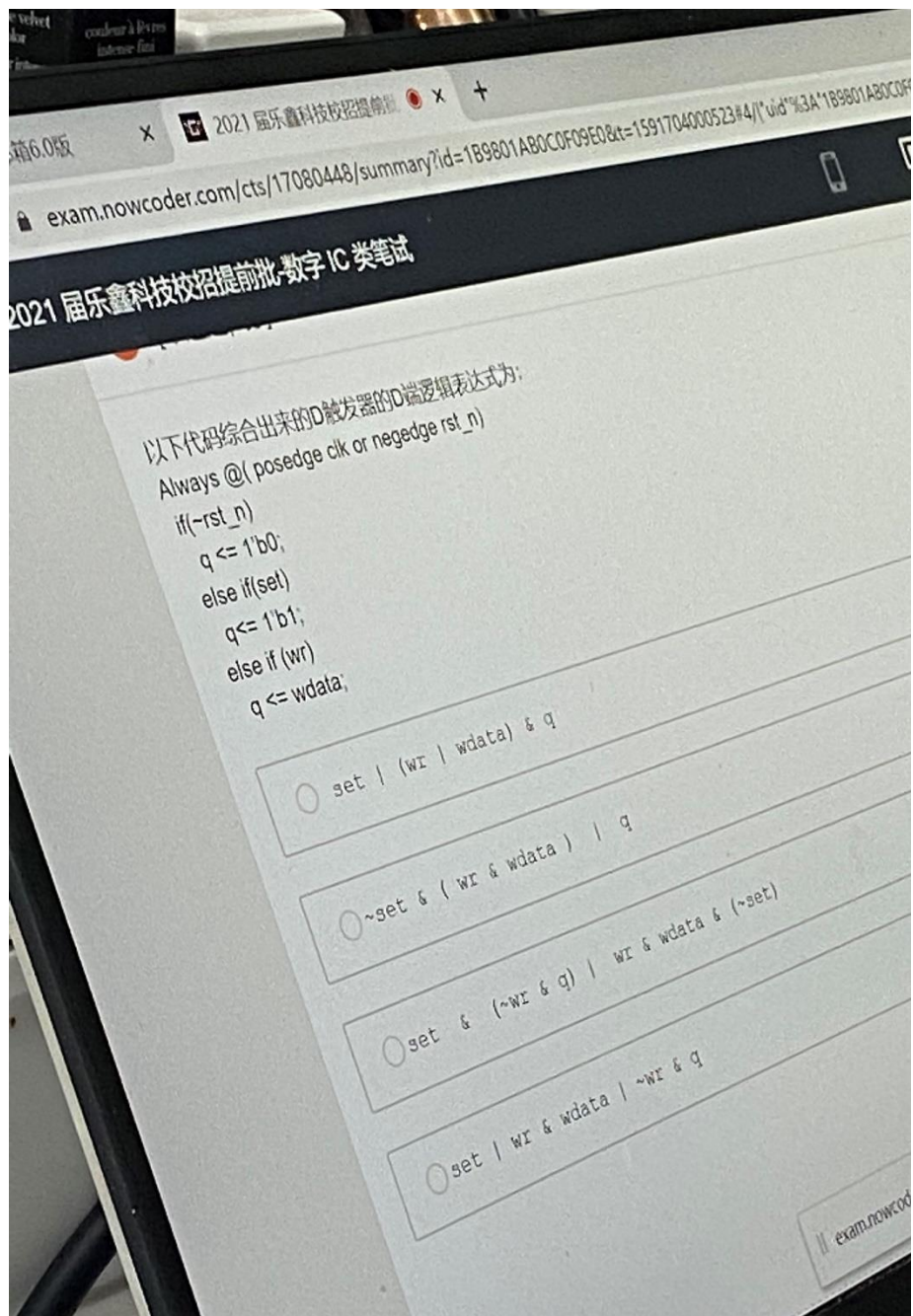
图（1）n级循环序列发生器的模型

3. C



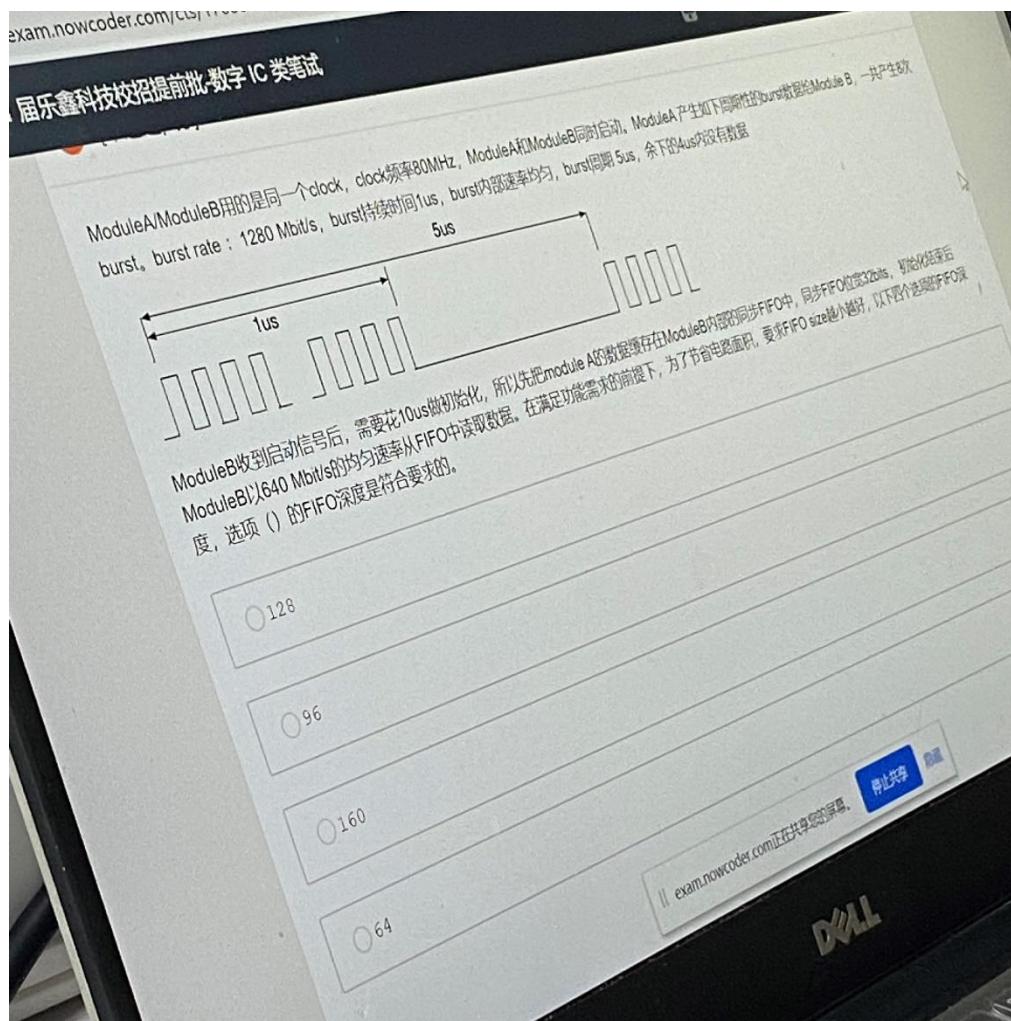
单一时钟不满足 setup/hold 也会出现亚稳态的。

4. d



5. A.

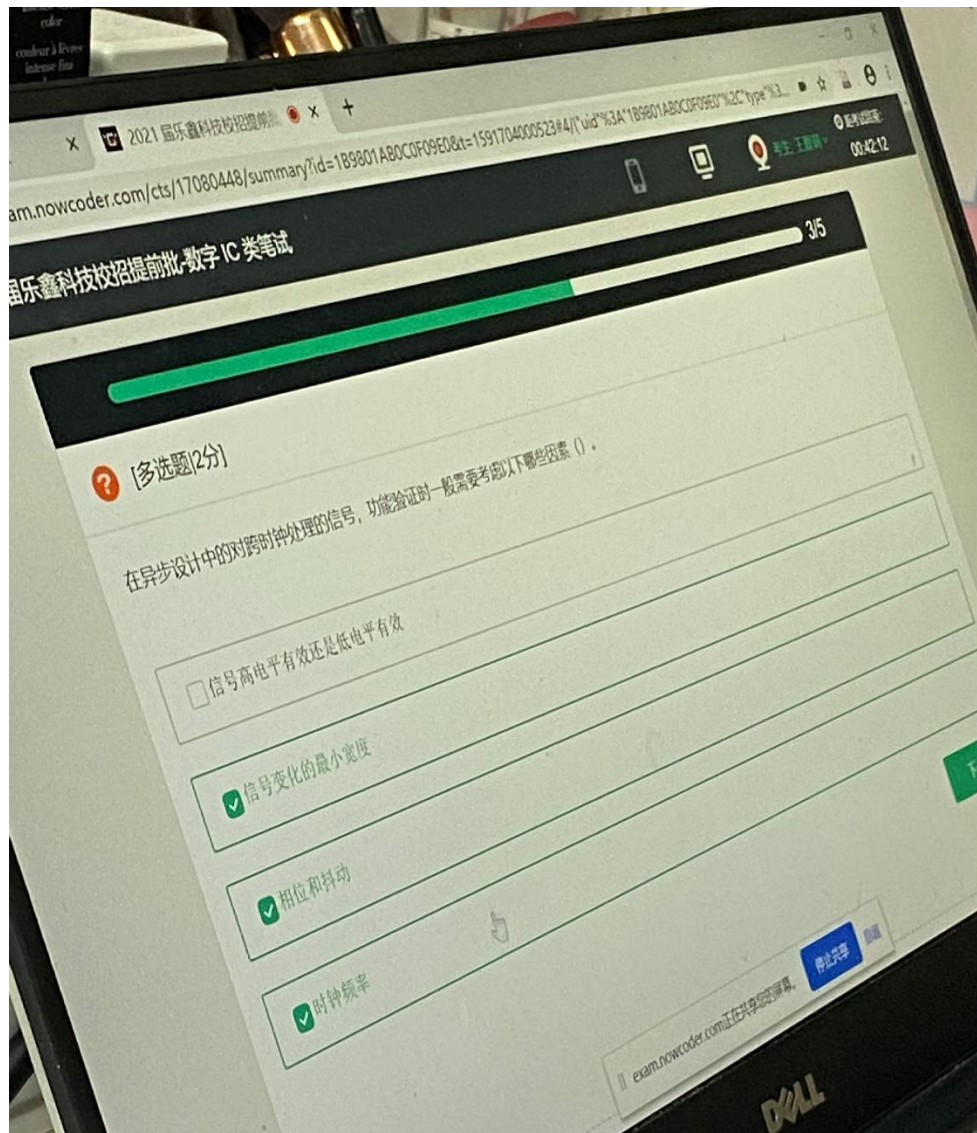




ModuleB 启动的 2us 过程中, 已经输入了  $2 \times 1280\text{bit}$  数据。随后的 1us, 输入  $1280 - 640 = 640\text{bit}$ , 一共需要存  $3000\text{bit}$ , 即 100 个数据, 深度为 128。

## 二、多选题

1. ABD



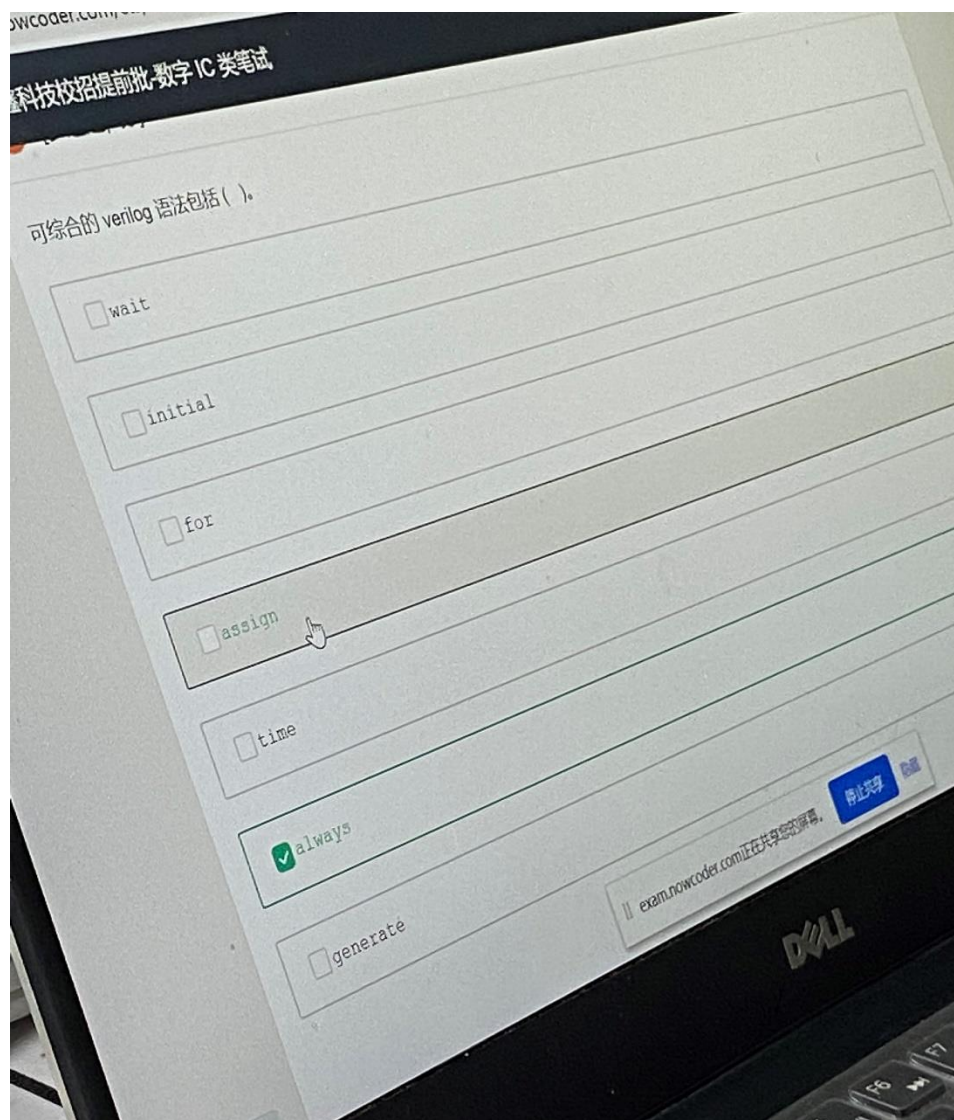
相位和抖动是考虑时序仿真用的，其他都是功能考虑的。

2. A, B, D



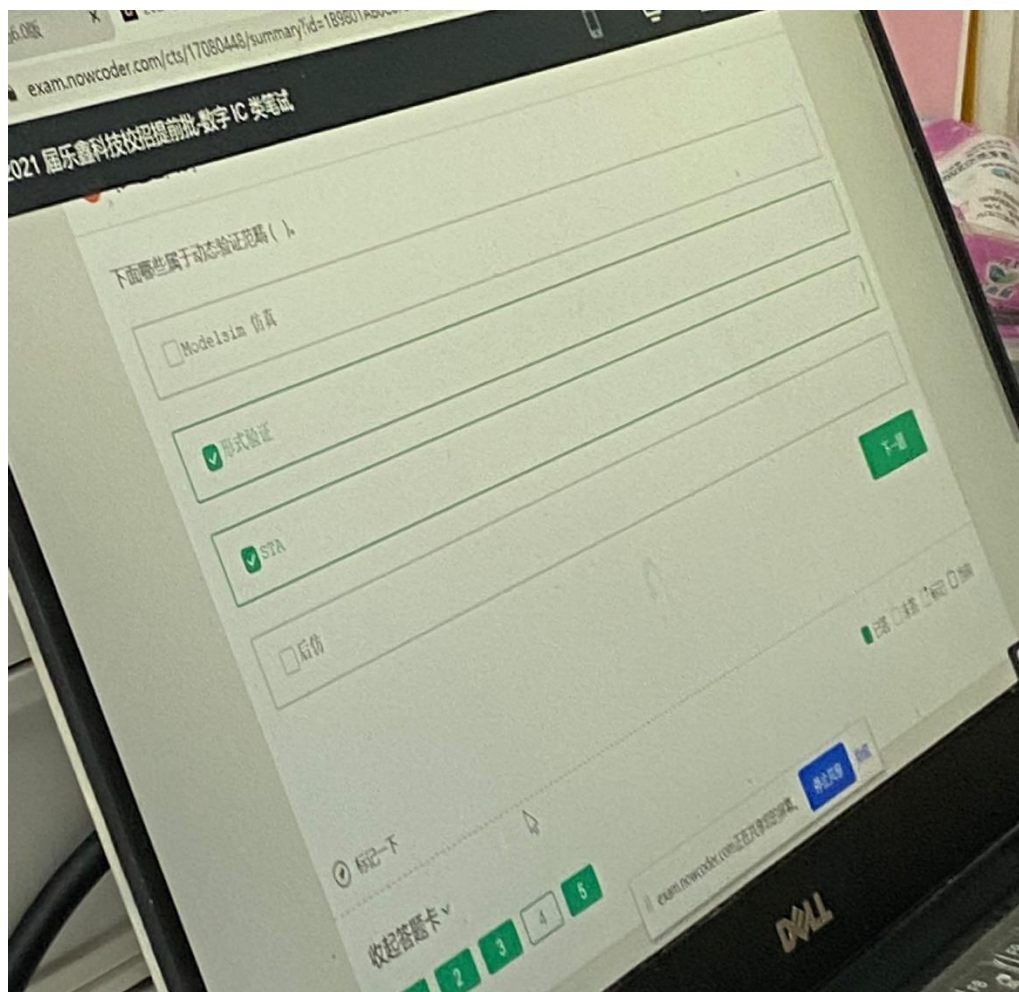
3. C, D, E, G





4. A, D





5. 提高频率方法(A, C, D)

- A. 迟置信号后移
- B. 资源共享
- C. 流水线
- D. 树形结构

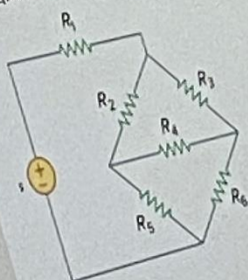
迟置信号后移：将关键路径某结点的信号后移。

三、填空题

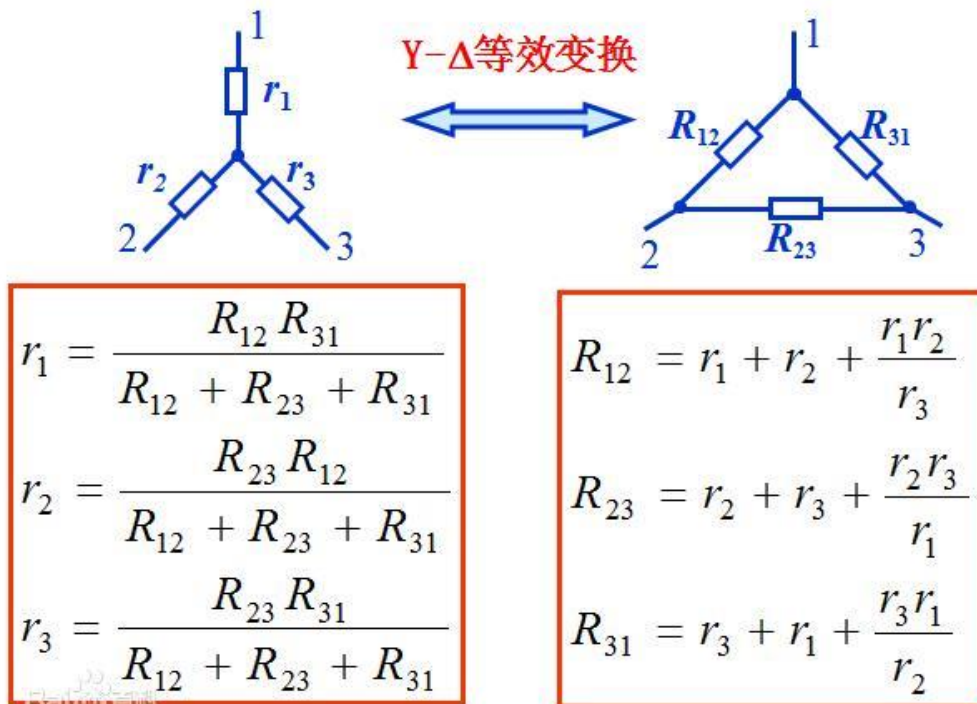
1. 等效电阻= $2 \times R$

？ [填空题|2分]

已知 $R_1=R_2=R_3=R_4=R_5=R_6=R$ ，下图从电源两端向右看去的等效电阻为 **1**。



**1** 请在此填写答案



2. OOP 三大特征：封装性，继承性，多态性。

OOP(Object Oriented Program)面向对象编程

3. 某个 SRAM 一共 12 根地址线  $A_{11-0}$ ，32 根数据线  $D_{31-0}$ ，如果要实现  $2^{20}$ bytes 的 Memory，需要（64）块这样的 SRAM。

4. 用 2048x12 的 ROM 芯片，最多能实现（11）个输入（12）个输出的组合逻辑函数

RAM 相当于内存，ROM 相当于硬盘。RAM 断电数据丢失（电容保存数据），ROM 不会丢失。

RAM 分为 SRAM(静态)，DRAM(动态)。

DRAM 则需要不停地刷新电路，否则内部的数据将会消失。但是它只由一个电容和晶体管构成，面积小，速度较慢。一般用于做电脑内存。

SRAM 不需要刷新电路就能够保存数据。但是它由 6 个晶体管组成，速度快但是面积大，作为 cpu 的 cache

5. NAND 和 NOR Flash 的主要区别是：

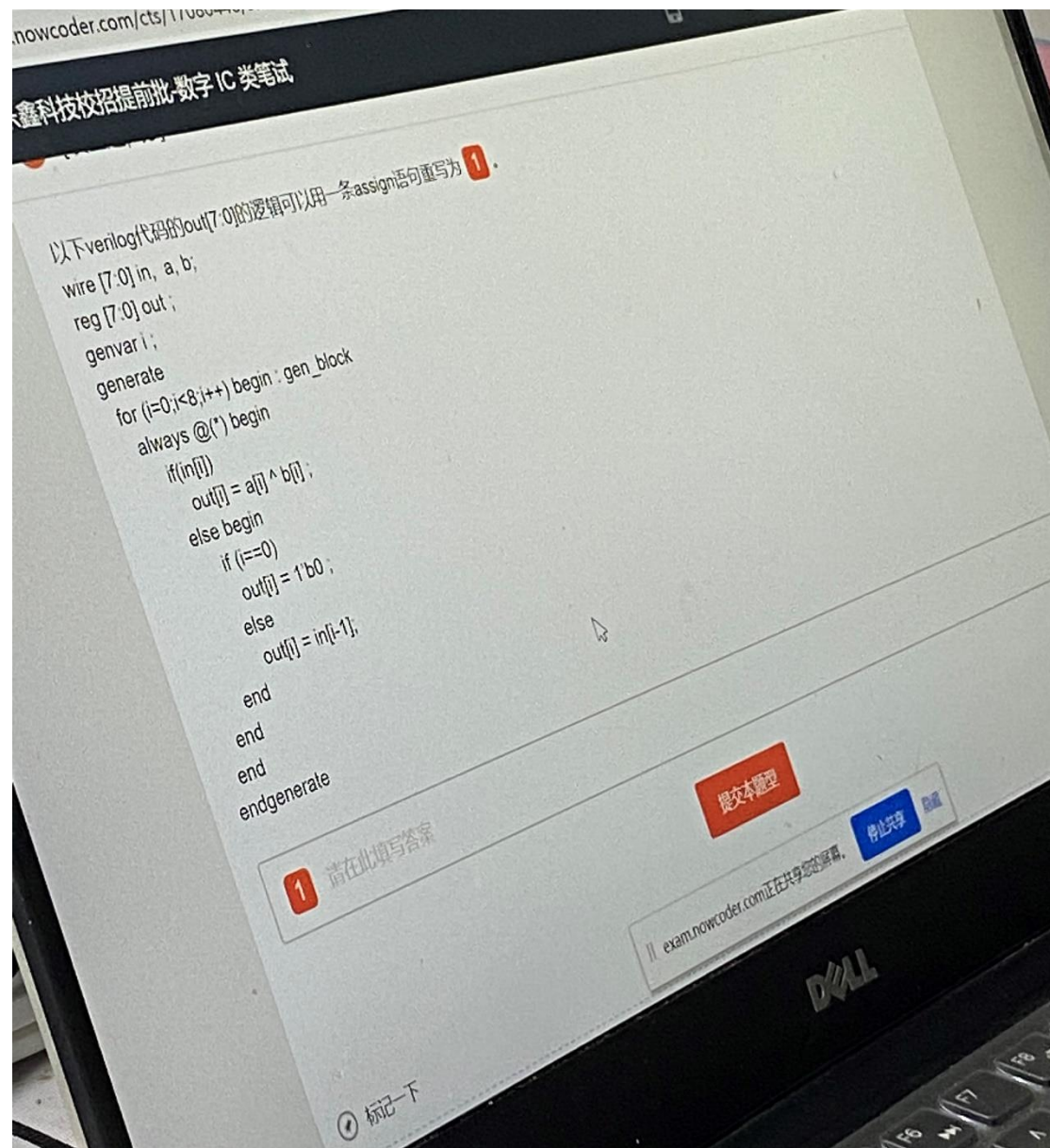
NOR 容量小，NAND 容量大

NOR 读速度快，NAND 擦写速度快

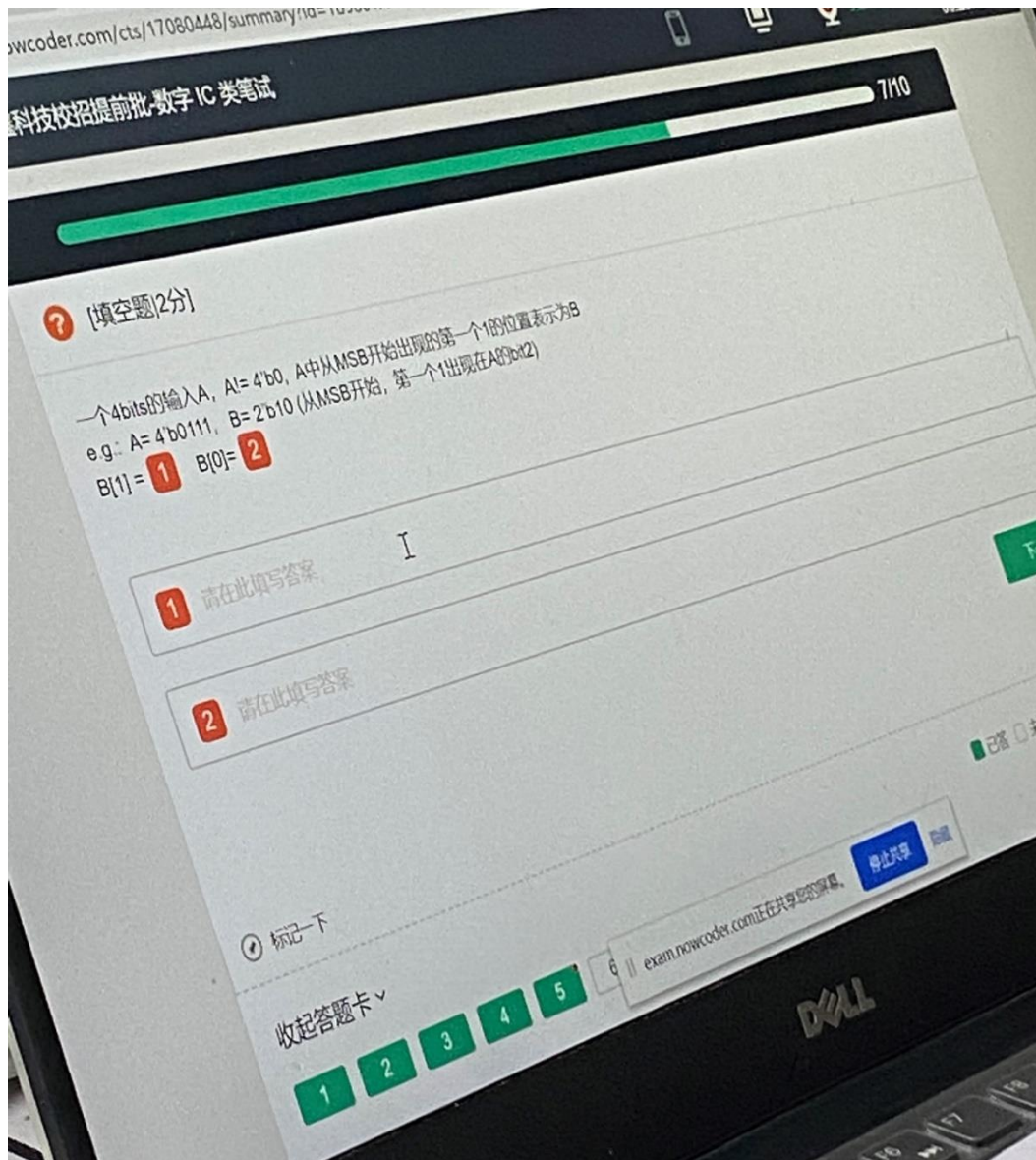
NAND 会出现坏区

6.  $\text{assign out} = \text{in} \& (\text{a} \wedge \text{b}) \mid (\sim \text{in}) \& \{\text{in}[6:0], 0\}$

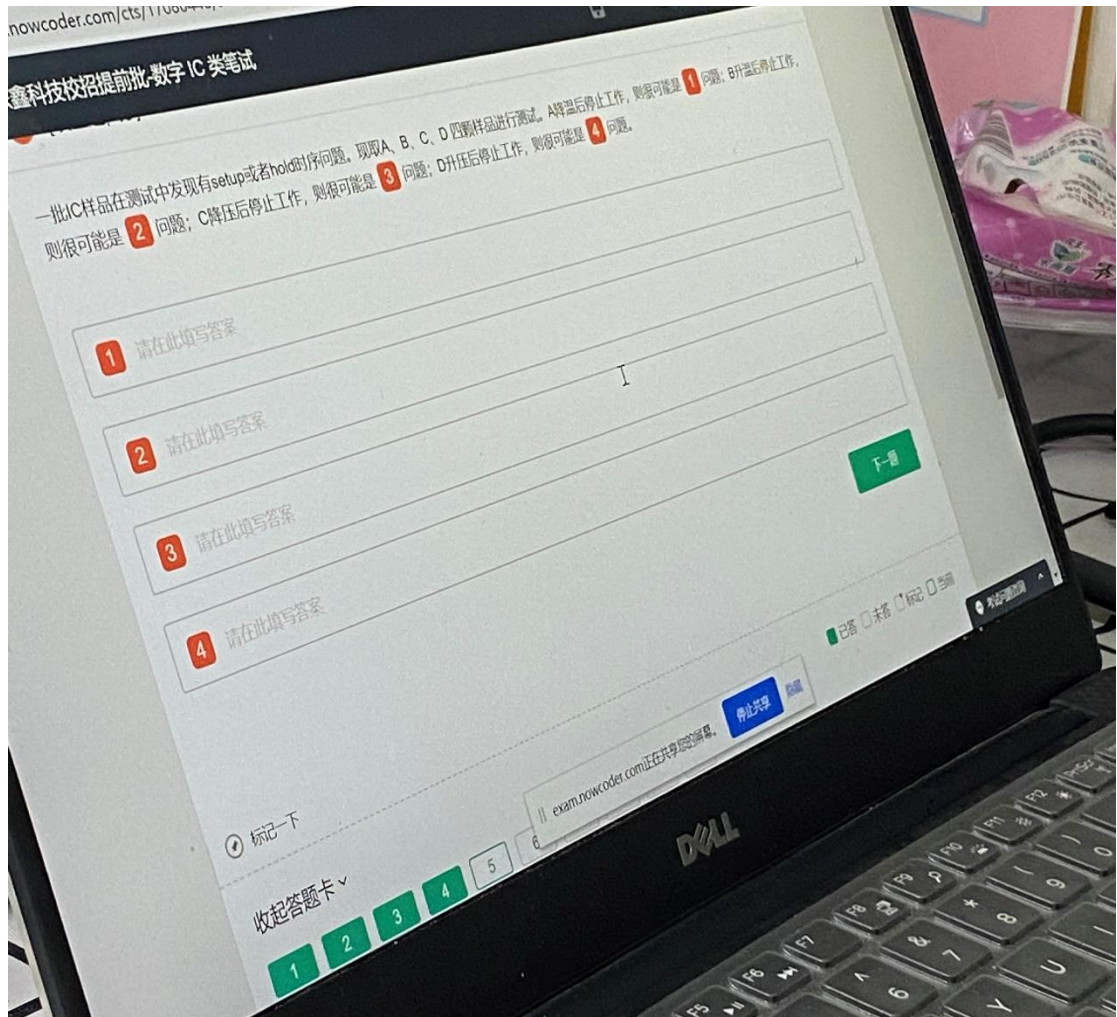




7.  $B[1] = A[3] \mid A[2]$   
 $B[0] = A[3] \mid (\sim A[2] \& A[1])$

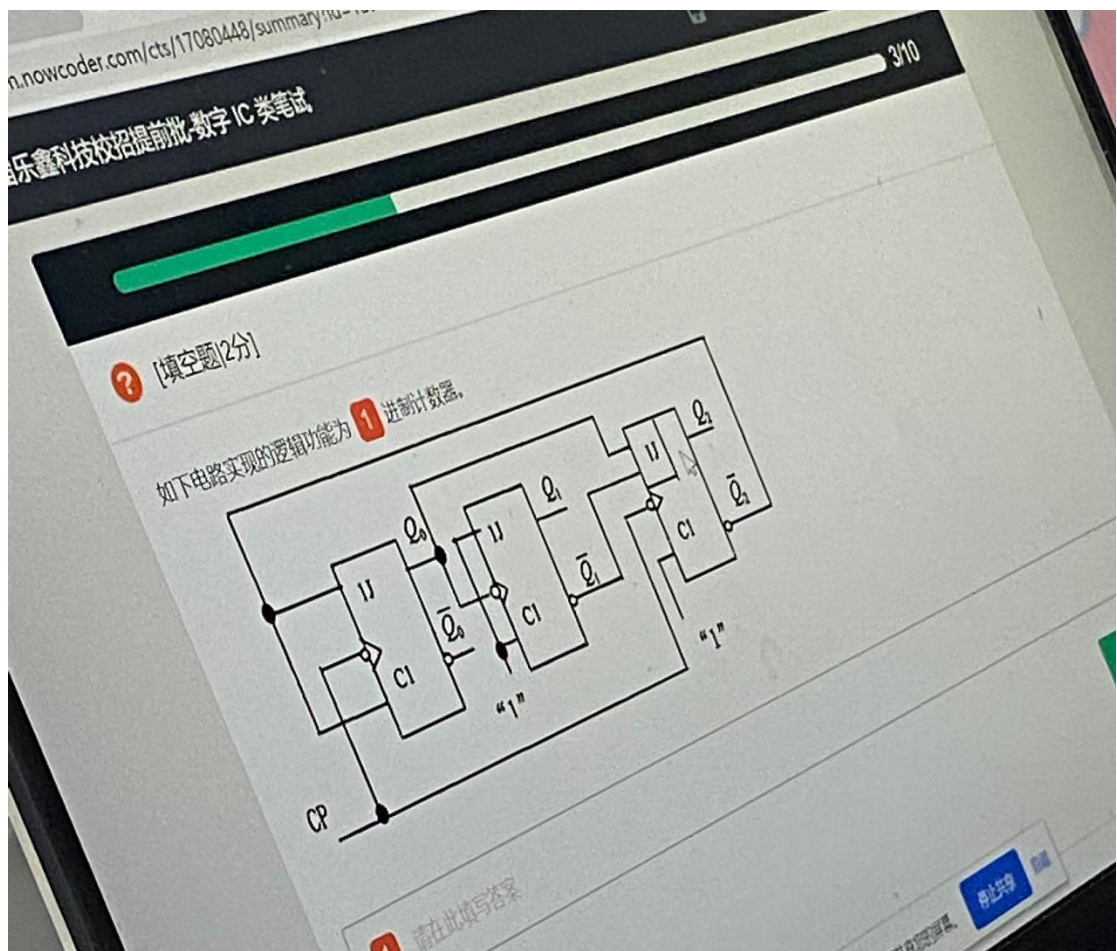


8. hold(降温后, 载流子迁移率变快, 延时减小),  
setup  
setup  
hold



## 9. 五进制





最后 1J 是两个输入是与逻辑

$$Q_0 = Q_2 \wedge Q_0$$

$$Q_1 = \sim Q_1 \text{ (} Q_0 \text{ 从 1 变成 0 触发)}$$

$$Q_2 = \sim Q_2 \& \sim Q_1 \& Q_0$$

| CP(ng) | $Q_2$ | $Q_1$ | $Q_0$ |
|--------|-------|-------|-------|
| 0      | 0     | 0     | 0     |
| 1      | 1     | 0     | 0     |
| 2      | 0     | 0     | 1     |
| 3      | 0     | 1     | 0     |
| 4      | 1     | 1     | 0     |
| 5      | 0     | 1     | 0     |
| 6      | 1     | 0     | 0     |
| 7      | 0     | 0     | 1     |