



Bus PCI-Express: Arquitectura y Evolución

La revolución en la tecnología de interconexión para componentes de expansión

Arquitectura Serie

Transmisión punto a punto de alta velocidad

Evolución

De 2.5 GT/s (1.0) a 64 GT/s (6.0)

Alto Rendimiento

Hasta 121 GB/s en configuración x16

Aplicaciones

Tarjetas gráficas, NVMe, redes

Introducción a PCIe

⚙️ ¿Qué es PCIe?

- **Peripheral Component Interconnect Express**
- Interfaz serie de **alto rendimiento**
- Arquitectura **punto a punto**
- Transmite pocos bits a mucha velocidad
- Estándar dominante en 2024

📈 Ventajas Clave

- Mayor **ancho de banda**
- Mejor **escalabilidad**
- Mayor **eficiencia**
- Menor latencia
- Compatible con dispositivos anteriores



PCIe vs. Antecesores

Tecnología	Ancho de Banda
PCI (1993)	133 MB/s
AGP 8x (2000)	2.1 GB/s
PCIe 1.0 (2003)	4.0 GB/s (x16)
PCIe 6.0 (2022)	121.0 GB/s (x16)

Arquitectura Serie vs. Paralelo

👤 PCI (Paralelo)



- ↔ Transmisión **simultánea** de múltiples bits
- ⚠ Problemas de **skew** (desincronización)
- ⚡ Limitado por **interferencias** electromagnéticas
- 🔗 Ancho de banda **compartido** entre dispositivos

VS

👤 PCIe (Serie)



- ➔ Transmisión **en serie** a través de pares diferenciales
- ⌂ Codificación avanzada (8b/10b, 128b/130b, PAM4)
- ✓ Arquitectura **punto a punto** sin skew
- ! Ancho de banda **dedicado** para cada dispositivo

★ Ventajas de Serie

- ↗ Mayor escalabilidad a altas frecuencias
- 123 Menor número de pines requeridos

Estructura y Topología de PCIe

↔ Enlaces y Lanes



- ↔ Cada lane: **2 pares diferenciales** (transmisión/recepción)
- ↻ Comunicación **bidireccional simultánea**
- ⊕ Múltiples lanes: **x1, x2, x4, x8, x16, x32**
- 📏 Slots compatibles con dispositivos de menor tamaño

📦 Capas del Protocolo PCIe

⚡ Capa Física

- Transmisión y recepción de señales
- Codificación/decodificación
- Manejo de errores físicos
- Características eléctricas

🔗 Capa de Data Link

- Integridad de datos (ACK/NAK)
- Corrección de errores (LCRC)
- Gestión de flujo de datos

↕ Capa de Transacción

- TLPs (Transaction Layer Packets)
- Transacciones: memoria, I/O, configuración
- Direccionamiento y enrutamiento
- QoS y virtualización (SR-IOV)

📊 Tipos de Configuraciones PCIe

x1

250 MB/s
(PCIe 1.0)

x4

1 GB/s
(PCIe 1.0)

x8

2 GB/s
(PCIe 1.0)

x16

4 GB/s
(PCIe 1.0)

x32

8 GB/s
(PCIe 1.0)

Versiones de PCIe

📈 Especificaciones Técnicas por Versión

Característica	PCIe 1.0 2003	PCIe 2.0 2007	PCIe 3.0 2010	PCIe 4.0 2017	PCIe 5.0 2019	PCIe 6.0 2022
Velocidad por lane (GT/s)	2.5	5.0	8.0	16.0	32.0	64.0
Ancho de banda bruto (Gbps)	2.5	5.0	8.0	16.0	32.0	64.0
Codificación	8b/10b (20% overhead)	8b/10b (20% overhead)	128b/130b (1.54% overhead)	128b/130b (1.54% overhead)	128b/130b (1.54% overhead)	PAM4 + FLIT (0% overhead)
Ancho de banda útil x1 (GB/s)	0.25	0.5	0.985	1.969	3.938	7.563
Ancho de banda útil x16 (GB/s)	4.0	8.0	15.754	31.508	63.015	121.000
Voltaje de señalización	1.0V	0.8V	0.8V	0.8V	0.8V	0.6V



Evolución de Velocidad

De 2.5 GT/s (PCIe 1.0) a 64 GT/s (PCIe 6.0)

2.5 GT/s64 GT/s



Eficiencia Mejorada

De 80% (8b/10b) a 100% (PAM4 + FLIT)

80%100%



Reducción de Consumo

De 1.0V (PCIe 1.0) a 0.6V (PCIe 6.0)

1.0V0.6V



Ancho de Banda x16

De 4 GB/s (PCIe 1.0) a 121 GB/s (PCIe 6.0)

4 GB/s121 GB/s

Evolución Técnica de PCIe

1.02003

Primera Generación

2.5 GT/s por lane

Codificación 8b/10b

250 MB/s por lane

Estableció arquitectura básica

Velocidad

2.02007

Doble Velocidad

5.0 GT/s por lane

Mantiene codificación 8b/10b

Soporte para bifurcación dinámica

500 MB/s por lane

Velocidad

3.02010

Eficiencia Mejorada

8.0 GT/s por lane

Codificación 128b/130b

Equalización adaptativa

985 MB/s por lane

Velocidad

4.02017

Adopción Masiva

16.0 GT/s por lane

Mantiene 128b/130b

Mejor integridad de señal

1.97 GB/s por lane

Velocidad

5.02019

Alta Calidad

32.0 GT/s por lane

Mantiene 128b/130b

PCB de mayor calidad

3.94 GB/s por lane

Velocidad

6.02022

Revolución Tecnológica

64.0 GT/s por lane

Codificación PAM4 + FLIT

FEC para mayor fiabilidad

7.56 GB/s por lane

Velocidad

Innovaciones Clave en la Evolución

Codificación

De 8b/10b a PAM4 + FLIT

Velocidad

25x más rápido en 20 años

Eficiencia

De 80% a 100% de aprovechamiento

Energía

Reducción de voltaje (1.0V → 0.6V)

Protocolo PCIe y Codificación

<> 8b/10b

PCIe 1.0-2.0

↔ Codifica 8 bits en 10 bits

% 20% de overhead

⚖ Proporciona DC balance

⚠ Detección de errores

Eficiencia

80%

🔧 128b/130b

PCIe 3.0-5.0

↔ Codifica 128 bits en 130 bits

% 1.54% de overhead

📶 Mayor ancho de banda útil

⚙ Requiere circuitos más complejos

Eficiencia

98.46%

⚡ PAM4 + FLIT

PCIe 6.0

🌊 PAM4: 2 bits por símbolo

🏠 FLIT: Paquetes de tamaño fijo

🛡 FEC: Corrección de errores

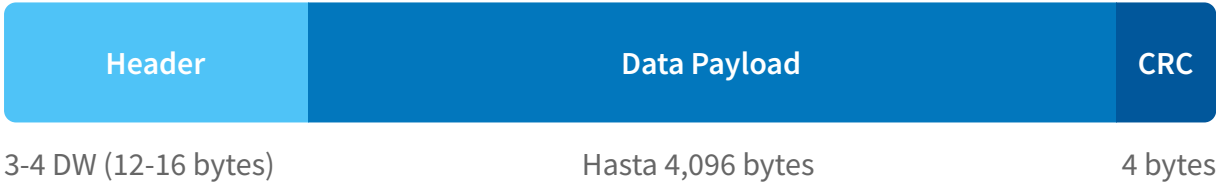
↔ Modo de retrocompatibilidad

Eficiencia

100%

Transaction Layer Packets (TLPs)

Estructura de Paquete



Tipos de TLPs

- 🔧

Memory Read/Write
- 📡

I/O Read/Write
- ⚙

Configuration
- 💬

Messages

🖼 Evolución de la codificación PCIe

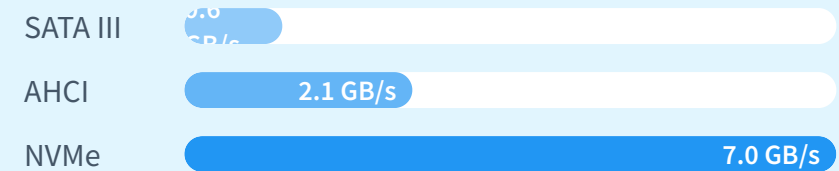
PCIe en Almacenamiento

NVMe (Non-Volatile Memory Express)

- ✓ Protocolo diseñado específicamente para **almacenamiento flash**
- 🕒 Aprovecha las **bajas latencias** de los SSDs NAND
- 📦 Soporta hasta **65,535 colas** con 65,536 comandos por cola
- ➡️ Latencia **5-7x menor** comparado con AHCI (SATA)



Comparativo de Rendimiento



M.2



- 📏 Form factor pequeño (22-80mm)
- 🔌 Soporta PCIe x2/x4 y SATA
- 💻 Ideal para portátiles y SFF

🔗 Hasta 7 GB/s (PCIe 4.0)



U.2 (SFF-8639)



- 📏 Similar a discos SATA de 2.5"
- 🔌 Soporta PCIe x4 y SATA
- 🏢 Compatible con bahías de servidores

🔗 Hasta 7 GB/s (PCIe 4.0)



E1.S/E1.L (EDSFF)



- 🏢 Diseñado para centros de datos
- ❄️ Mejor gestión térmica
- 📦 Alta densidad en servidores

🔗 Hasta 14 GB/s (PCIe 5.0)

Tendencias Futuras



PCIe 6.0

- 64 GT/s por lane
- Codificación PAM4 + FLIT
- FEC para mayor fiabilidad
- Hasta 121 GB/s en x16

2022 Implementación en servidores



Aplicaciones en Redes

- Ethernet 400GbE/800GbE
- NVLink sobre PCIe
- Aceleradores 5G/6G
- Edge Computing de baja latencia

2024 Infraestructura de red



Integración con CXL

- Memoria compartida entre dispositivos
- Coherencia de caché entre CPU/GPU
- PCIe 6.0 como capa física para CXL 3.0

2023 Computación heterogénea



Desafíos Técnicos

- Diseño de PCB de alta calidad
- Mayor consumo energético
- Distancia limitada para conexiones
- Gestión térmica en alta densidad

El Futuro de PCIe



PCIe 6.1

Mejoras incrementales
Optimización de PAM4

2024



PCIe 7.0

128 GT/s por lane
Nuevas codificaciones

2025-26



PCIe 8.0

256 GT/s por lane
Investigación temprana

2027+

Consideraciones Prácticas

Selección de Hardware

Uso	PCIe Recomendado	Consideraciones Clave
Gaming 1080p/1440p	PCIe 3.0/4.0 x16	GPU no suele saturar PCIe 3.0 x16
Gaming 4K	PCIe 4.0/5.0 x16	Mayor beneficio con GPUs de alta gama
Edición de video	PCIe 4.0/5.0 x4 (SSD)	NVMe PCIe 4.0 es esencial
IA/ML local	PCIe 4.0/5.0 x16	Para GPUs con alto ancho de banda
Servidores	PCIe 5.0/6.0	Máximo rendimiento y virtualización

Compatibilidad

- ✓ **Retrocompatibilidad completa** entre versiones
- ↓ Dispositivo PCIe 6.0 funciona en ranura PCIe 3.0
- ↑ Tarjeta PCIe 3.0 funciona en ranura PCIe 6.0



💡 GPUs modernas no saturan PCIe 4.0 x16, pero SSDs NVMe sí se benefician de PCIe 4.0/5.0

Optimización del Sistema

⚙️ Bifurcación PCIe

Configurar en BIOS según necesidades
Ej: x16 para GPU única vs x8/x8 para SLI/CrossFire

📄 Actualización de drivers

Mantener controladores de chipset actualizados
Asegurar soporte para últimas características

📊 Monitoreo

Usar herramientas como GPU-Z
Verificar enlace PCIe activo

🔍 Identificar cuellos de botella

Analizar rendimiento del sistema
Optimizar configuración de lanes