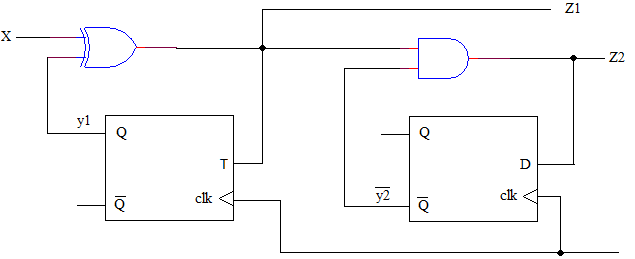
2° parcial

Diseño de Sistemas Digitales.

1.- Dibujar un arreglo de memorias ROM de 64 x 8 utilizando memorias de 16 x 4 (2 pts)

2.- Escribir el código en VHDL para una memoria RAM de 32 x 4. (2 pts)

3. A partir del siguiente circuito obtener el diagrama de estados. ( 2 pts)



4.- Diseñar utilizando flip-flop J-K un circuito que detecte la secuencia 01, la secuencia hace que z=1 y z solo regresa a 0 cuando ocurre una secuencia de entrada 00, por ejemplo: (2pts)

x = 001101001001

z = 001111101101

5.- Escriba la descripción funcional del para el problema 3. (2 pts)