

# Guía de Uso – Memoria SRAM

## I. INTRODUCCIÓN

Las memorias son dispositivos que retienen, memorizan o almacenan datos durante algún periodo de tiempo. Una memoria RAM estática (SRAM – Static Random Access Memory) está basada en semiconductores y es capaz de mantener datos mientras siga alimentada sin necesidad de circuitos de refresco. Esta memoria tiene entradas de dirección, control, datos y salidas de datos, el bus de datos también puede ser bidireccional, es decir, se usan los mismos pines de datos tanto para la lectura como la escritura. Las entradas y salidas de una memoria SRAM simple de  $2^n \times b$  bits se muestra en la Figura 1. Las entradas de control LB y UB pueden o no estar en la arquitectura de la SRAM dependiendo del modelo y fabricante, al igual que el bus de datos bidireccional.

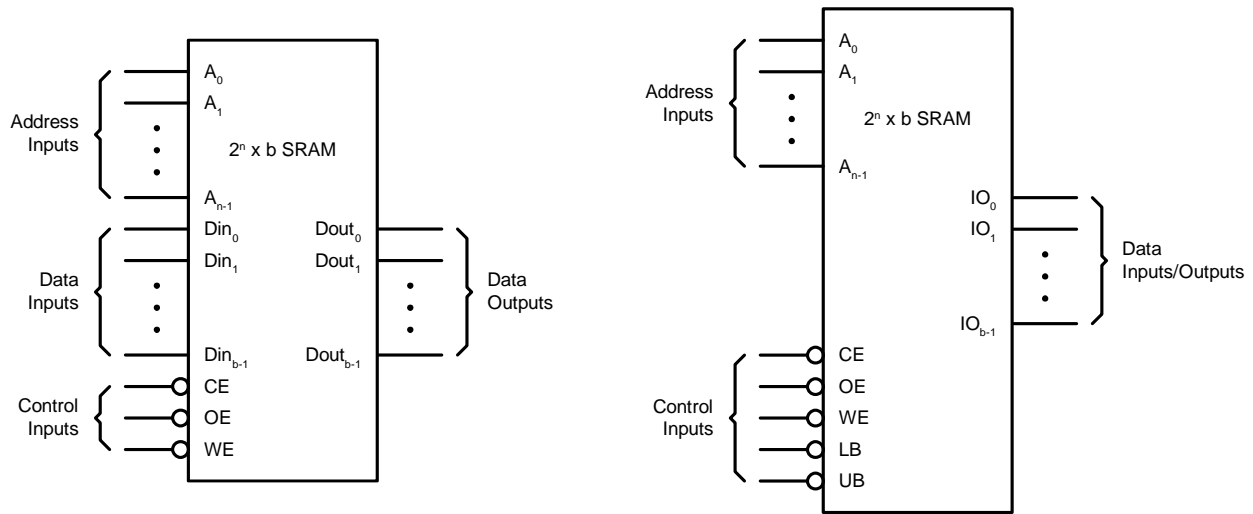


Figura 1. Estructura básica de una memoria SRAM de  $2^n \times b$

## II. MODELO DE SIMULACIÓN

El modelo de simulación proporciona una expansión de memoria fácil mediante el uso de las entradas de habilitación de chip y de salida, CE y OE. La señal *Write Enable* (WE) (activa en bajo) controla tanto la escritura como la lectura de la memoria. Las líneas de control UB y LB permiten leer y escribir la parte baja (lower bits) o alta (upper bits) de los bits de información de cada palabra de forma independiente.

Cada bit de memoria o celda del modelo de simulación tiene el mismo comportamiento funcional que el circuito mostrado en la Figura 2. El dispositivo de almacenamiento en cada una de las celdas es un latch D. Cuando se habilita tanto *Sel* como *WR* (en nivel lógico bajo) el latch queda abierto y se almacena un nuevo bit de dato.

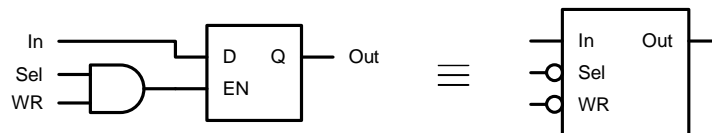


Figura 2. Comportamiento funcional de una celda del modelo de la SRAM

Las celdas SRAM se combinan en una matriz con una lógica de control adicional para formar una memoria SRAM completa, como se muestra en la Figura 6 para una SRAM8x4. Un decodificador en las líneas de dirección selecciona una fila particular de la SRAM para acceder en cualquier momento.

**TABLA 1. TABLA DE VERDAD DE LA SRAM**

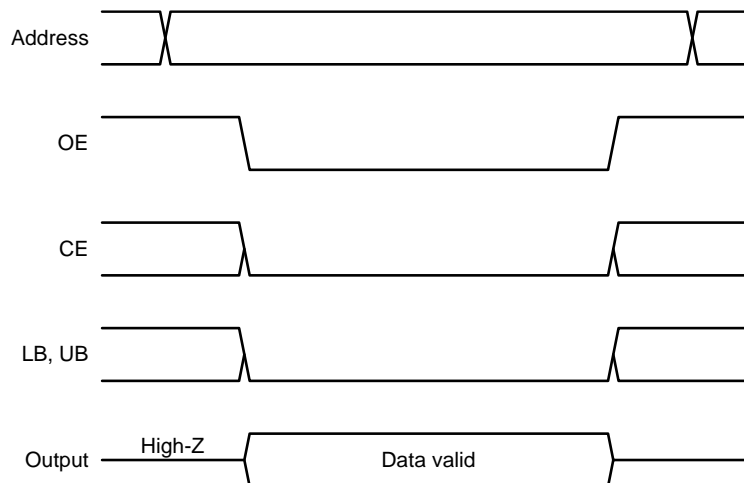
Modo	WE	CE	OE	LB	UB	I/O0-I/O1	I/O2-I/O3
No seleccionado	X	H	X	X	X	Z	Z
Salida deshabilitada	H	L	H	X	X	Z	Z
	X	L	X	H	H	Z	Z
Leer	H	L	L	L	H	D <sub>OUT</sub>	Z
	H	L	L	H	L	Z	D <sub>OUT</sub>
	H	L	L	L	L	D <sub>OUT</sub>	D <sub>OUT</sub>
Escribir	L	L	X	L	H	D <sub>IN</sub>	Z
	L	L	X	H	L	Z	D <sub>IN</sub>
	L	L	X	L	L	D <sub>IN</sub>	D <sub>IN</sub>

**TABLA 2. DESCRIPCIÓN DE PINES**

<b>A2-A0</b>	Entrada de dirección
<b>I/O3-I/O0</b>	Entrada/Salida de datos
<b>CE</b>	Entrada de habilitación de chip
<b>OE</b>	Entrada de habilitación de la salida
<b>WE</b>	Entrada de habilitación de escritura
<b>LB</b>	Control de bits inferiores (LSB)
<b>UB</b>	Control de bits superiores (MSB)

Nota: La cantidad de bits de dirección y de los pines de entrada/salida se pueden modificar en el modelo de simulación, sin embargo, su descripción y funcionamiento es el mismo

## 1. Diagramas de tiempo



**Figura 3. Diagrama de tiempos de un ciclo de lectura**

Nota: Se puede establecer LB o UB en bajo de forma independiente para leer la parte baja o alta de forma independiente: WE está en alto para el ciclo de lectura

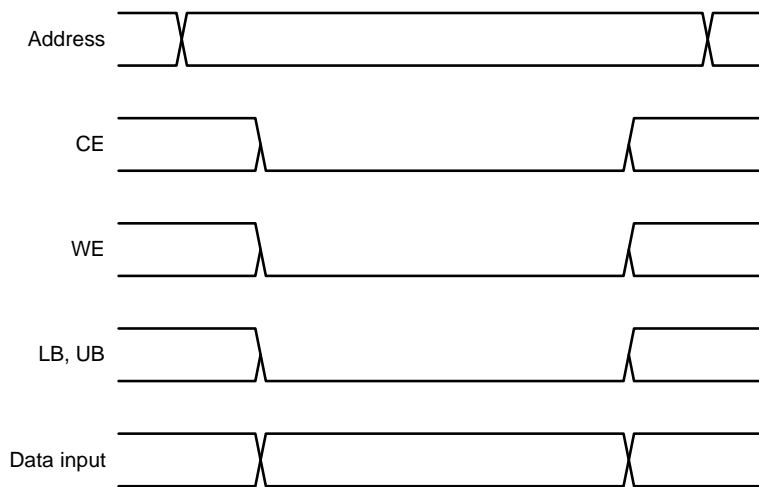


Figura 4. Diagrama de tiempos de un ciclo de escritura

Se puede establecer LB o UB en bajo de forma independiente para escribir la parte baja o alta de forma independiente

### III.SIMULACIÓN – TEST BENCH

El archivo de simulación “SRAM\_tb” tiene dos parámetros constantes “word\_bits” y “add\_bits” los cuales permiten simular diferentes tamaños de memoria, *word\_bits* indica la cantidad de bits que tiene cada una de las palabras de almacenamiento (debe ser número par), y *add\_bits* indica la cantidad de bits de dirección que tiene la memoria.

Al ejecutar la simulación en ModelSim se puede observar el comportamiento de la memoria mediante las formas de onda al igual que se expone en la Figura 5, donde se puede evidenciar el comportamiento de las formas de onda de la Figura 3 y Figura 4, además de la lectura y escritura independiente de la parte baja y alta de la memoria. En la zona amarilla se activa tanto la parte alta como la parte baja de la palabra (LB = 0, UB = 0), en la zona verde solo se activa la parte alta de la palabra (LB = 1, UB = 0) lo que implica que cuando se guardan los datos de entrada, solo se modifican los bits más significativos; estos mismos bits son los únicos que se visualizan cuando se hace la operación de lectura, la parte baja se mantiene en alta impedancia por el circuito de control.

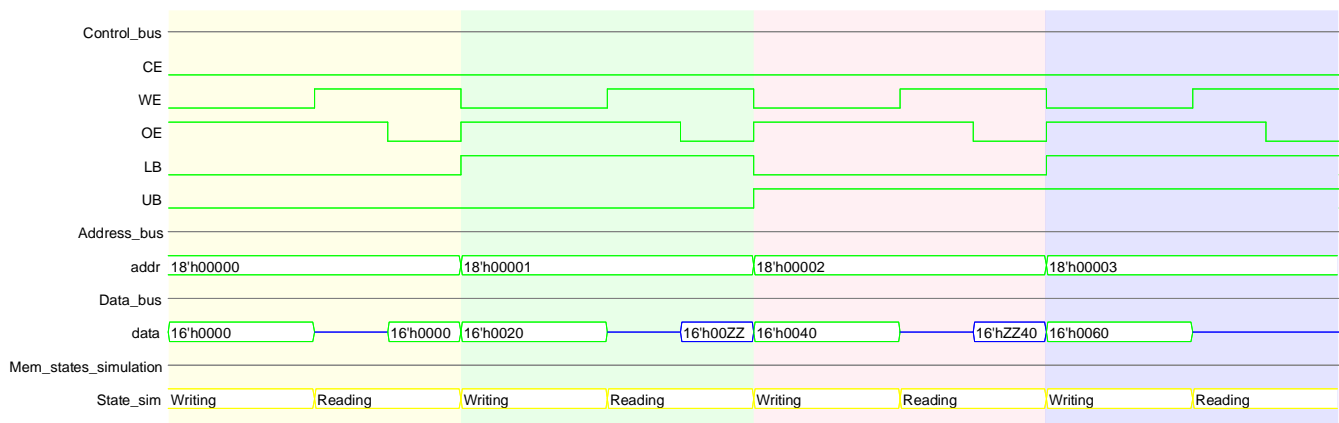


Figura 5. Simulación en ModelSim de una SRAM de 256Kx16

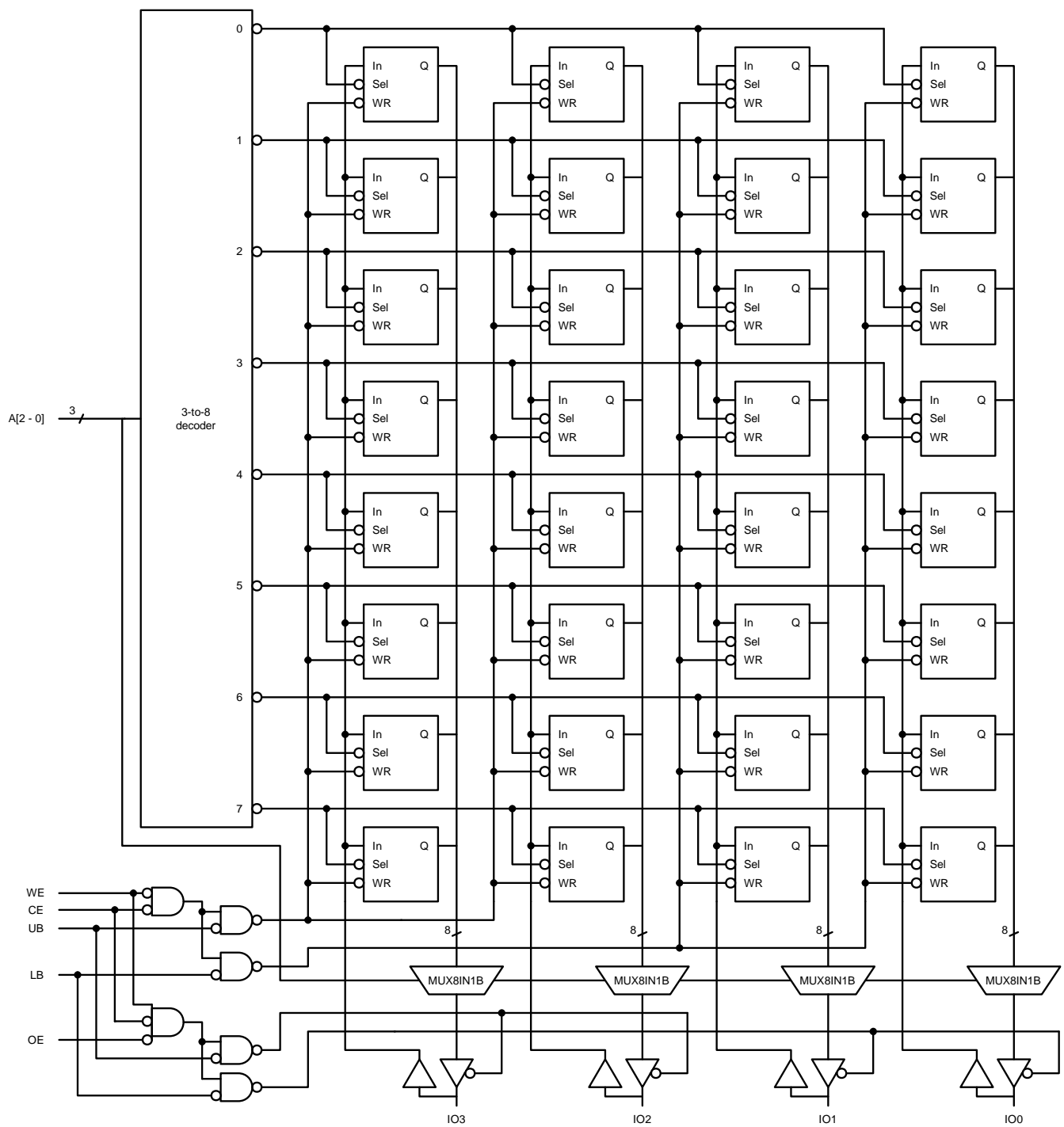


Figura 6. Estructura interna de una SRAM8x4