

SSC0902 – Organização e Arquitetura de Computadores – 1º sem/2019 2º Trabalho Prático

Data da disponibilização: 20/05/19 - Data de entrega: 28/06/19 (23h55)
Grupos de 4 pessoas já definidos no 1º trabalho prático

O objetivo deste trabalho prático é permitir que os alunos assimilem melhor o conhecimento da disciplina.

Para atingir o objetivo, os grupos podem escolher uma das duas possibilidades especificadas abaixo:

- 1) Desenvolvimento de um material que será utilizado como um Recurso Educacional Aberto (REA)¹ em um tópico ministrado na disciplina; ou
- 2) Análise de desempenho de memória cache.

Na opção (1) deve-se desenvolver um REA que ilustre o funcionamento de pelo menos um (ou mais do que um) dos principais tópicos estudados na disciplina, sendo:

- Arquitetura Monociclo do MIPS
- Definição básica de pipeline MIPS e os registradores intermediários: definição e exemplos de funcionamento;
- Dependência de Dados: definição, exemplo do problema e solução por *forwarding*;
- Dependência de Controle: definição, exemplo do problema e solução com predição dinâmica;
- Caches: definição e funções de mapeamento

O REA pode ser de diferentes maneiras. Algumas alternativas são:

- Um simulador do comportamento de um algoritmo ou técnica;
- Uma sequência de ilustrações, como uma história em quadrinhos, como por exemplo em <https://jvns.ca/zines/#perf>;
- Uma página WEB com explicações e desenhos (<https://jvns.ca/blog/2016/12/03/how-much-memory-is-my-process-using/>)

Na opção (2),

O objetivo desse trabalho é analisar o desempenho de um sistema de hierarquia de memórias através de simulações.

Para tanto, o grupo deve escolher um programa que faça essa simulação de cache e que seja possível configurar:

- Memória Principal
- Memória Cache
 - Com a possibilidade de variar o tamanho da cache
 - Com a possibilidade de variar o tamanho do bloco
 - Com a possibilidade de variar a função de mapeamento
 - Com possibilidade de variar as políticas de substituição
 - Com a possibilidade de definir vários níveis
- Programa ou traces com referências a memória

¹ <http://www.rea.net.br/site/faq/#a2>

O grupo deve definir quatro (4) arquivos de programa ou de trace (o que o simulador suportar) que possuam no mínimo 100 acessos à memória com as seguintes características:

1. Não possua princípios de localidade espacial e temporal
2. Possua princípios de localidade temporal
3. Possua princípios de localidade espacial
4. Possua princípios de localidade temporal e espacial

Com base nos arquivos com as características acima, o grupo deve definir uma arquitetura base, considerando os seguintes fatores:

- Tamanho da cache
- Tamanho do bloco
- Função de mapeamento
- Algoritmo de substituição
- Número e tipo de caches

A partir dessa arquitetura base, deve-se variar os fatores, um de cada vez, com pelo menos 2 níveis.

Exemplo de arquitetura base:

- Tamanho da cache : 128 palavras
- Tamanho do bloco: 1 palavra
- Função de mapeamento: direto
- Algoritmo de substituição: FIFO
- Número e tipo de caches: 1 cache unificada

Variando o primeiro fator, pode-se definir outras 2 arquiteturas:

- Tamanho da cache : 256 palavras
- Tamanho do bloco: 1 palavra
- Função de mapeamento: direto
- Algoritmo de substituição: FIFO
- Número e tipo de caches: 1 cache unificada

- Tamanho da cache : 512 palavras
- Tamanho do bloco: 1 palavra
- Função de mapeamento: direto
- Algoritmo de substituição: FIFO
- Número e tipo de caches: 1 cache unificada

Variando-se o segundo fator, pode-se definir outras 2 arquiteturas:

- Tamanho da cache : 128 palavras
- Tamanho do bloco: 2 palavras
- Função de mapeamento: direto
- Algoritmo de substituição: FIFO
- Número e tipo de caches: 1 cache unificada

- Tamanho da cache : 128 palavras
- Tamanho do bloco: 4 palavras
- Função de mapeamento: direto
- Algoritmo de substituição: FIFO
- Número e tipo de caches: 1 cache unificada

Deve-se repetir esse procedimento para todos os fatores, resultando em um total de no mínimo 6 arquiteturas (1 arquitetura base + 5 arquiteturas que variam os fatores)

Com a definição das arquiteturas e dos programas/traces que serão executados, deve-se executar as simulações onde cada arquitetura deve executar os 4 programas/traces, obtendo como resposta da simulação a taxa de acertos na cache. Se for cache multinível deve-se considerar a taxa de acerto em cada nível.

Com os resultados obtidos, o grupo deve fazer uma análise dos seguintes pontos:

1. Relação da taxa de acerto (*hit rate*) com o tamanho da cache. Com isso, conclua sobre o impacto do tamanho da cache na taxa de acerto
2. Relação da taxa de acerto (*hit rate*) com o tamanho do bloco. Com isso, conclua sobre o impacto do tamanho do bloco na taxa de acerto
3. Relação da taxa de acerto (*hit rate*) com o nível de associatividade. Com isso, conclua sobre o impacto da associatividade da cache na taxa de acerto
4. Relação da taxa de acerto (*hit rate*) com o algoritmo de substituição. Com isso, conclua sobre o impacto do algoritmo de substituição na taxa de acerto
5. Relação da taxa de acerto (*hit rate*) com o número de caches. Com isso, conclua sobre o impacto da quantidade de caches na taxa de acerto

A memória principal deve ser grande o suficiente para conter o programa/trace que será simulado.

A entrega do mesmo trabalho (mesmo simulador, mesmos arquivos de programas/trace, mesmas arquiteturas) por dois ou mais grupos resultará na nota zero para os grupos envolvidos.

Tanto para a opção (1) como para a opção (2), o grupo deve fazer uma **monografia** com as seguintes seções: Introdução (descrevendo o trabalho escolhido), Desenvolvimento do trabalho, Conclusões e Bibliografia. Especificamente para a opção (2), a monografia deve conter também gráficos e análise dos resultados.

Todos os códigos desenvolvidos e demais arquivos gerados no desenvolvimento do trabalho devem ser compactados junto com a monografia e submetidos no Moodle na tarefa “2º Trabalho Prático”.

Caso surjam quaisquer dúvidas, entrem em contato com a professora, estagiário PAE e/ou monitor da disciplina.