



第9章 COMS逻辑电路 的高级技术



本章概要

- 镜像电路
- 准**nMOS**电路
- 三态电路
- 时钟控制**CMOS**
- 动态**CMOS**电路
- 多米诺逻辑
- 双轨逻辑电路

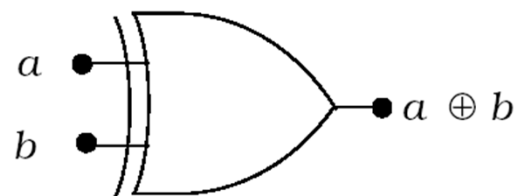


9.1 镜像电路

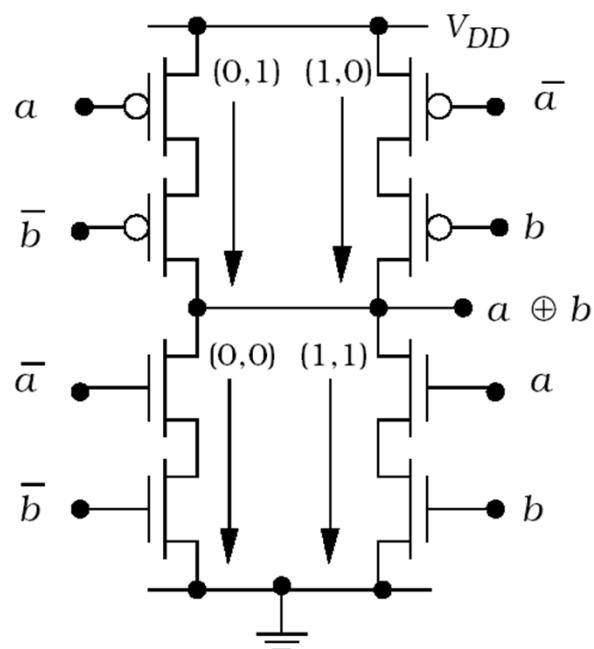
- 什么是镜像电路？
 - 电路的nFET和pFET部分具有相同的拓扑结构。
 - nFET和pFET部分的晶体管尺寸可以有不同，以便使电特性对称。
- 镜像电路的特点：
 - 速度较快。
 - pFET与nFET版图较为一致。

9.1 镜像电路

实现XOR的镜像电路(1)



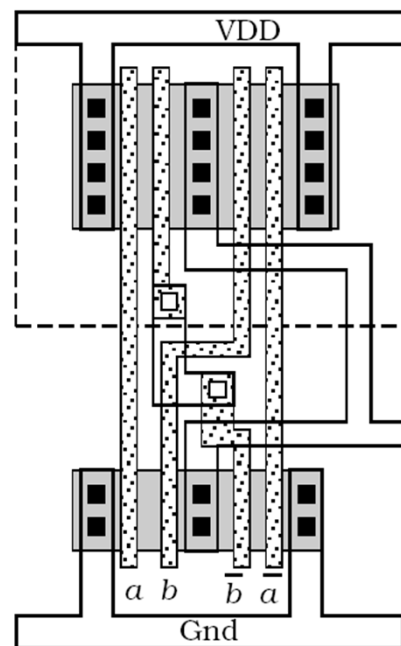
a	b	$a \oplus b$	On devices
0	0	0	← nFET
0	1	1	← pFET
1	0	1	← pFET
1	1	0	← nFET



(a) Circuit

电路对称

$$a \oplus b = \bar{a} \cdot b + a \cdot \bar{b}$$



(b) Layout

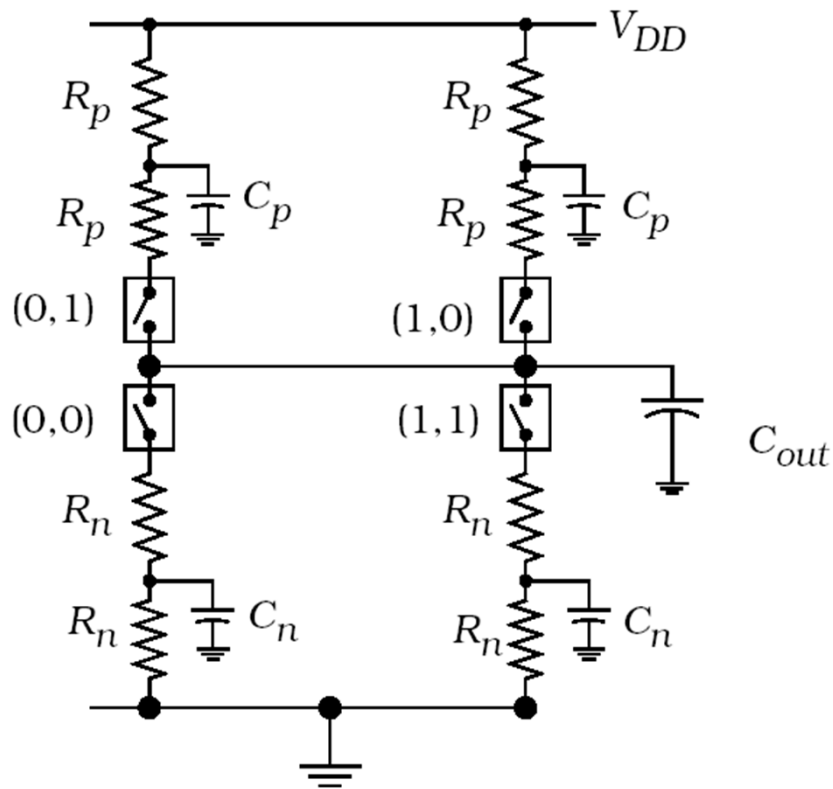
版图结构

9.1 镜像电路

实现XOR的镜像电路(2)

开关模型

Elmore时间常数



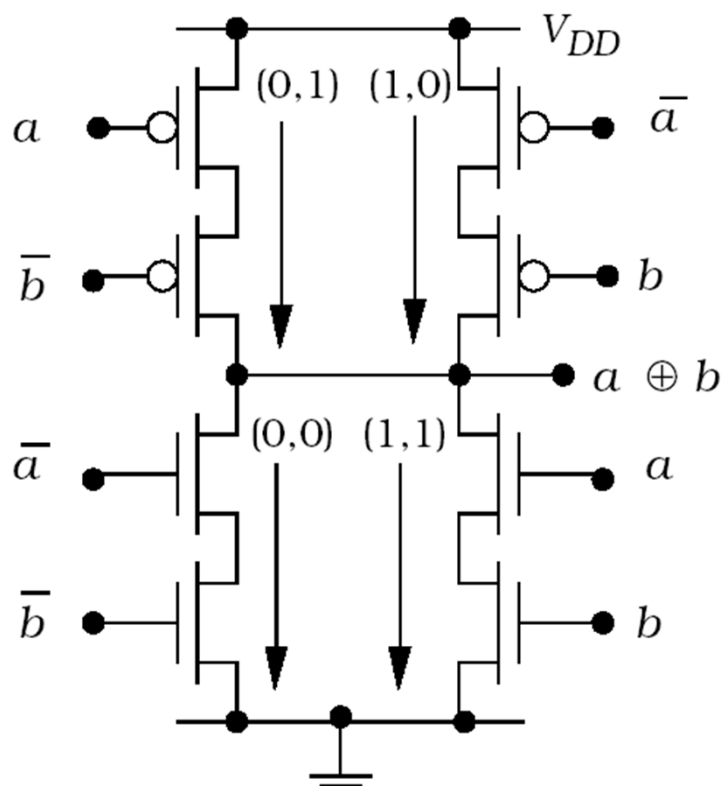
$$t_r \approx 2.2\tau_p$$

$$\tau_p = C_{out} (2R_p) + C_p R_p$$

$$t_f \approx 2.2\tau_n$$

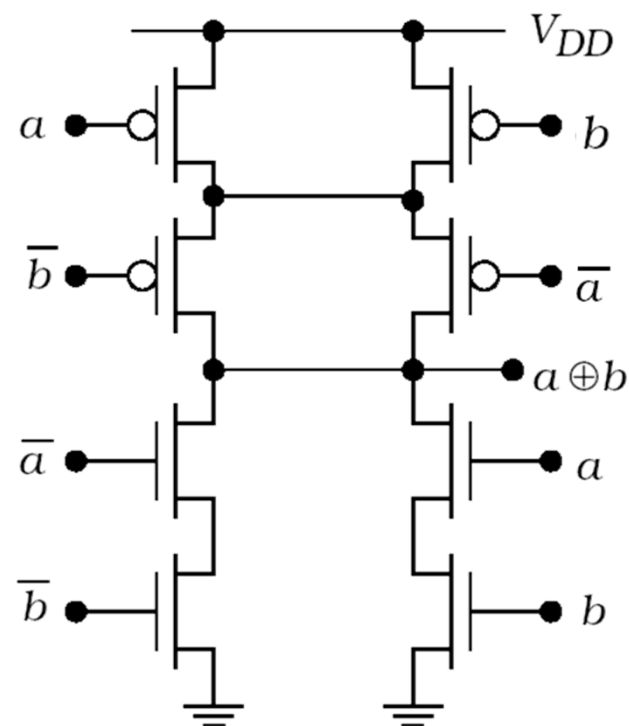
$$\tau_n = C_{out} (2R_n) + C_n R_n$$

9.1 镜像电路



镜像电路：2个pFET对
 C_p 有贡献， t_r 较小

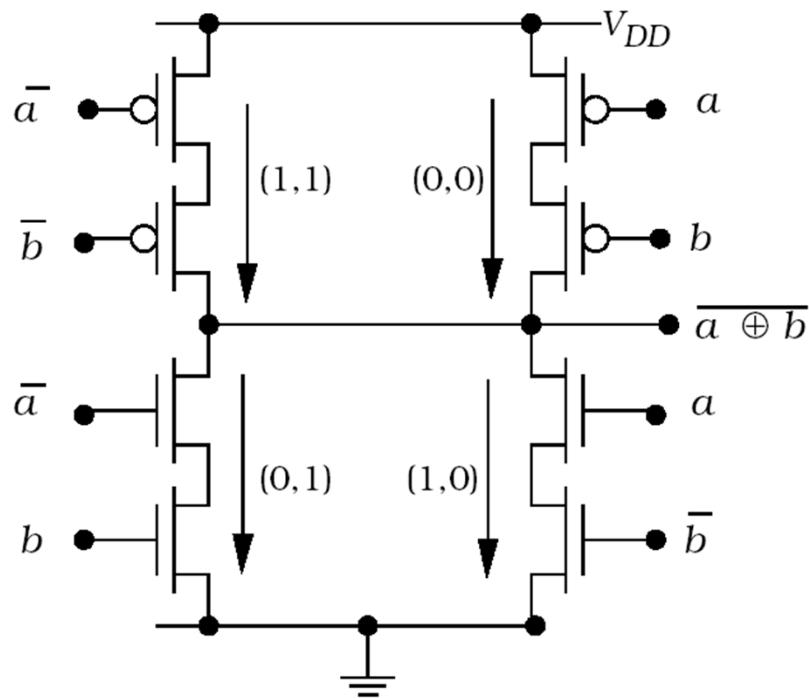
实现XOR的镜像电路(3)



AOI电路：4个pFET对 C_p
有贡献， t_r 较大

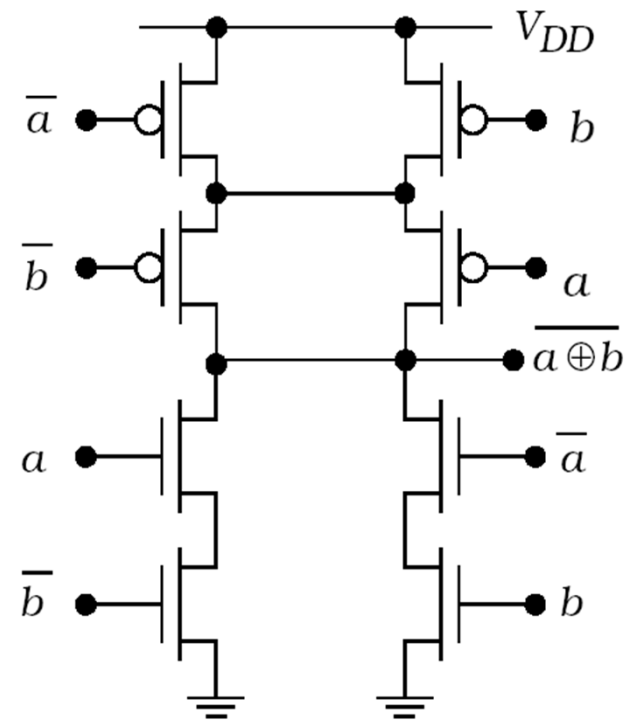
9.1 镜像电路

实现XNOR的镜像电路



镜像电路实现

$$\overline{a \oplus b} = a \cdot b + \bar{a} \cdot \bar{b}$$

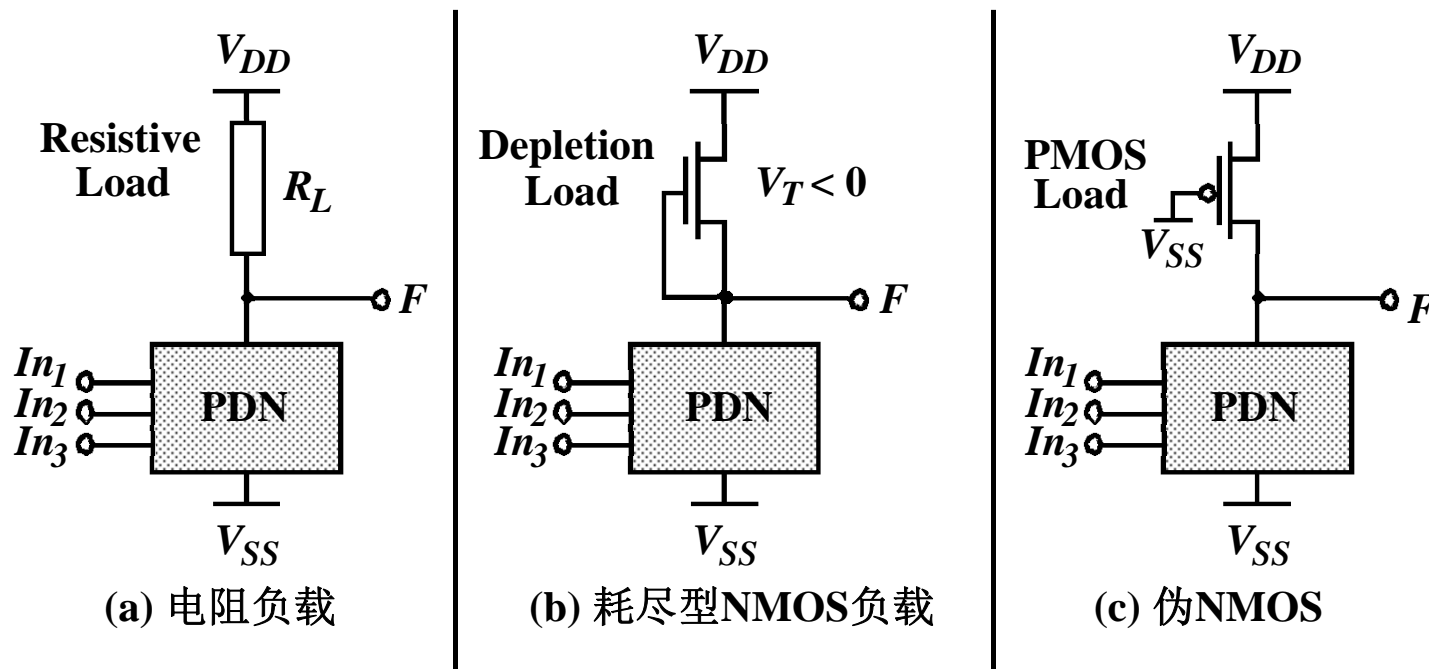


AOI电路实现

9.2 准nMOS电路

有比逻辑

如何减少静态CMOS中的晶体管数？

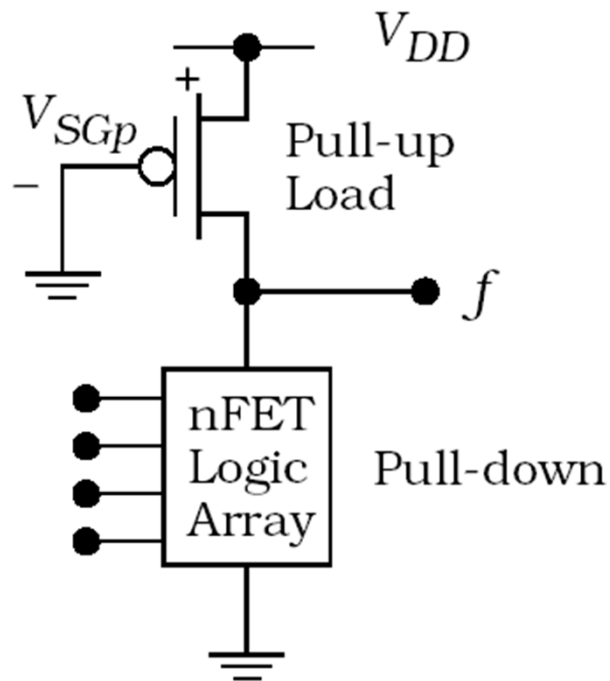


目标: 比互补CMOS使用的器件数量少。

9.2 准nMOS电路

准nMOS结构

nMOS 逻辑电路用1个pFET为负载



$V_{SGp} \equiv V_{DD} \Rightarrow$ pFET永远导通

nFET阵列截止 \Rightarrow 开关开路

\Rightarrow pFET将输出电平上拉到 V_{DD}

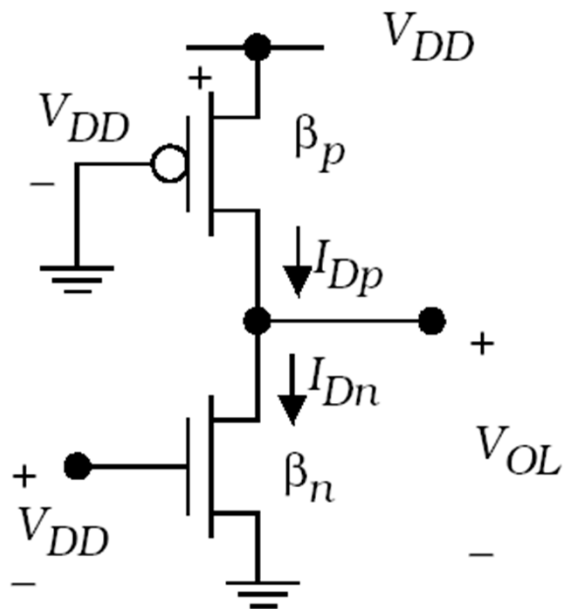
nFET阵列导通 \Rightarrow 开关短路

\Rightarrow nFET将输出电平下拉到低电平 V_{OL}

但因pFET导通, V_{OL} 较高

9.2 准nMOS电路

准nMOS反相器: 输出低电平



$$V_{in} = V_{DD} \Rightarrow V_{out} = V_{OL} \ll V_{DD}$$

pFET饱和, nFET非饱和

$$I_{Dn}(\text{非饱和}) = I_{Dp}(\text{饱和})$$

$$\frac{\beta_n}{2} [2(V_{DD} - V_{Tn})V_{OL} + V_{OL}^2] = \frac{\beta_p}{2} [V_{DD} - |V_{Tp}|]^2$$

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n} (V_{DD} - |V_{Tn}|)^2}$$

要 $V_{OL} \downarrow$, 就要 $\frac{\beta_n}{\beta_p} \uparrow$

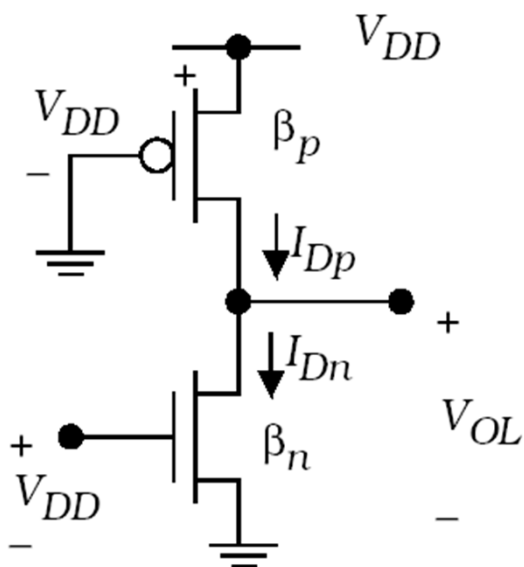
$\beta = \mu C_{ox} (W / L)$: 增益因子 (Gain factor)

$k' = \mu C_{ox}$: 工艺跨导系数 (Process transconductance parameter)

有比逻辑

9.2 准nMOS电路

准nMOS反相器: 实例



$$V_{DD}=5V, V_{Tn}=+0.7V, V_{Tp}=-0.8V, \\ \kappa'_n = 150\mu A/V^2, \kappa'_p = 68\mu A/V^2$$

$$\beta_p = \kappa'_p \left(\frac{W}{L} \right)_p \quad \beta_n = \kappa'_n \left(\frac{W}{L} \right)_n$$

$$\left(\frac{W}{L} \right)_n = 4, \left(\frac{W}{L} \right)_p = 6 \Rightarrow V_{OL} = 1.75V \\ \left(\frac{W}{L} \right)_n = 8, \left(\frac{W}{L} \right)_p = 2 \Rightarrow V_{OL} = 0.24V$$

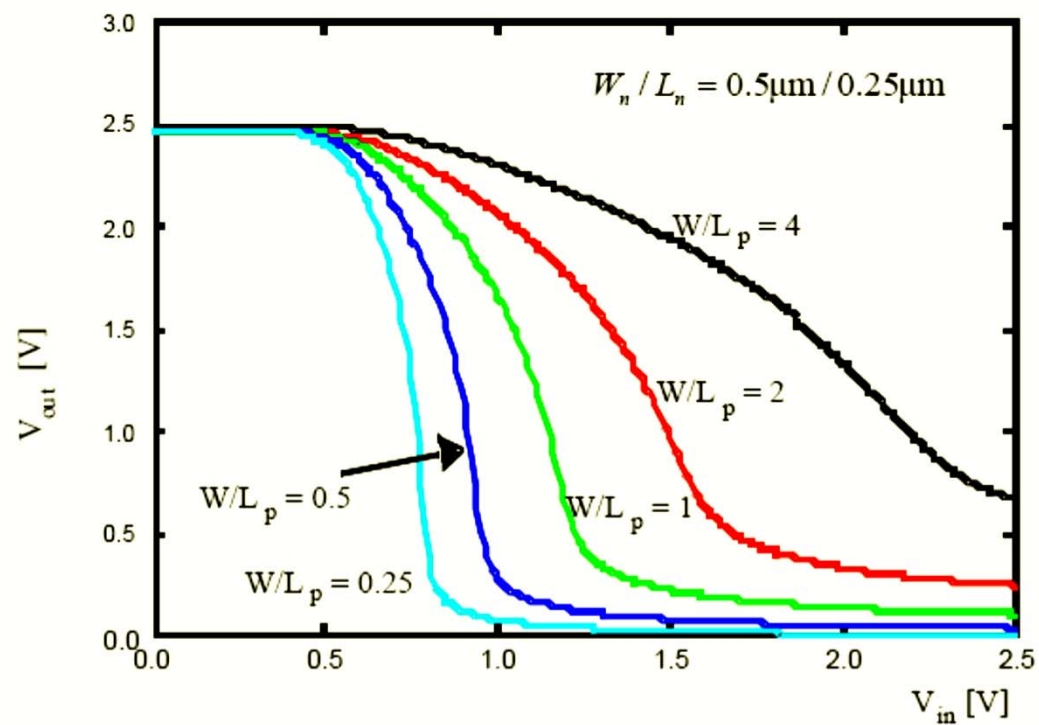
增大N管尺寸, 使 V_{OL} 降低, 增大了功耗。

减小P管尺寸, 使 V_{OL} 降低, 上升延时增大, 速度变慢。

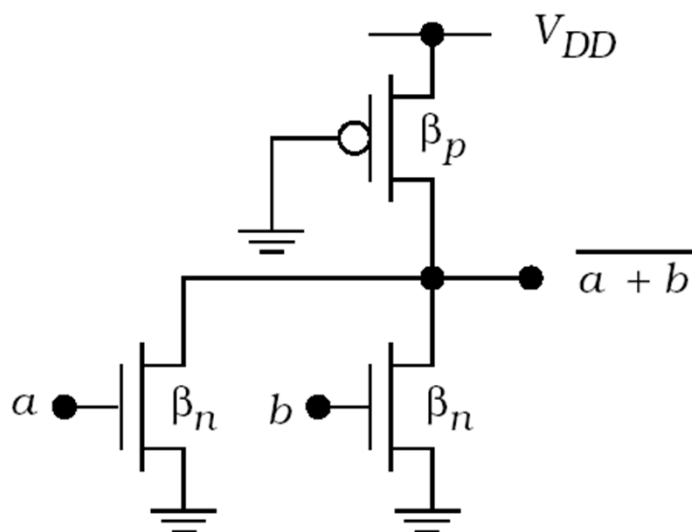
输出低电平时, 有静态功耗!!!

9.2 准nMOS电路

准nMOS反相器: VTC曲线

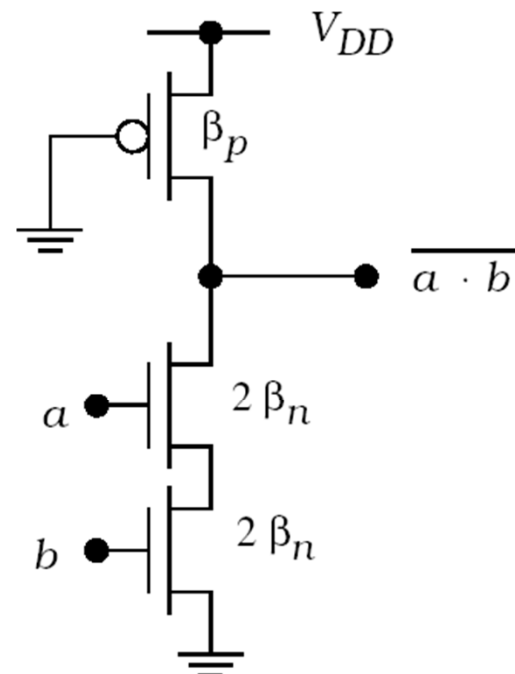


9.2 准nMOS电路



(a) NOR2 gate

准nMOS NAND2/NOR2

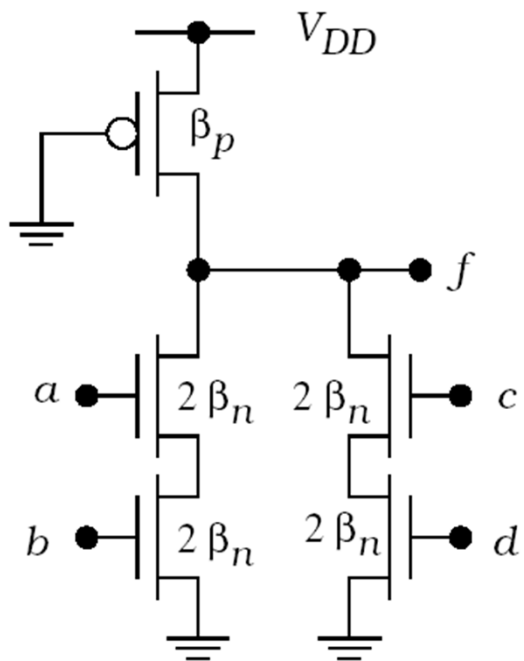


(b) NAND2 gate

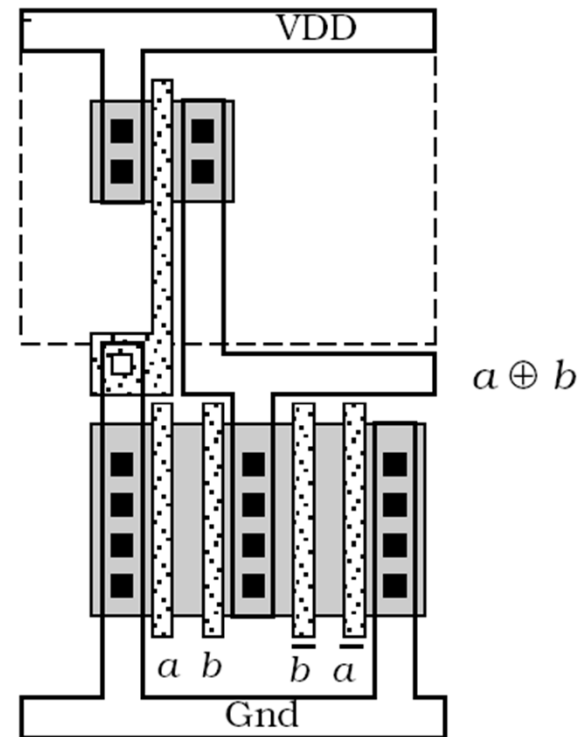
准nMOS: 逻辑设计优先采用**NOR**门, 以相对减少低电平
静态CMOS: 逻辑设计优先采用**NAND**门, 以相对提高电路速度

9.2 准nMOS电路

准nMOS AOI



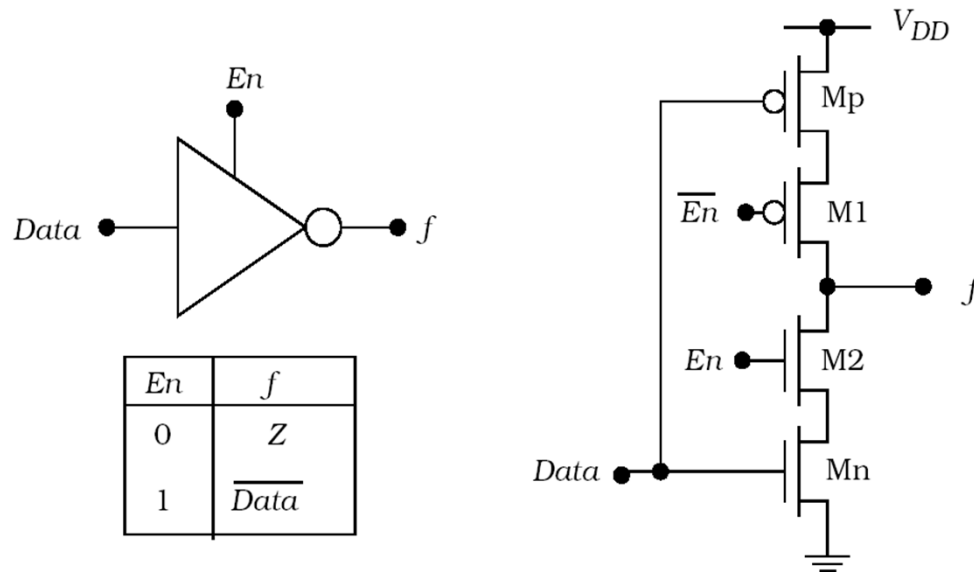
(a) General circuit



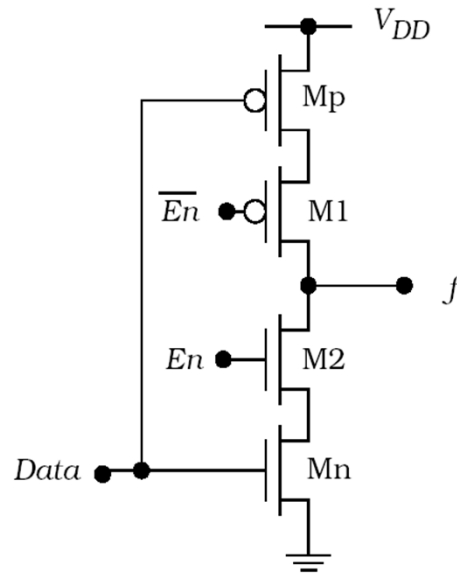
(b) Layout example

9.3 三态电路

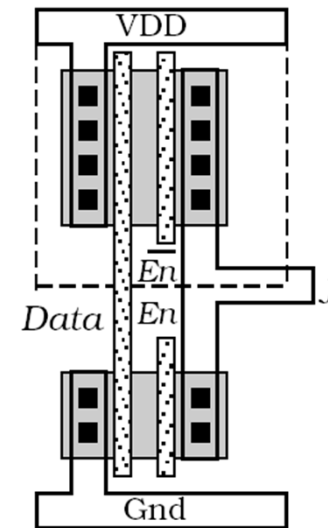
三态反相器



(a) Symbol and operation



(b) CMOS circuit



$E_n = 0 \Rightarrow M1、M2$ 均截止 $\Rightarrow f$ 与 V_{DD} 、 GND 均断开，输出为高阻态

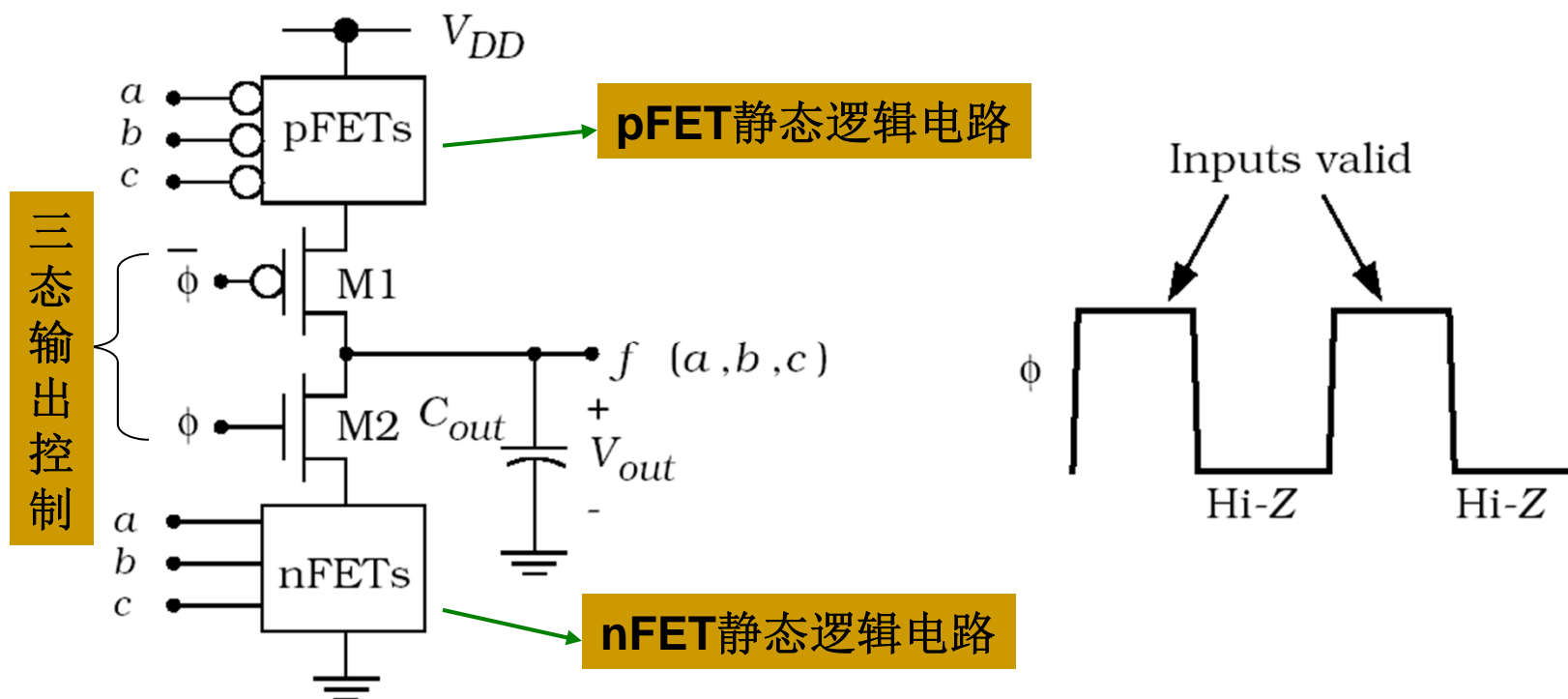
$E_n = 1 \Rightarrow M1、M2$ 均导通 \Rightarrow 成为以Data为输入端、 f 为输出端的COMS反相器

三态电路 $\begin{cases} \text{低电平0} \\ \text{高电平1} \\ \text{高阻Z (Hi-Z)} \end{cases}$, 常用于将电路与公共总线隔开

9.4 C²MOS电路

C²MOS门: 结构

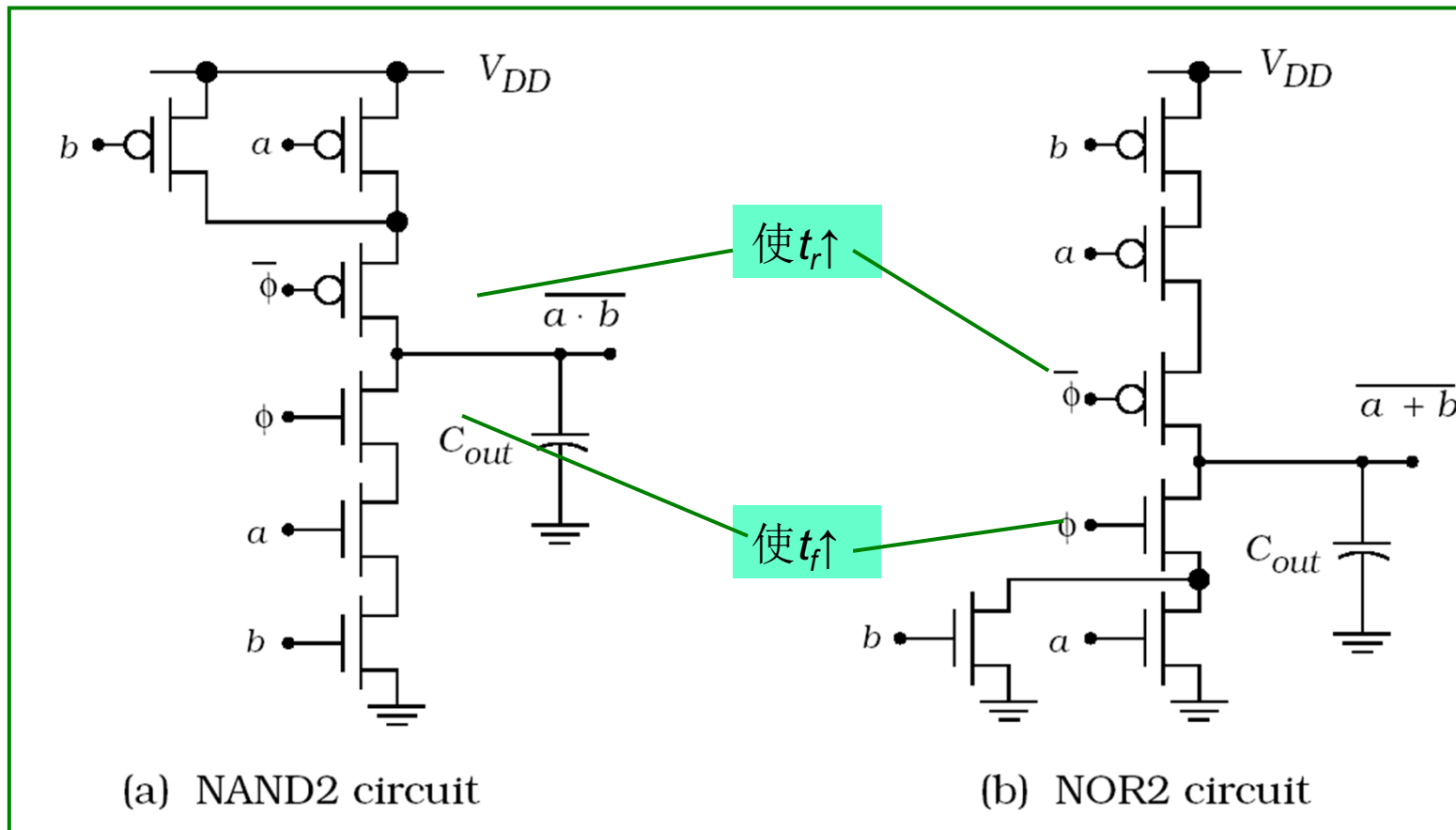
C²MOS: 时钟控制CMOS电路



$\phi = 1$ 时, M1、M2导通, 输出=静态逻辑运算的结果, 与输入有关
 $\phi = 0$ 时, M1、M2截止, 输出=高阻态Hi-Z, 与输入无关

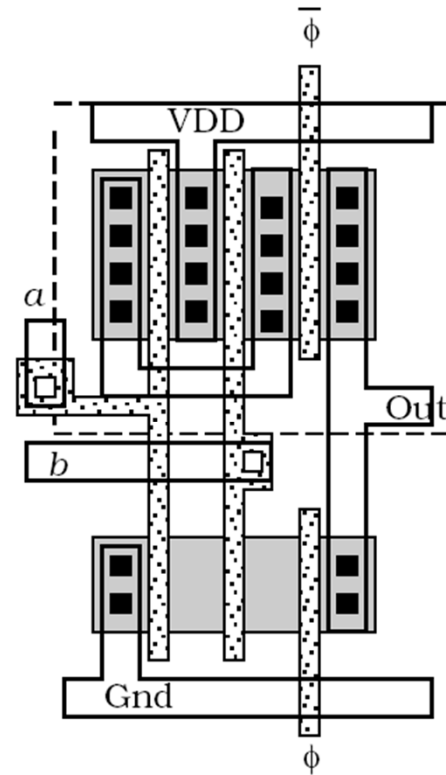
9.4 C²MOS电路

C²MOS门:电路



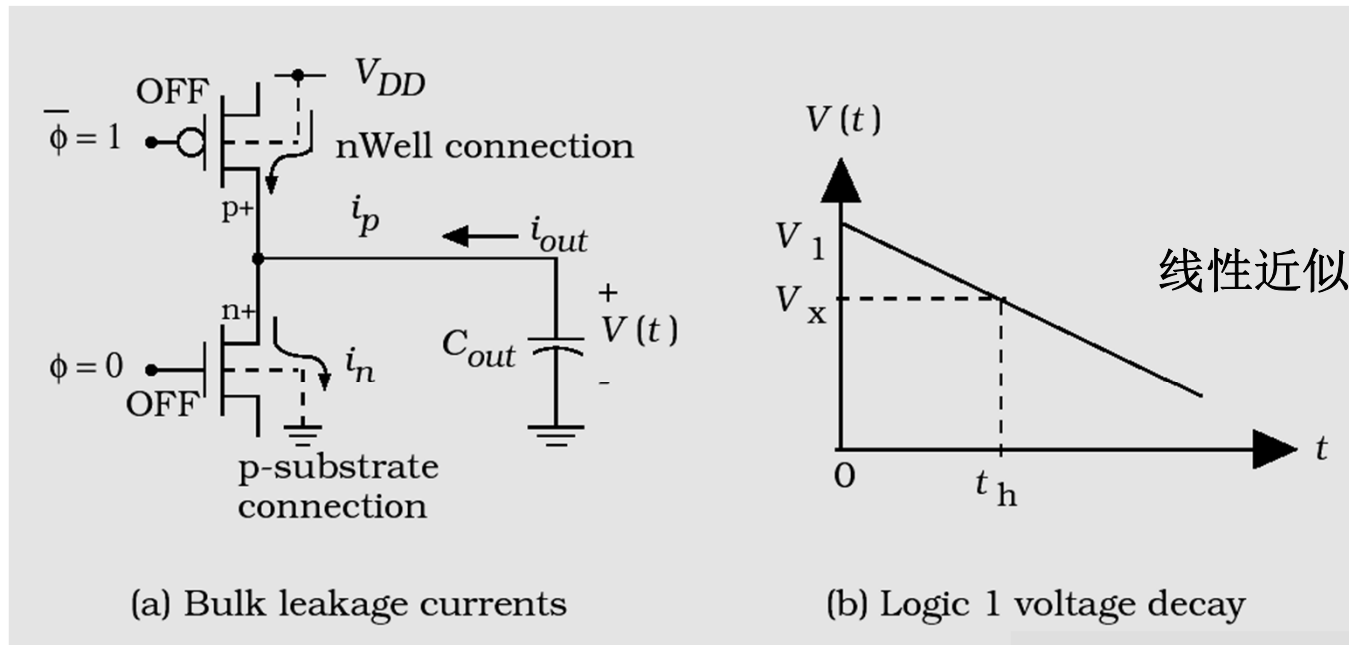


(a) Inverter



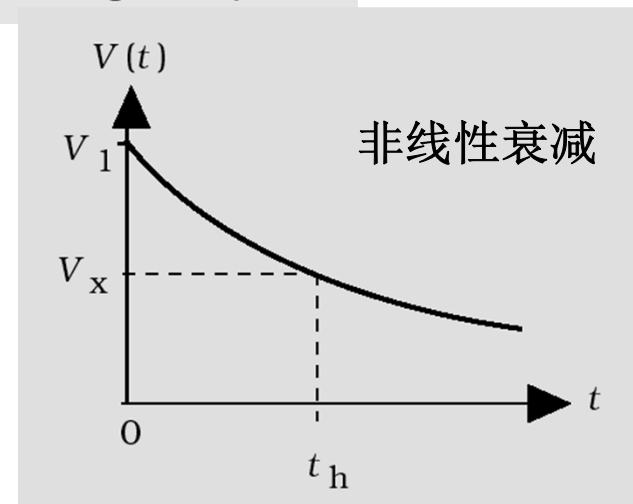
(b) NAND2

9.4 C²MOS电路——电荷泄漏



衰减时间与 C_{out} 有关， C_{out} 太小，衰减时间很短， C_{out} 太大，影响电路工作速度。

时钟信号必须有一个最小周期，以保证输出电压不会因为电荷泄漏导致信息丢失。通常**DRAM**的动态刷新时间在**us**数量级。



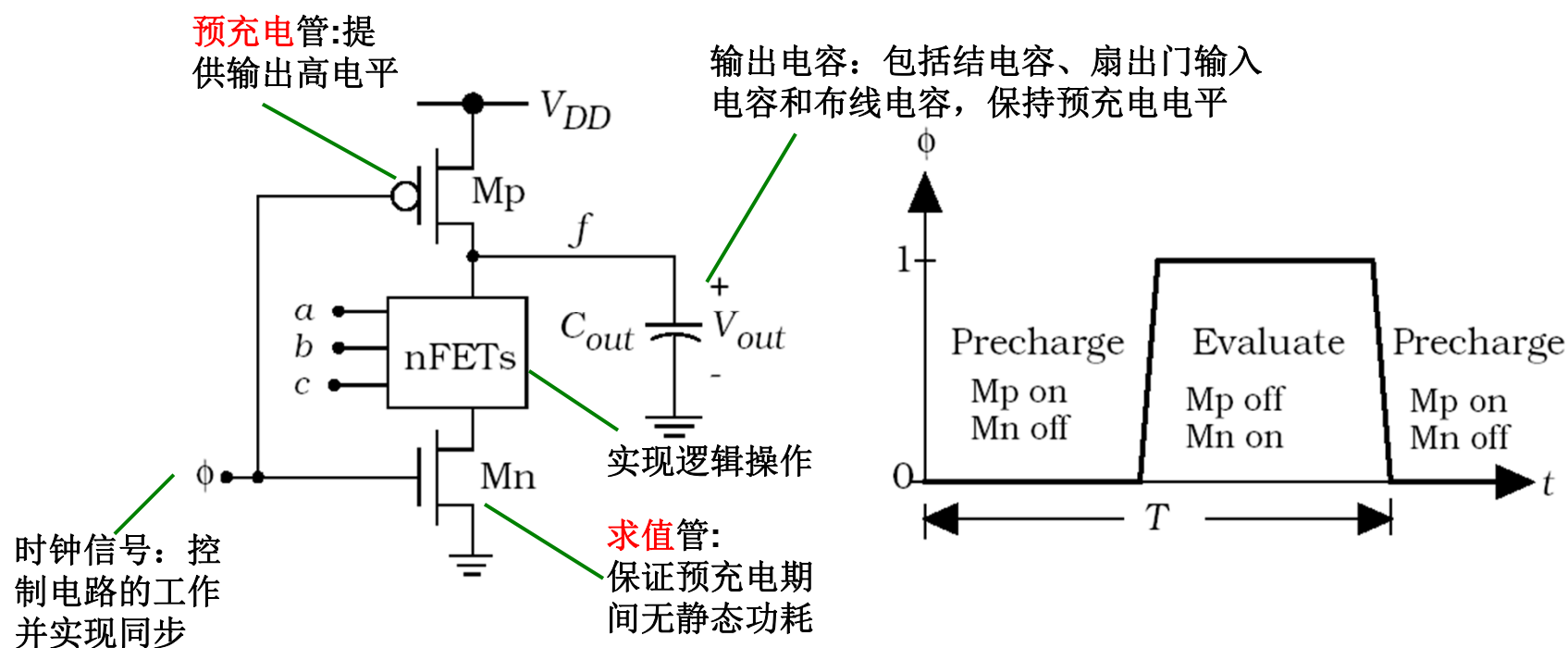


9.5 动态CMOS电路

- 在静态电路中，每个输出在所有时间内(除了电路切换的时刻)总是通过一个低阻通路或者接到GND或者接到 V_{DD} 。
 - n 个扇入需要 $2n$ 个晶体管(n 个NMOS, n 个PMOS)
- 伪NMOS逻辑只要 $n+1$ 个晶体管实现 n 输入逻辑，但有静态功耗。
- 动态电路靠暂时把信号值存在高阻结点的电容上，避免了静态功耗
 - 需要 $n + 2$ ($n+1$ 个NMOS + 1个PMOS)晶体管

9.5 动态CMOS电路

基本结构



$\phi=0$ 预充电: M_p 导通, M_n 截止, V_{DD} 通过 M_p 对 C_{out} 充电, $V_{out}=V_{DD}$

$\phi=1$ 求值: M_p 截止, M_n 导通, 输入经nFET逻辑阵列运算得到输出 \Rightarrow

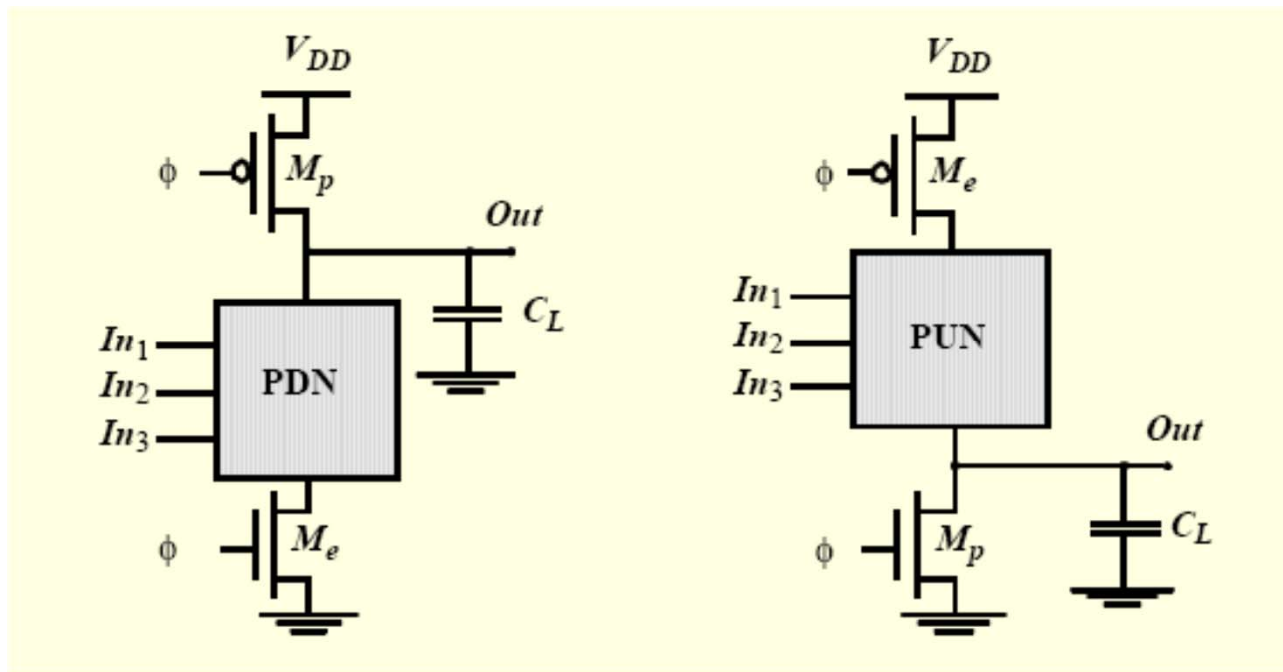
若运算结果为逻辑1, 则输出为高阻态, 保持 $V_{out}=V_{DD}$;

若运算结果为逻辑0, 则输出通过逻辑阵列和 M_n 放电, 使 $V_{out}=0V$

优点: 晶体管数目少, 速度快; 缺点: 结果只在半个时钟周期有效, 难以设计和应用。

9.5 动态CMOS电路

基本类型



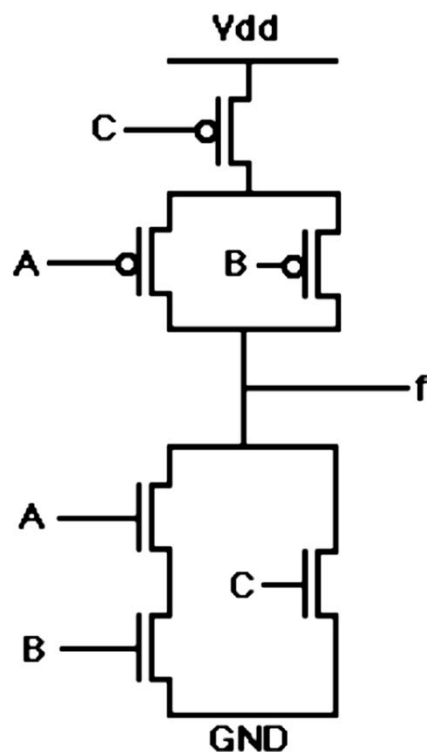
下拉n网络

上拉n网络

9.5 动态CMOS电路

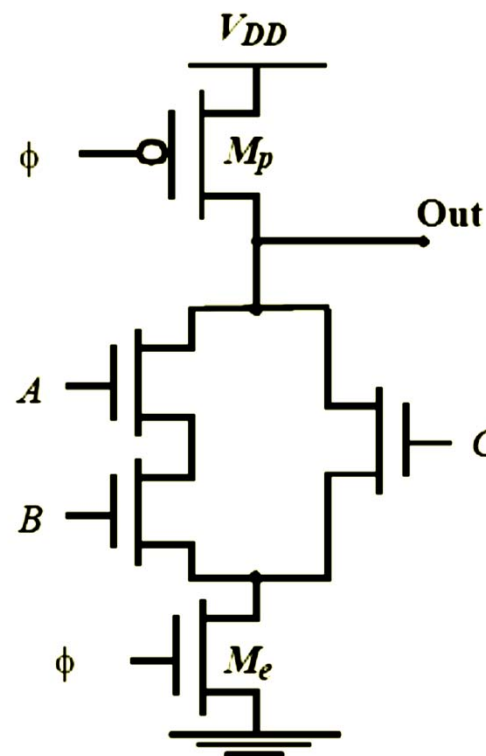
电路实例:AOI门

静态CMOS



$$f = \overline{A \cdot B + C}$$

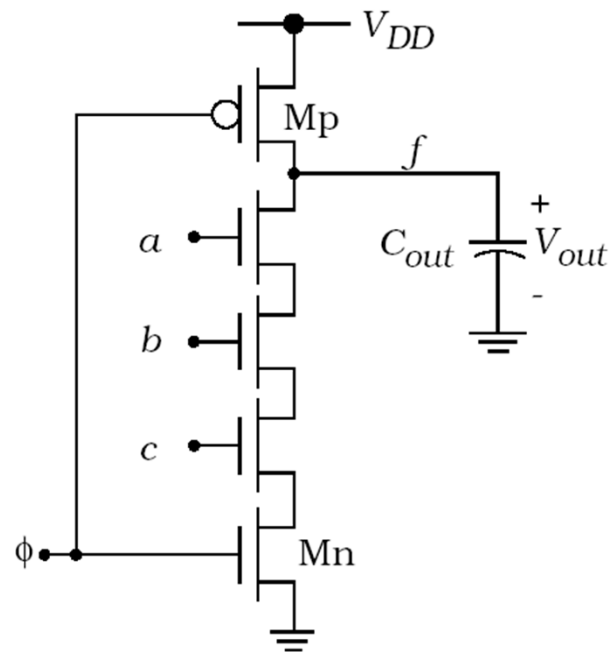
动态CMOS



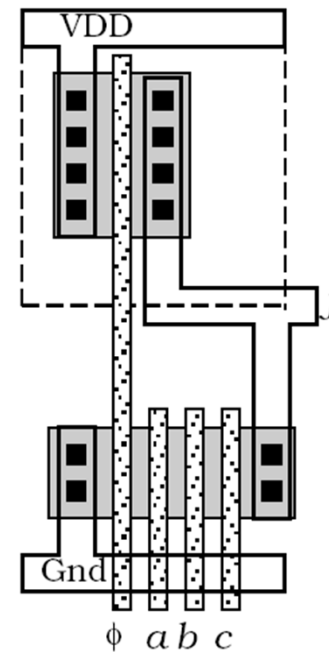
$$Out = \overline{CLK} + \overline{(A \cdot B + C)} \cdot CLK$$

9.5 动态CMOS电路

版图:NAND3



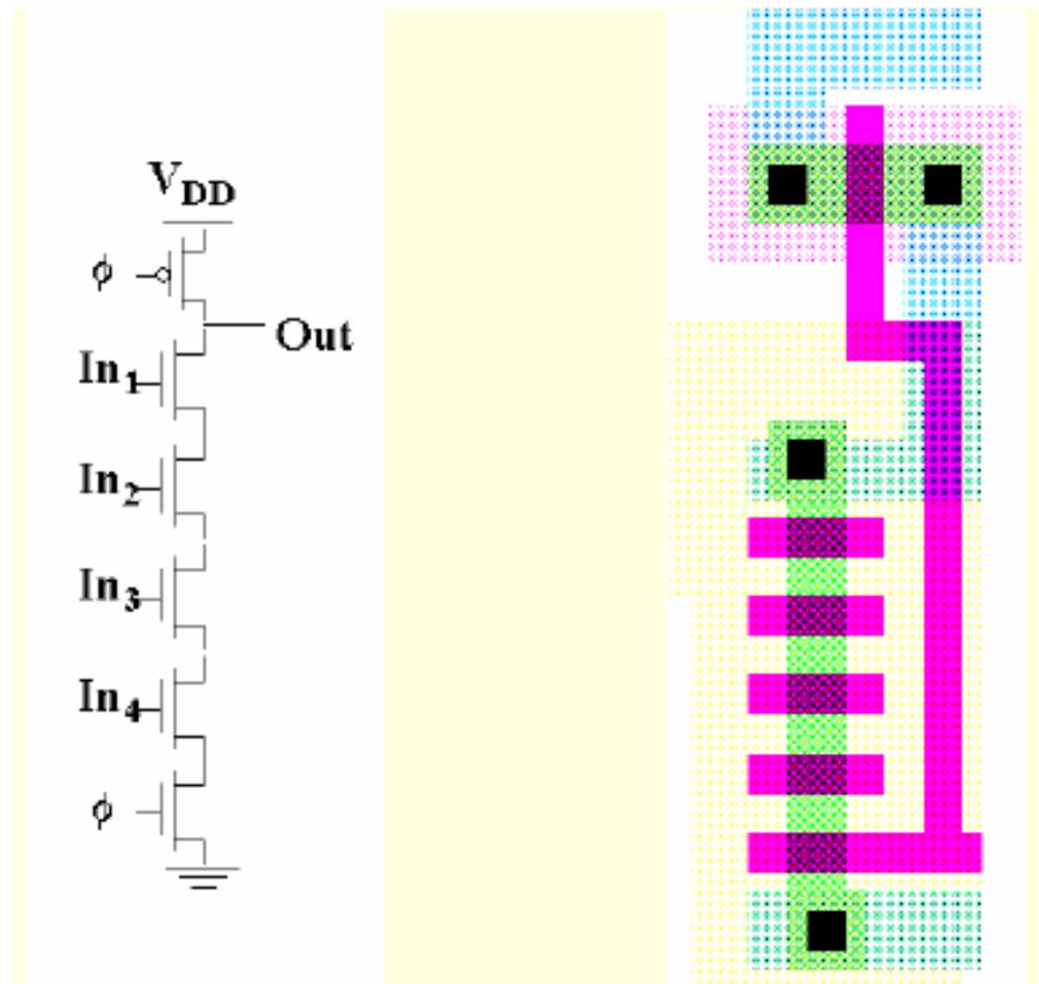
(a) Circuit



(b) Layout

9.5 动态CMOS电路

版图:NAND4



9.5 动态CMOS电路 与静态CMOS的比较

■ 与静态CMOS相同之处

- 全逻辑摆幅，无比逻辑
- 下拉网络由nMOS逻辑链构成，构成方式与静态CMOS相同
- 无静态功耗

■ 与静态CMOS不同之处

- **晶体管数少**：只需 $N+2$ 个FET，而静态CMOS需 $2N$ 个FET
- **开关速度快**：晶体管数少，无低至高延迟时间，负载电容小，无短路电流
- **噪声容限小**： V_M 、 V_{IH} 、 V_{IL} 均近似等于 V_{Tn} ，而静态CMOS近似等于 $V_{DD}/2$
- **动态功耗较大**：时钟电路消耗功率较大（负载电容大，翻转频度高），预充电过程需消耗电流
- **需要时钟控制信号**
- **需要保持输出高电平**：电荷泄漏、电荷分享、背栅耦合、时钟反馈等问题使输出高电平保持时间有限



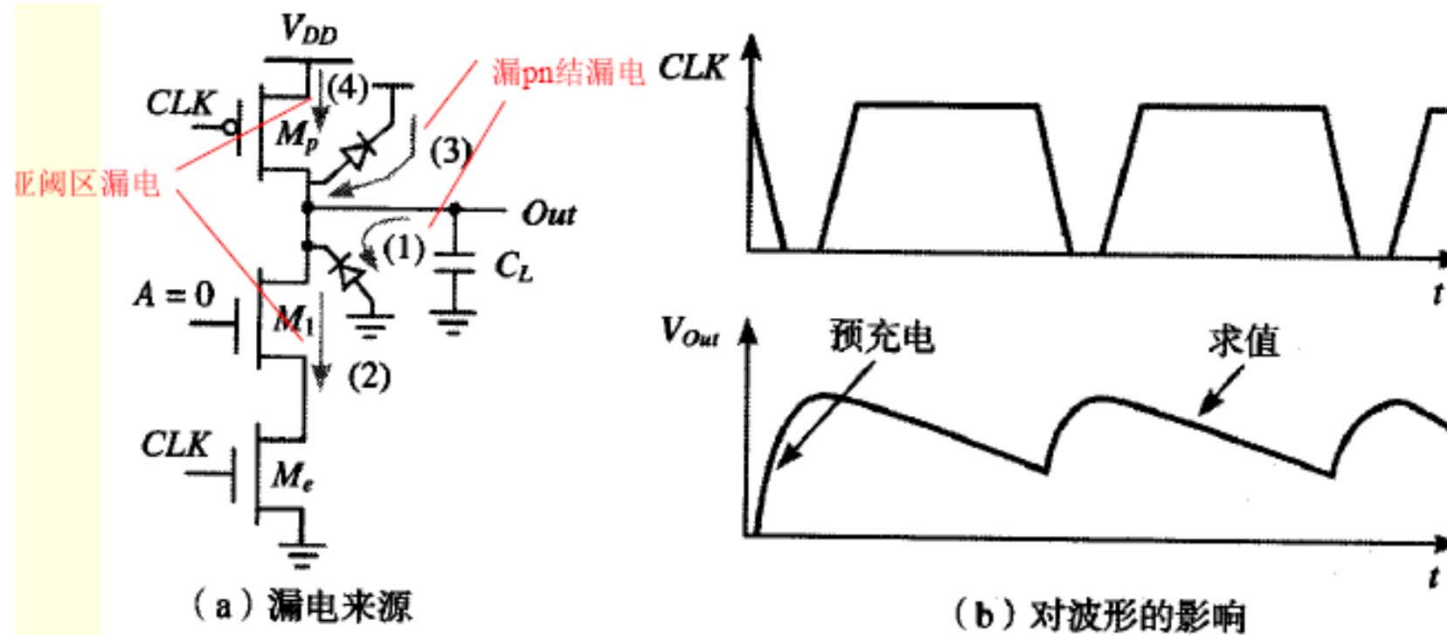
9.5 动态CMOS电路

信号完整性问题

- ◆ 电荷泄漏
- ◆ 电荷分享
- ◆ 电容耦合
- ◆ 互连串扰
- ◆ 少子电荷注入
- ◆ 电源噪声

9.5 动态CMOS电路

电荷泄漏问题



$CLK=1$ 且 $A=0$ 时, 输出处于高阻态, $V_{out}=V_{DD}$ 应保持不变。但因存在漏电流 $\Rightarrow V_{out}$ 随时间逐渐衰减 $\Rightarrow V_{out}$ 保持高电平的时间应大于时钟周期 ($t_h > T$) \Rightarrow 时钟频率 $f > 1/t_h = f_{min}$

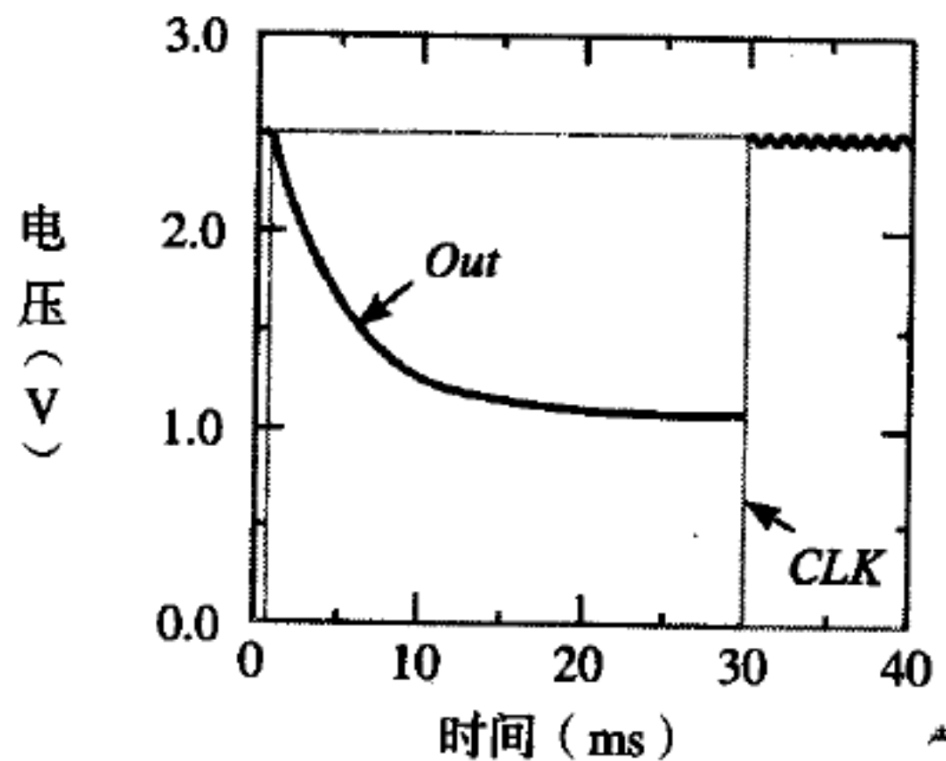
M_1 的漏电流 $\Rightarrow V_{out} \downarrow$
 M_p 的漏电流 $\Rightarrow V_{out} \uparrow$
 $\left. \vphantom{\begin{matrix} M_1 \\ M_p \end{matrix}} \right\} V_{out}$ 最终稳定在一个中间电压上

占主要地位的是亚阈值电流!

9.5 动态CMOS电路

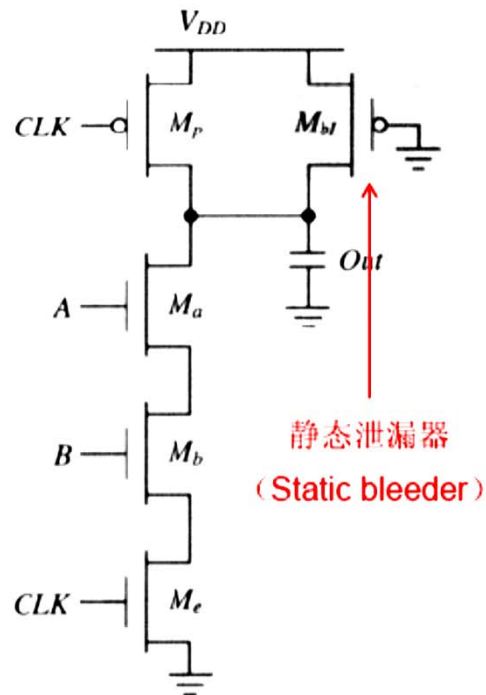
电荷泄漏:实例

动态CMOS反相器

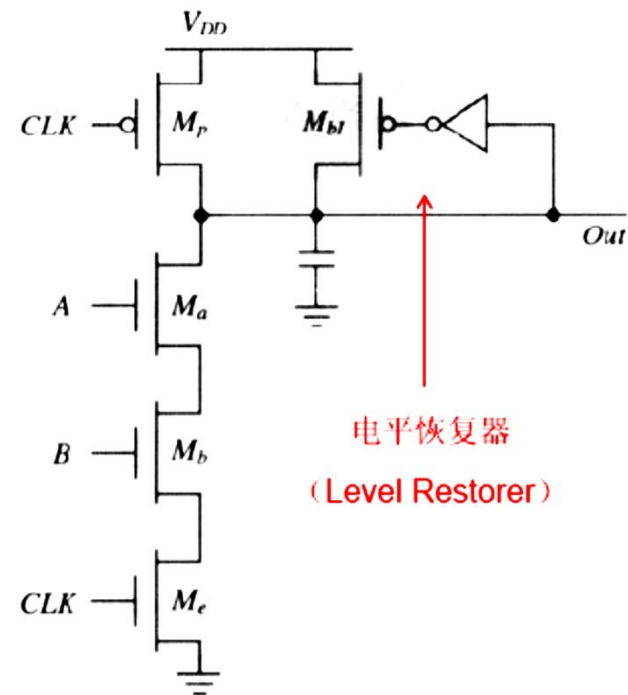


9.5 动态CMOS电路

电荷泄漏:对策



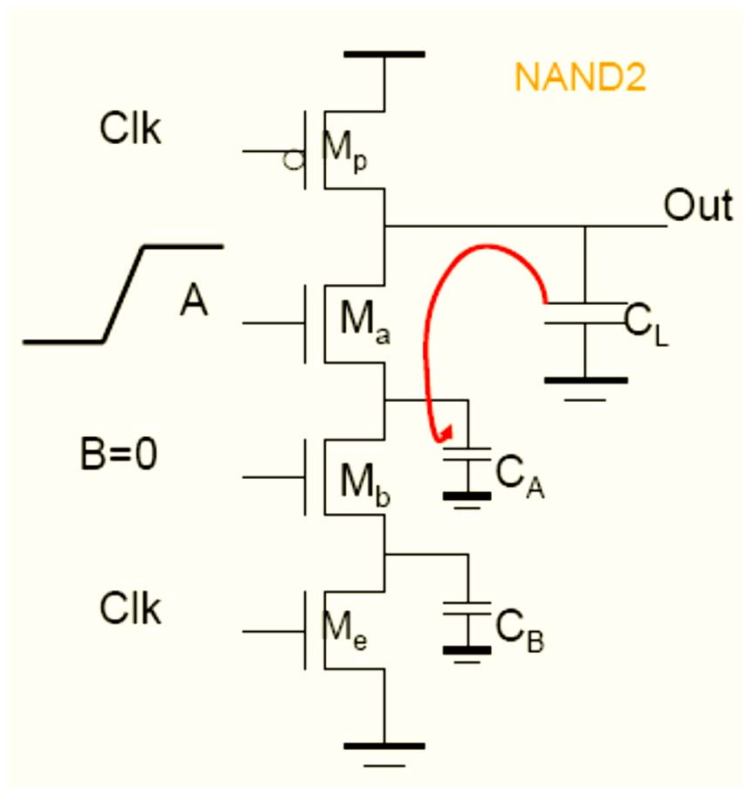
常通上拉器件，为负载电容补充电荷，尺寸较小以削弱因此而产生的有比问题及静态功耗



上拉器件仅在输出为高电平时接通，为负载电容补充电荷，无静态功耗。
缺点？

9.5 动态CMOS电路

电荷分享:概念



时钟上升沿前: M_a 、 M_b 均截止， C_L 上电荷充满，以保持其高电平

时钟上升沿后: M_a 导通， M_b 截止， C_L 上的电荷在 C_L 和 C_A 间重新分配，使 V_{out} 有所下降。

电荷分享

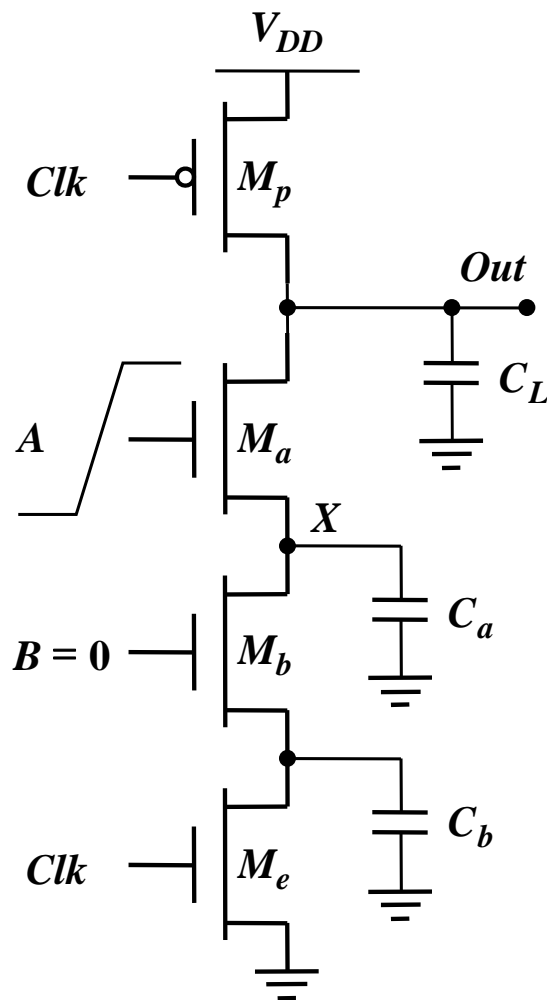
(**Charge sharing**)

FET之间的寄生电容与负载

电

容分享放电电荷和充电电荷，导致输出电压衰减。

9.5 动态CMOS电路——电荷分享



基本原理：电荷 $C_L V_{DD}$ 守恒。

情况1： $\Delta V_{out} < V_{Tn}$ ，最终 $V_X = V_{DD} - V_{Tn}$

$$C_L V_{DD} = C_L (V_{DD} - \Delta V_{out}) + C_a (V_{DD} - V_{Tn}(V_X))$$

$$\Delta V_{out} = \frac{C_a}{C_L} (V_{DD} - V_{Tn}(V_X))$$

情况2： $\Delta V_{out} > V_{Tn}$ ，最终 V_X 与 V_{out} 相等

$$C_L V_{DD} = C_L (V_{DD} - \Delta V_{out}) + C_a (V_{DD} - \Delta V_{out})$$

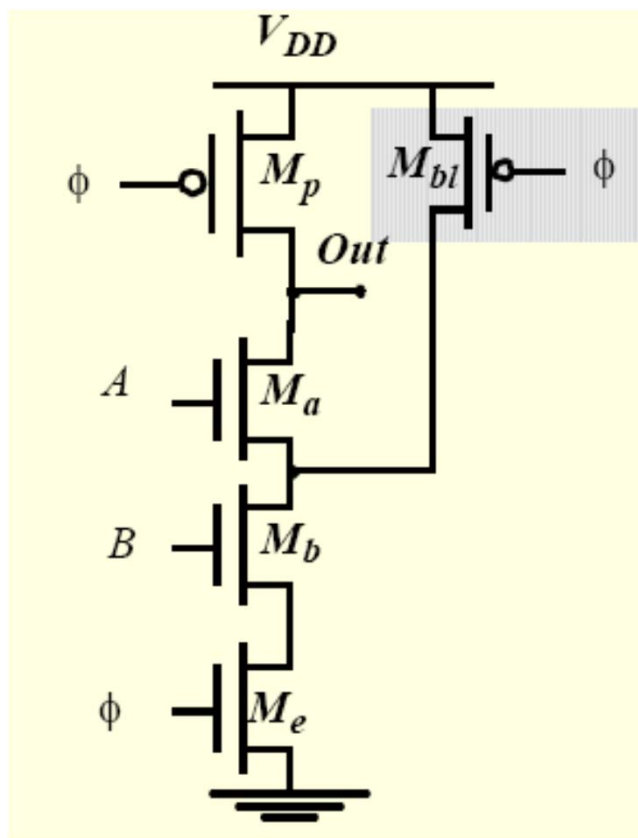
$$\Delta V_{out} = \frac{C_a}{C_a + C_L} V_{DD}$$

在边界情况下 $\Delta V_{out} = V_{Tn}$

$$\frac{C_a}{C_L} = \frac{V_{Tn}}{V_{DD} - V_{Tn}}$$

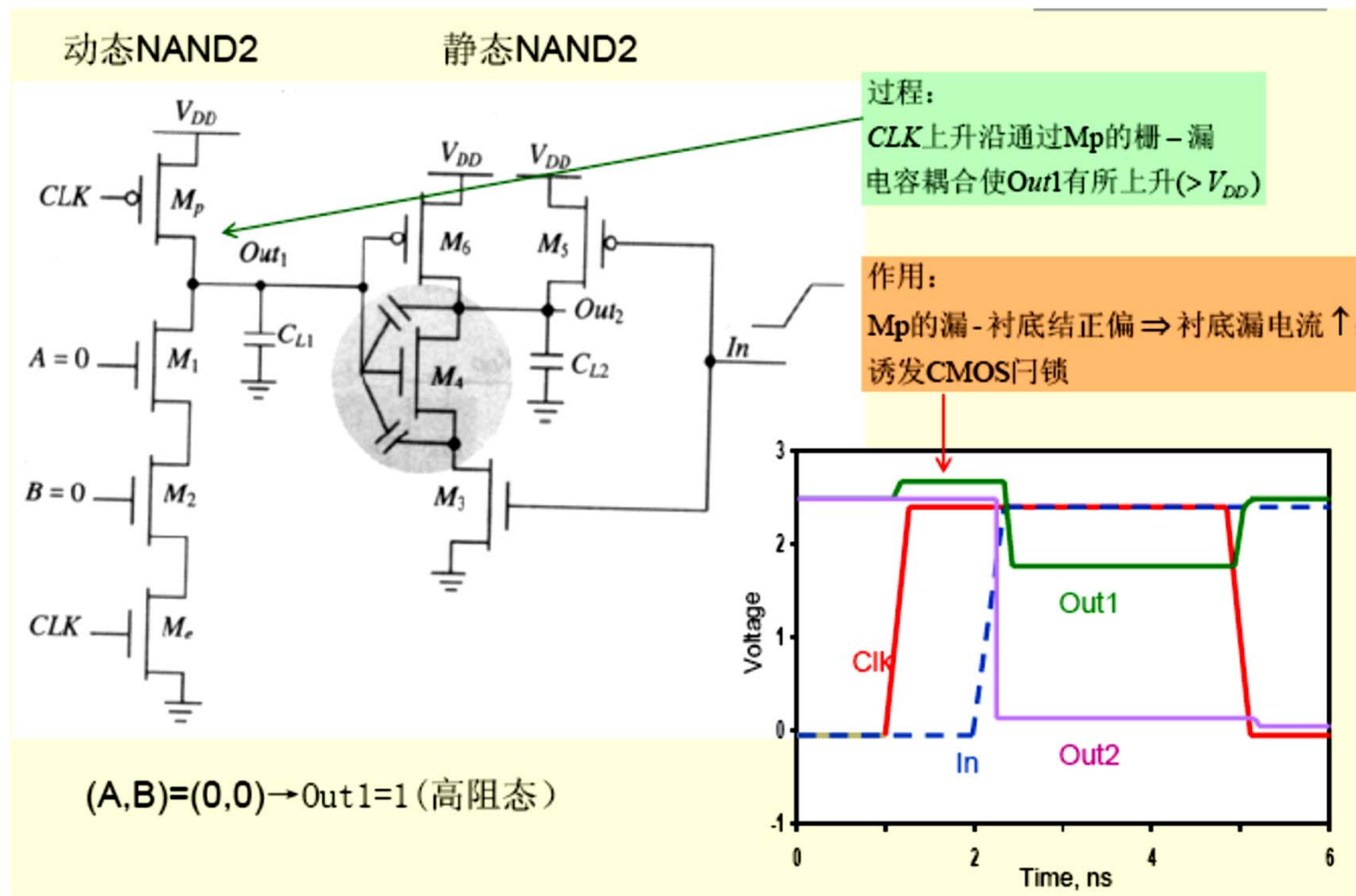
9.5 动态CMOS电路

电荷分享:对策



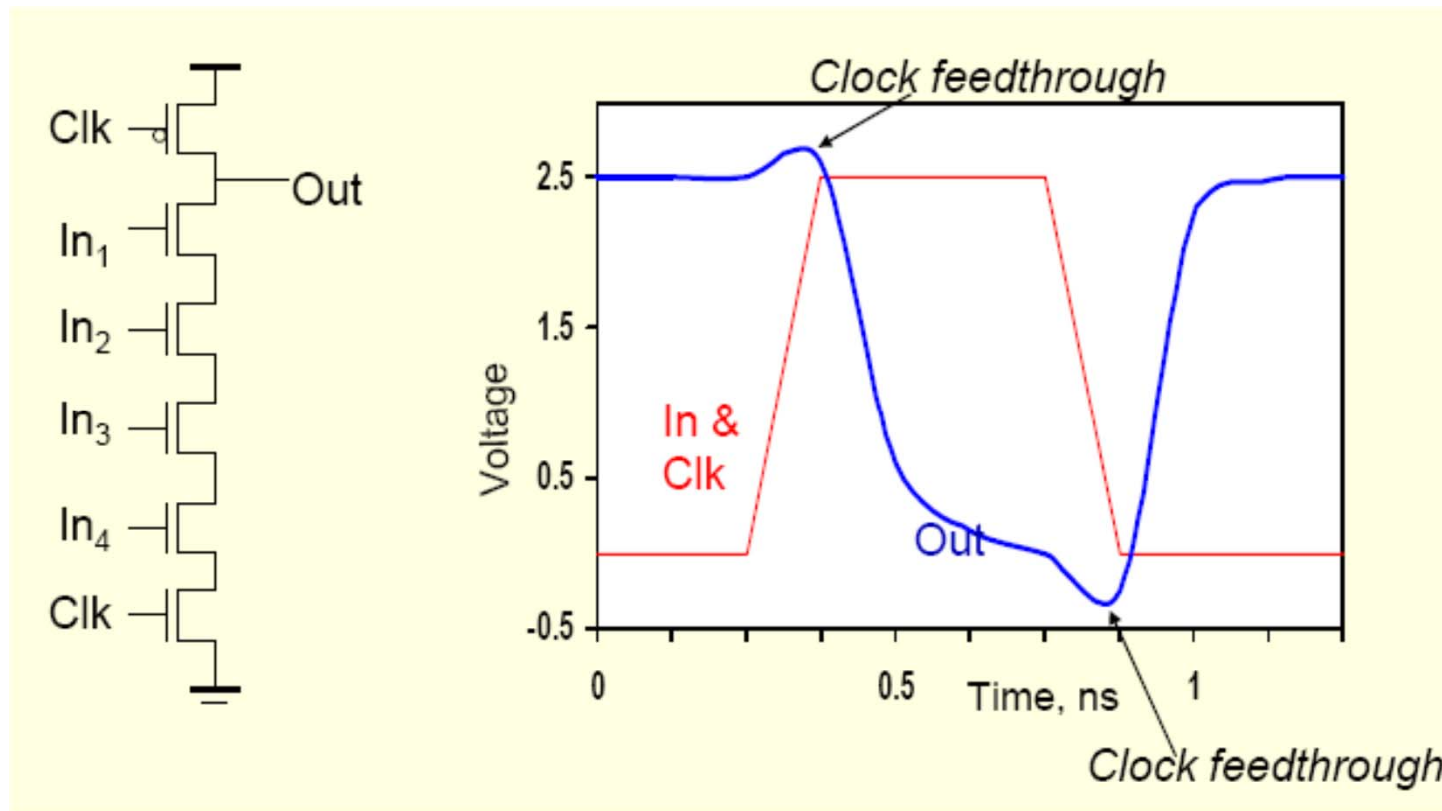
为内部寄生电容预充电，但会增加面积和电容

9.5 动态CMOS电路 电容耦合: 时钟馈通(1)



9.5 动态CMOS电路

电容耦合: 时钟馈通(2)



时钟的上升沿和下降沿均会引发时钟馈通效应



9.5 动态CMOS电路——特点

- 逻辑功能只由下拉网络(PDN)实现
 - 晶体管数目为 $N + 2$ (而静态互补CMOS的为 $2N$)
- 全电压摆幅输出 ($V_{OL} = GND$ 且 $V_{OH} = V_{DD}$)
- 无比电路 – 器件的尺寸不影响逻辑电平
- 更快的开关切换速度
 - 由于降低了输入电容 C_{in} , 所以减小了负载电容
 - 由于输出负载(C_{out})更小, 负载电容减小
 - 无短路电流 I_{sc} , 所以PDN产生的所有电流都用于对CL放电。
 - $t_{pLH}=0$, 但没有考虑预充电时间的影响
 - $t_{pHL} \propto C_L$ 及 I_{PD}

9.5 动态CMOS电路——特点

- 总功耗通常比静态CMOS门大
 - + 实际负载电容较小
 - + V_{DD} 和GND之间从不存在任何静态电流通路(包括 P_{sc})
 - + 没有毛刺(每个时钟最多只翻转一次)
 - 更高的开关活动性(周期性预充电、放电)
 - 需要额外的CLK负载, CLK功耗很大(每个周期都要翻转)
 - 当增加抗漏电器件时, 可能会有短路功耗
- 下拉网络PDN在输入信号电压一旦超过 V_{Tn} 时就开始工作, 所以 V_M , V_{IH} 和 V_{IL} 等于 V_{Tn}
 - 低的噪声容限 (NM_L)
- 需要预充电/求值时钟



9.5 动态CMOS电路——输入输出信号特点

- 一旦动态门的输出放电，在下一个预充电周期到来前，它是不能被再充电的。
- 门的输入在求值期间至多只能有一次跳变。
- 无毛刺。
- 在求值期间或者之后(PDN断开)，输出处于高阻状态，状态保存在电容CL上。

9.6 多米诺逻辑

动态CMOS门的串联问题

预充电: $CLK=0 \Rightarrow out1=V_{DD}, out2=V_{DD}$

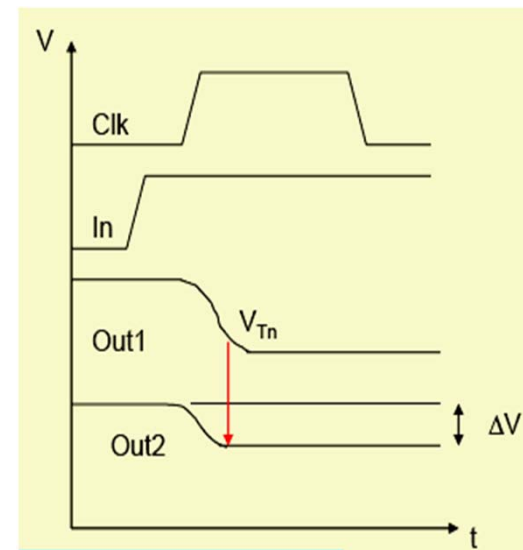
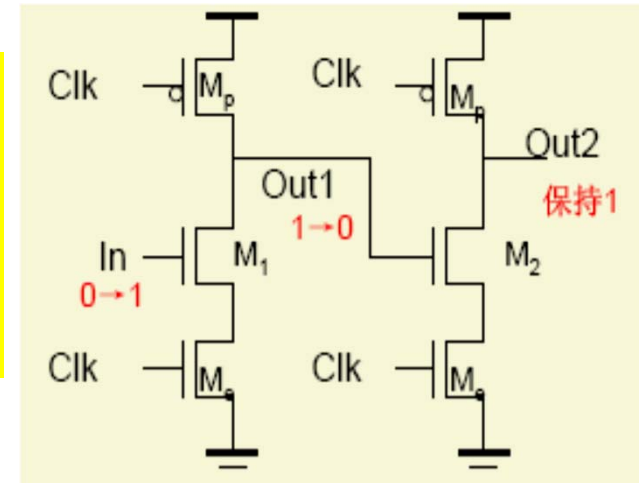
求值: 在 $out1 \downarrow = 0$ 之前的延时期内, $out1 > V_{Tn} \Rightarrow$

$M2$ 导通 $\Rightarrow out2 \downarrow$; 直至 $out1 \downarrow < V_{Tn} \Rightarrow M2$ 截止 \Rightarrow
 $out2$ 停止 \downarrow , 但此时 $out2$ 已损失了 ΔV 且无法恢复

动态CMOS门的输入若出现 $1 \rightarrow 0$ 的翻转, 就会导致预充电电荷的损失

要避免这种损失, 应使动态CMOS门在求值时只出现 $0 \rightarrow 1$ 的翻转, 方法是在预充电期间置所有的输入为0

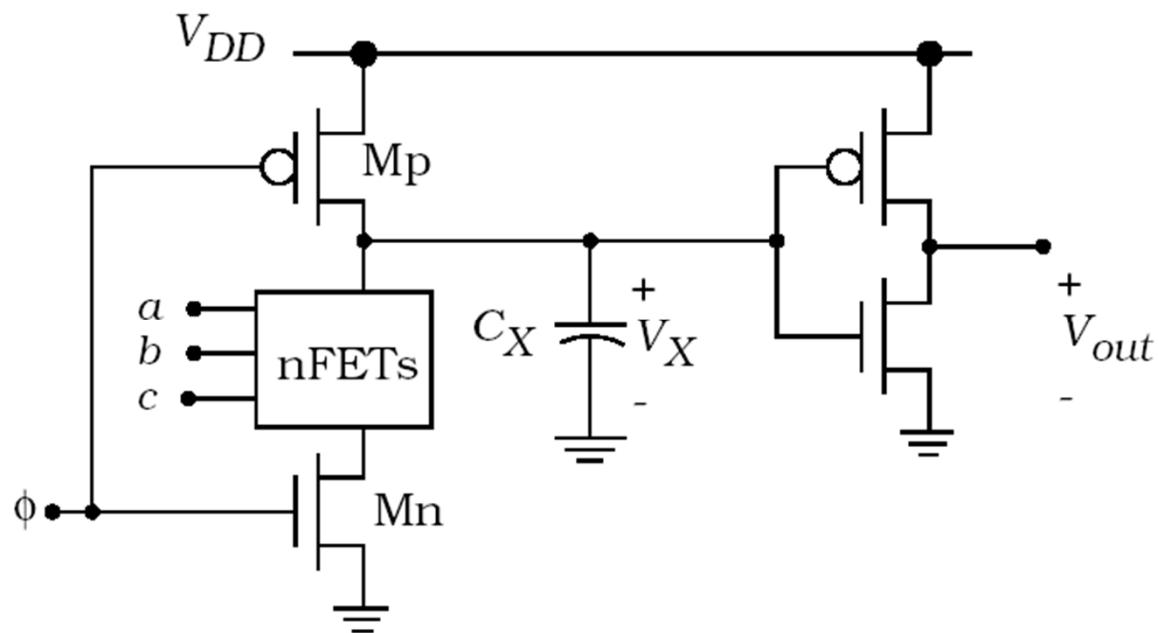
在动态CMOS单元之间加1个反相器 (多米诺单元)



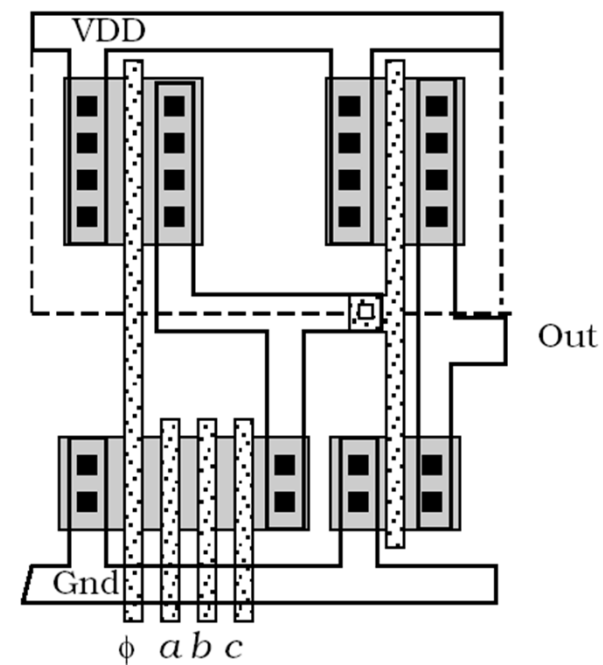
9.6 多米诺逻辑

多米诺逻辑单元构成

基本动态逻辑

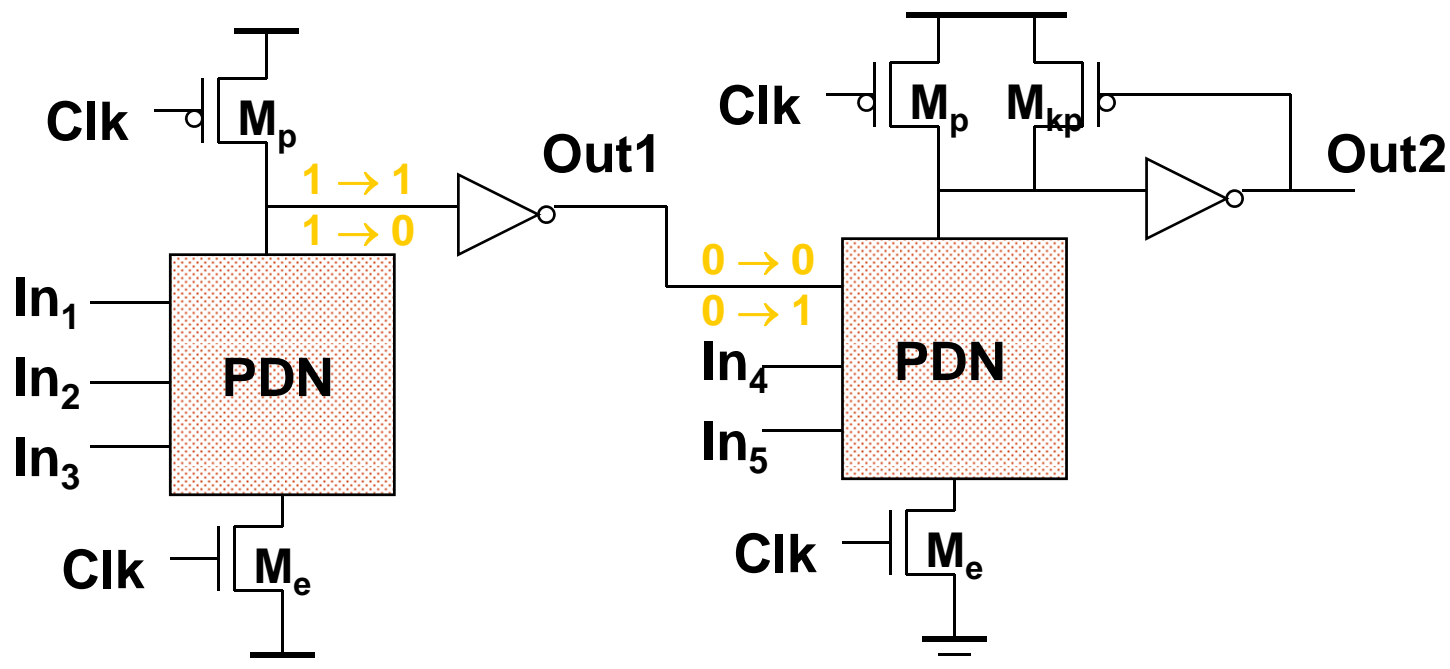


静态反相器



9.6 多米诺逻辑

多米诺逻辑的级联



- 静态反相器保证动态逻辑所有输入初始都为0。
- 级联的动态门输入全部为0→1变化。
- 反相器还可以用来驱动电平恢复晶体管。

9.6 多米诺逻辑

特点

■ 优点

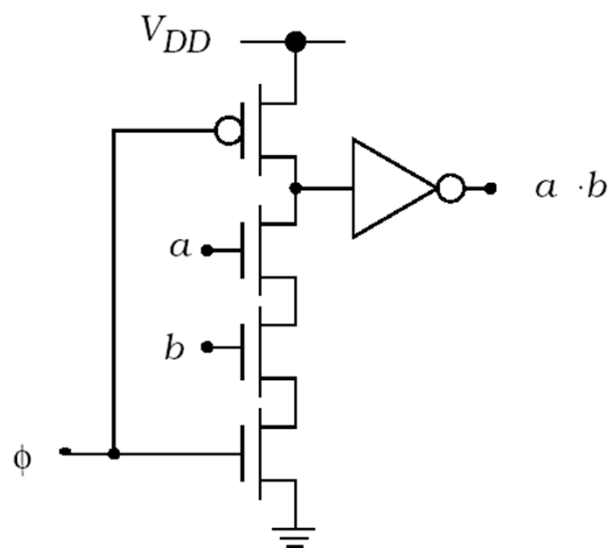
- 抗噪声能力强：输出反相器可根据扇出来优化
- 开关速度非常快：只有输出上升沿的延时（ $t_{pHL}=0$ ）
- 抵抗电荷泄漏能力强：反相器加1个pMOS管即可构成电平恢复器

■ 缺点

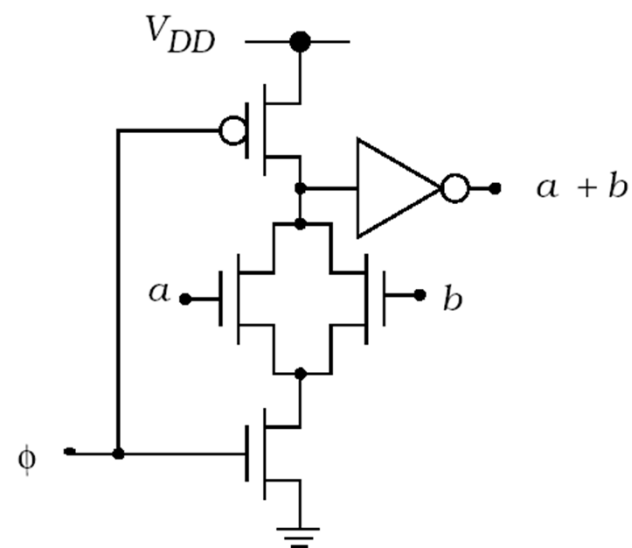
- 非反相门，难以实现诸如XOR、XNOR这样需要NOT运算的逻辑，这是主要限制因素（单纯用多米诺逻辑的设计很少）
- 必须有时钟

9.6 多米诺逻辑

基本逻辑门



(a) AND gate

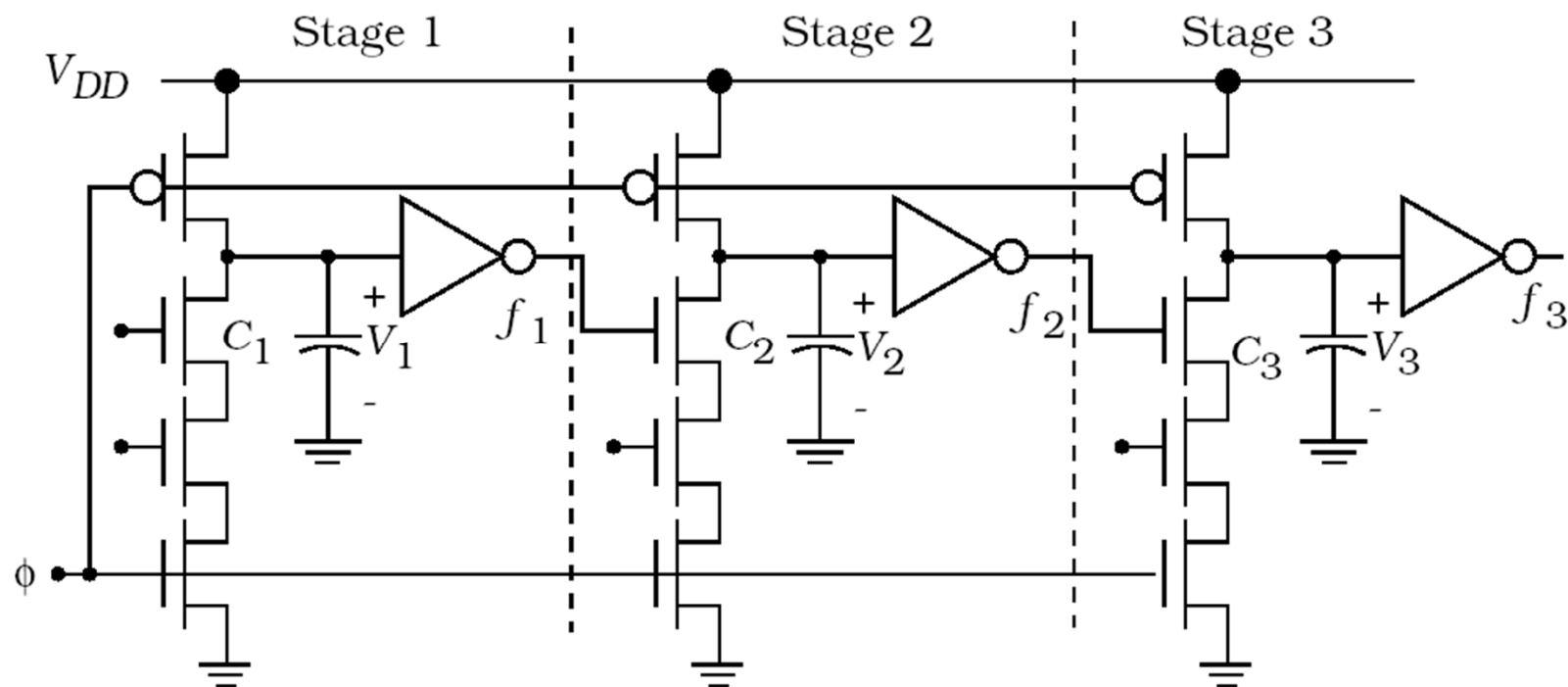


(b) OR gate

多米诺逻辑门实例

9.6 多米诺逻辑

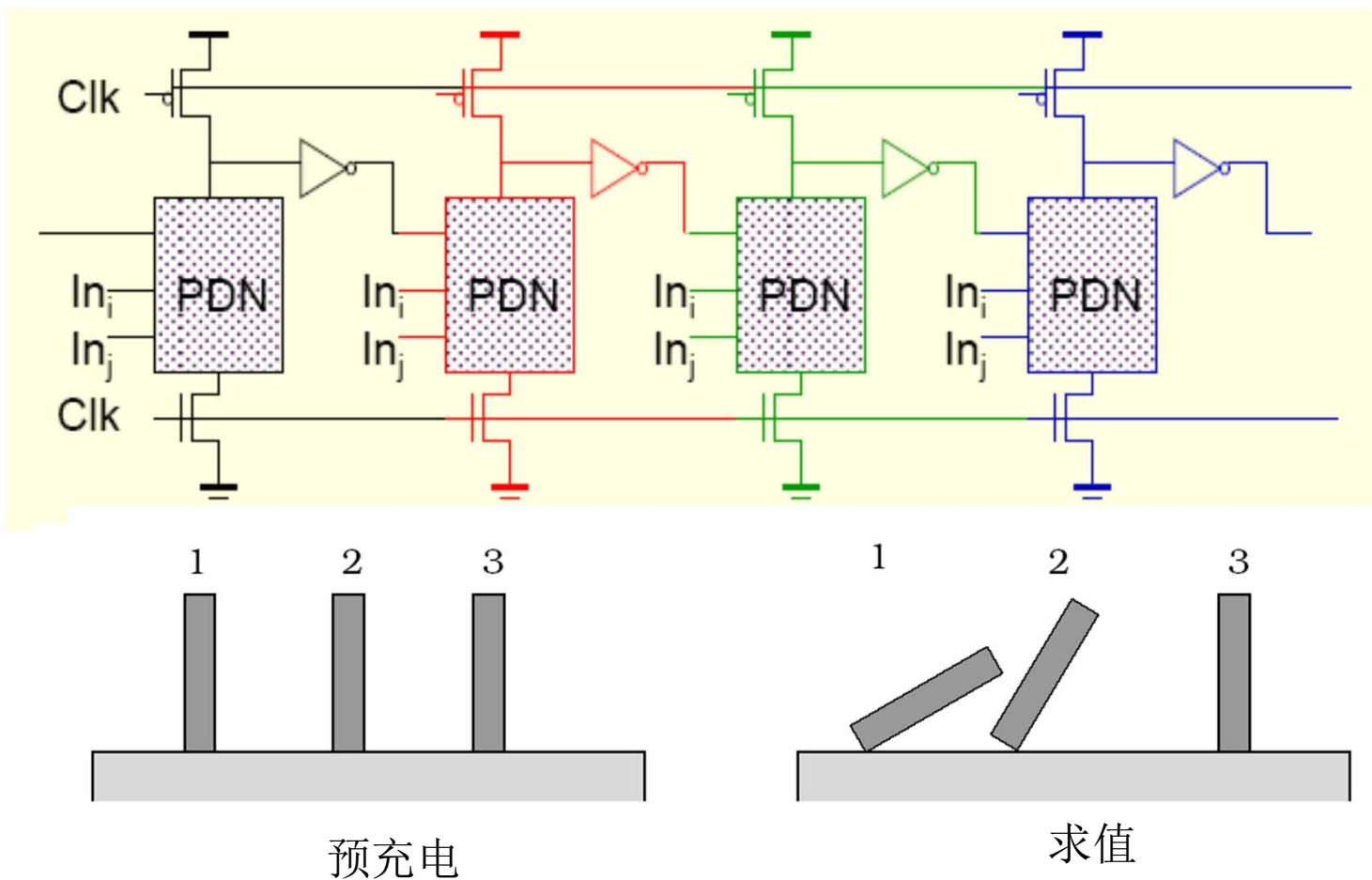
逻辑链构成



$\phi=0$ 预充电: C_1 、 C_2 、 C_3 同时进行, 使所有的 f 置0
 $\phi=1$ 求值: f_1 、 f_2 、 f_3 依次进行, 有如“多米诺骨牌”

9.6 多米诺逻辑

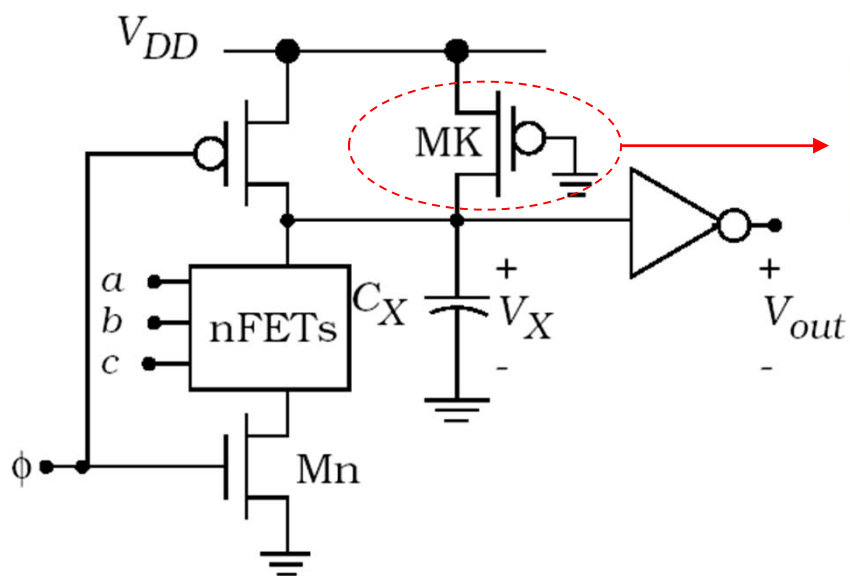
名称由来



只有当所有前级的电平转换已完成，本级才会有动作。

9.6 多米诺逻辑

电荷保持电路1：同前面动态电路中的方法。



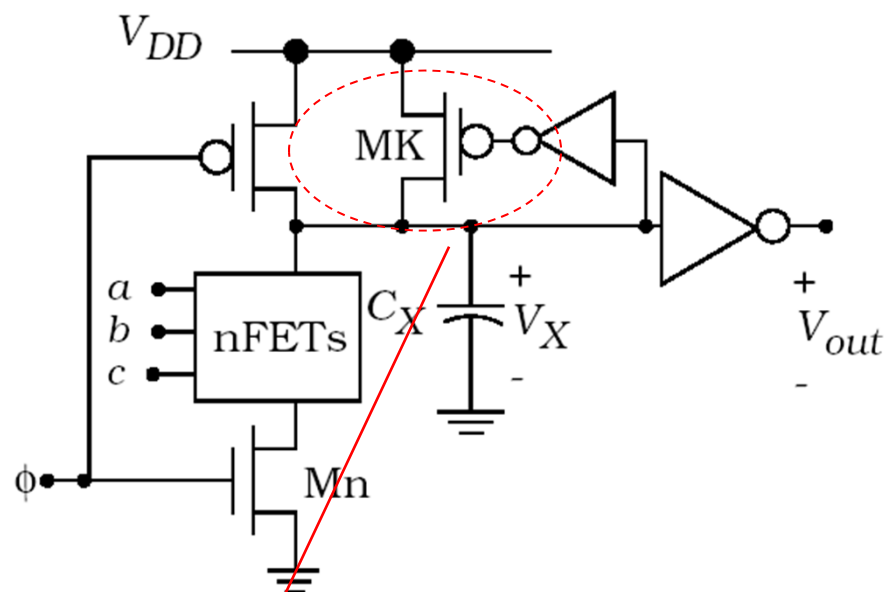
(a) Single-FET charge keeper

$V_G \equiv 0 \Rightarrow MK$ 始终导通
提供一个电流来补充 C_x 上的电荷

$\frac{W}{L}$ 很小 $\Rightarrow MK$ 弱导通
 \Rightarrow 不至于过多影响 C_x
上电荷的释放

9.6 多米诺逻辑

电荷保持电路2：同前面动态电路中的方法。



反馈控制的保持电路

C_x 充电时, V_x 较大 \Rightarrow MK 导通 \Rightarrow 提供附加充电电流 \Rightarrow 加速充电
 C_x 放电时, V_x 较小 \Rightarrow MK 不导通 \Rightarrow 不提供附加电流 \Rightarrow 不影响放电



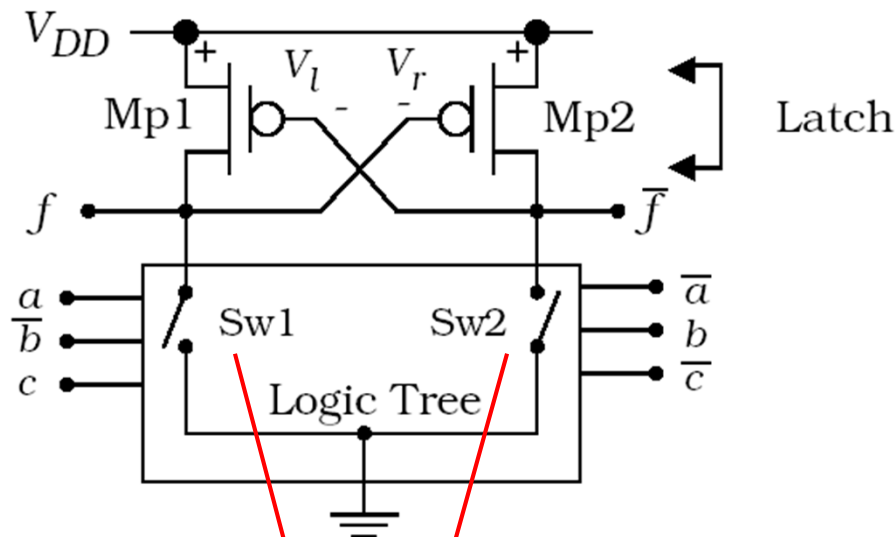
动态逻辑设计难度

- 由于其高阻的本质，动态逻辑电路的设计很复杂，需要在电路级格外小心进行。
- 难以实现设计自动化——综合、自动布局布线等这些基于静态CMOS标准单元的设计流程。
- 动态逻辑的功耗通常更大。
- 一点不比标准CMOS容易...
- 动态逻辑的主要优点是能达到更高的速度性能。

9.7 双轨逻辑电路

DCVSL:结构

(Differential Cascode Voltage Switch Logic)



使输出结果保持到
输入发生变化时为止

Sw1和Sw2互
补，一个断开，
另一个必闭合

双轨逻辑，输出有原信号和反信号，利用其差作为检测可以提高速度，大约为传统的**2**倍。



9.7 双轨逻辑电路

特点

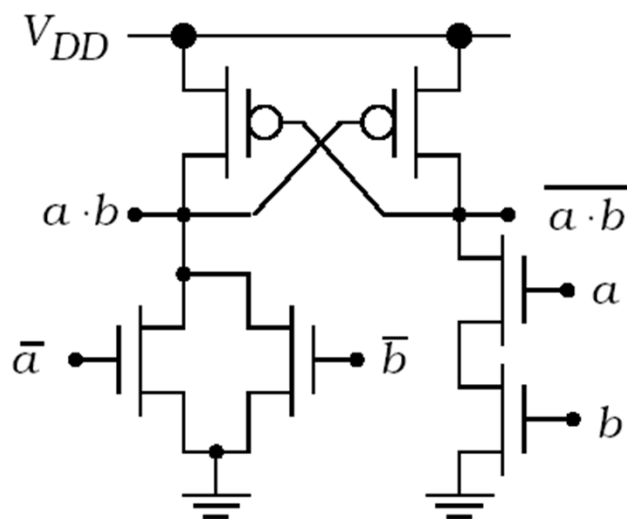
■ 优点

- 速度快；大约是单轨电路的**2**倍
- 同时实现非反相逻辑和反相逻辑

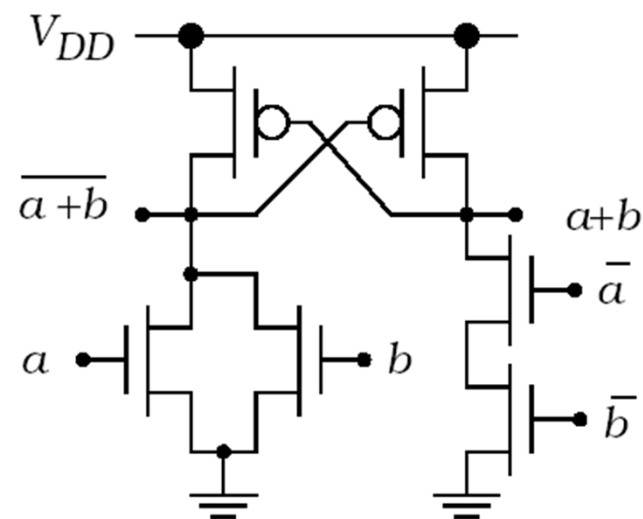
■ 缺点

- 输入、输出数加倍
- 电路复杂，布线开销大，设计难度高

9.7 双轨逻辑电路



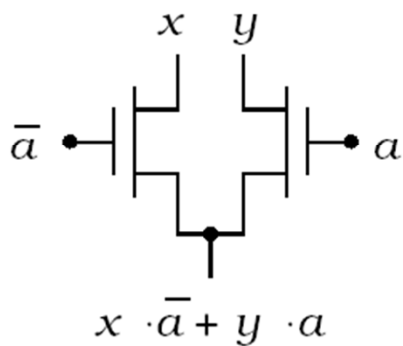
(a) AND/NAND



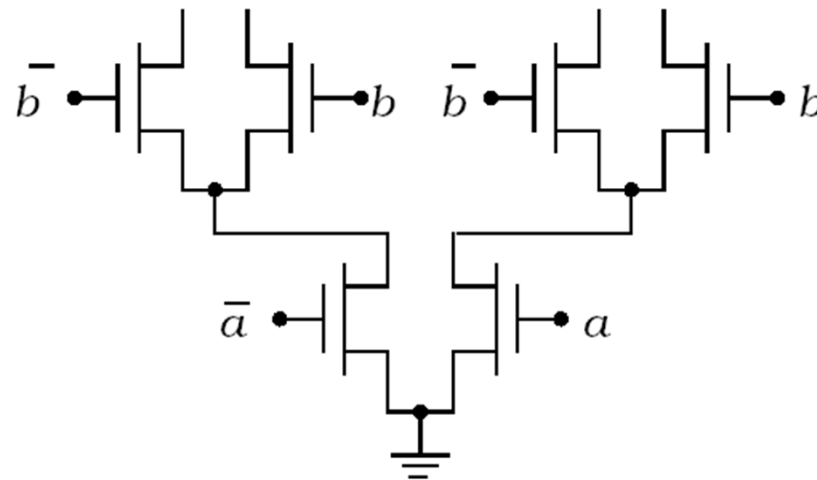
(b) OR/NOR

9.7 双轨逻辑电路

DCVSL: 结构化设计



简单的nFET逻辑对



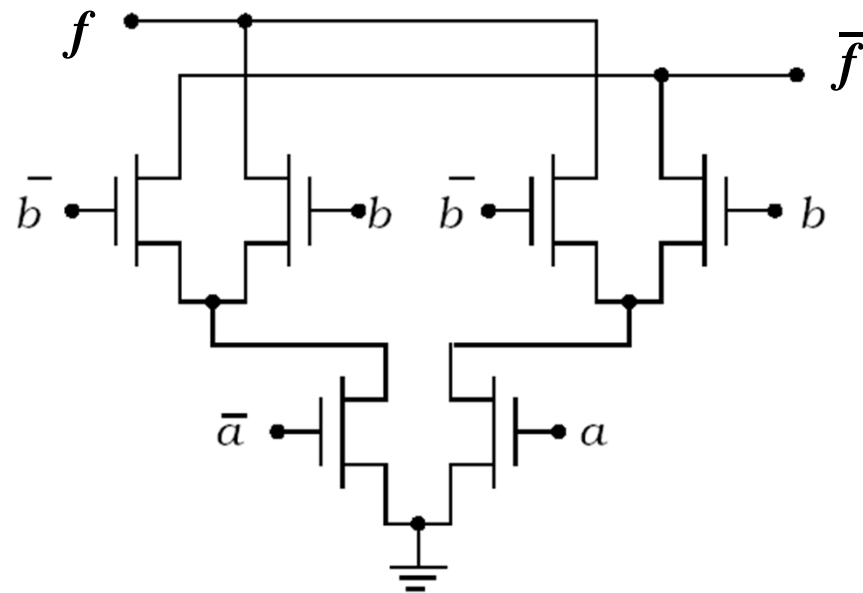
堆叠的逻辑对

以nFET逻辑对为基本单元，堆叠形成各种逻辑

9.7 双轨逻辑电路

DCVSL:结构化设计实例1

\bar{f}	0	1	1	0
f	1	0	0	1
b	0	1	0	1
a	0	0	1	1

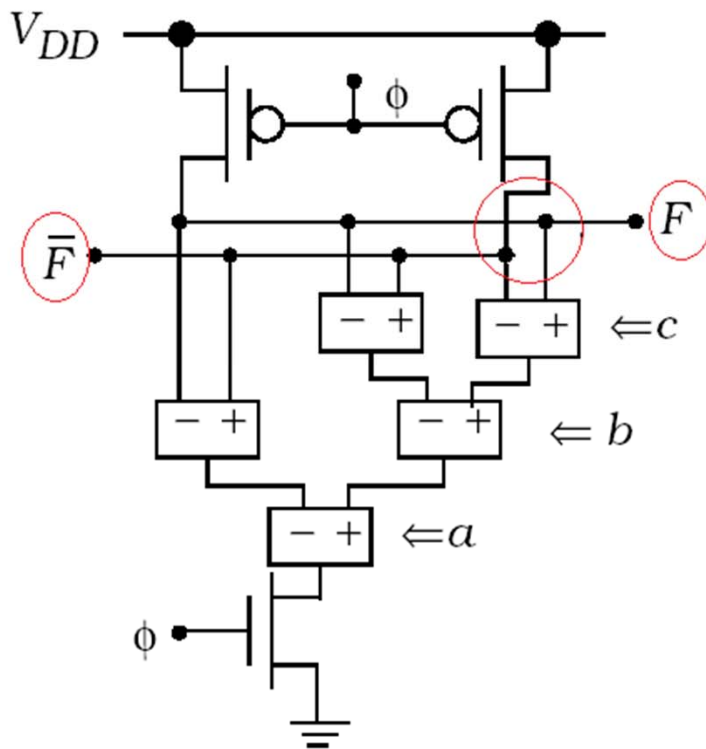


用nFET对构成的逻辑树

逻辑树选通某一通路时，表示该路顶端信号将为0，如果这时f要求为0，则该通路顶端就为f，否自为“f的非”。

9.7 双轨逻辑电路

DCVSL:结构化设计实例2



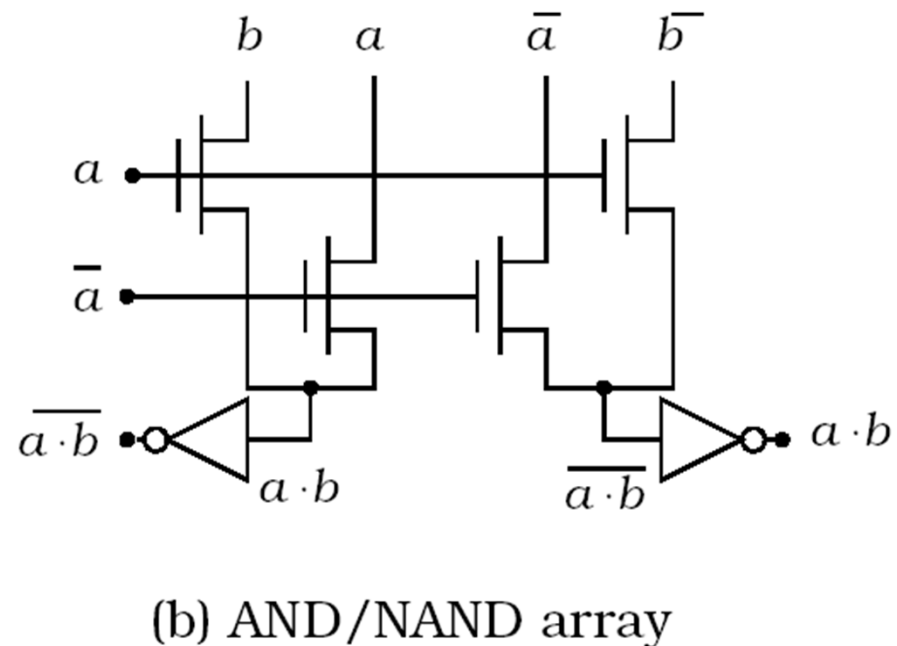
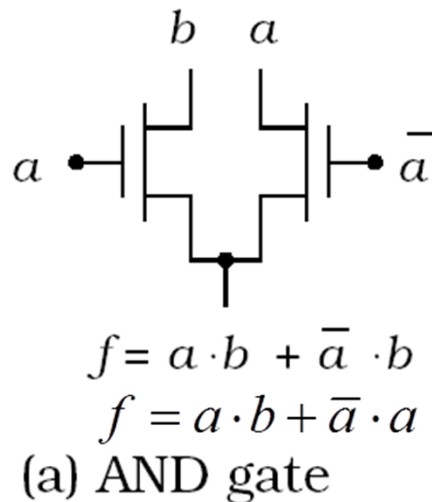
F	0	0	1	1	0	1	1	0
c	0	1	0	1	0	1	0	1
b	0	0	1	1	0	0	1	1
a	0	0	0	0	1	1	1	1

具有3层逻辑树的动态CVSL电路

9.7 双轨逻辑电路

CPL :AND/NAND

互补传输管逻辑 (Complimentary Pass Transistor Logic)



$$a \cdot \bar{b} + \bar{a} = \bar{a} + \bar{b} = \overline{a \cdot b}$$

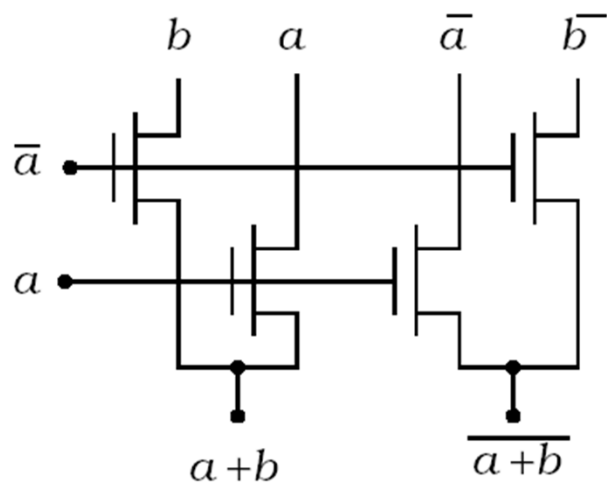
逻辑树选通后，根据需要在顶端提供相应信号（不一定是高低电平，可为输入变量）。

反相器的作用是电平恢复和增加驱动能力。

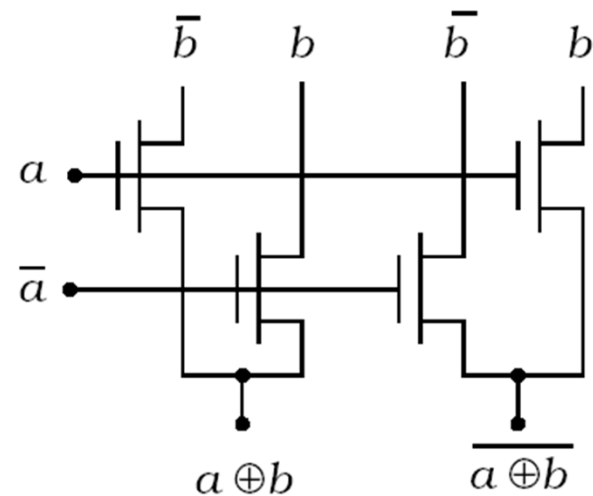
9.7 双轨逻辑电路

CPL: OR/XOR

电路结构相同，但是输入顺序不同可以构成版图输入门。



(a) OR/NOR



(b) X OR/XNOR

优点：电路简单，版图结构可以复用

缺点：阈值电压损失，驱动能力弱，一个输入变量需要接多个**FET**