Università degli Studi di Verona

DIPARTIMENTO DI INFORMATICA
Corso di Laurea Magistrale in Ingegneria Informatica

Appunti di Progettazione di Sistemi Embedded

Autori:
Matteo Iervasi
Linda Sacchetto
Leonardo Testolin

Anno Accademico 2018–2019

Indice

Prefazione

Questa dispensa si basa sugli appunti di Linda Sacchetto e Leonardo Testolin durante il corso di *Progettazione di Sistemi Embedded* dell'anno accademico 2018/2019. Nonostante sia stata revisionata in corso di scrittura, potrebbe contenere errori di vario tipo. In tal caso potete segnalarli inviando una mail all'indirizzo matteoiervasi@gmail.com.

Matteo Iervasi

1 Introduzione

Citando Wikipedia, un sistema embedded, nell'informatica e nell'elettronica, identifica genericamente tutti quei sistemi elettronici di elaborazione digitale a microprocessore progettati appositamente per una determinata applicazione (special purpose), ovvero non riprogrammabili dall'utente per altri scopi, spesso con una piattaforma hardware ad hoc, integrati nel sistema che controllano ed in grado di gestirne tutte o parte delle funzionalità richieste.

Storicamente, sono nati prima i sistemi embedded rispetto ai sistemi *general purpose*, basti pensare ai grandi calcolatori degli anni '40. Essi infatti erano costruiti per un utilizzo specifico, anche se in quanto a dimensioni non erano di certo ristretti. Tuttavia il primo vero sistema embedded, in tutti i sensi, fu l'*Apollo Guidance Computer*, che doveva contenere una notevole potenza computazionale per il tempo in spazi ristrettissimi. La produzione di massa di sistemi embedded cominciò con l'*Autonetics D-17* nel 1961 e continua fino ai nostri giorni.

Non possiamo progettare i sistemi embedded come facciamo con i sistemi *general purpose*, perché abbiamo dei vincoli di progettazione e degli obiettivi differenti. Se ad esempio nei sistemi *general purpose* la ricerca si focalizza nel costruire processori sempre più veloci, nei sistemi embedded la CPU esiste solamente come un modo per implementare algoritmi di controllo che comunica con sensori ed attuatori, e diventa invece più interessante trovare processori che usano sempre meno energia.

I vincoli principali ai quali bisogna attenersi durante la progettazione di un sistema embedded sono:

- **Dimensione e peso**
  Si pensi ai dispositivi che devono poter essere tenuti in una mano
- **Energia**
  Molto spesso i dispositivi embedded devono funzionare con una batteria
- **Ambiente esterno ostile**
  Bisogna dover tenere conto di eventuali fluttuazioni di energia, interferenze radio, calore, acqua, ecc.
- **Sicurezza e operazioni *real time***
  Vi sono casi in cui è necessario che il sistema debba garantire sempre il funzionamento, oppure che garantisca un tempo costante per ogni operazione
- **Costi contenuti**
  Oltre a tutto il resto, bisogna tenere i costi bassi altrimenti si rischia di non poter vendere il prodotto

2 Modellazione dei sistemi embedded

Nel momento in cui ci accingiamo a pensare a come si progetta un sistema embedded, salta subito alla mente un problema, ovvero come faccio a verificarne il corretto funzionamento? Quando progettiamo del software, abbiamo a disposizione una miriade di strumenti per assicurarci di tenere il numero dei bug il più basso possibile: *debugger*, *unit testing*, *analisi statica*, ecc. In hardware invece non possiamo certamente metterci a rifare tutto ogni volta che sbagliamo, ricordiamoci che dobbiamo tenere i costi bassi! Si pone quindi il problema della *simulazione*, strumento fondamentale per la verifica del nostro sistema. Spesso infatti l'architettura di riferimento è differente da quella del calcolatore che usiamo per lo sviluppo (caso tipico: noi sviluppiamo su architettura X86 per un'architettura di destinazione ARM).

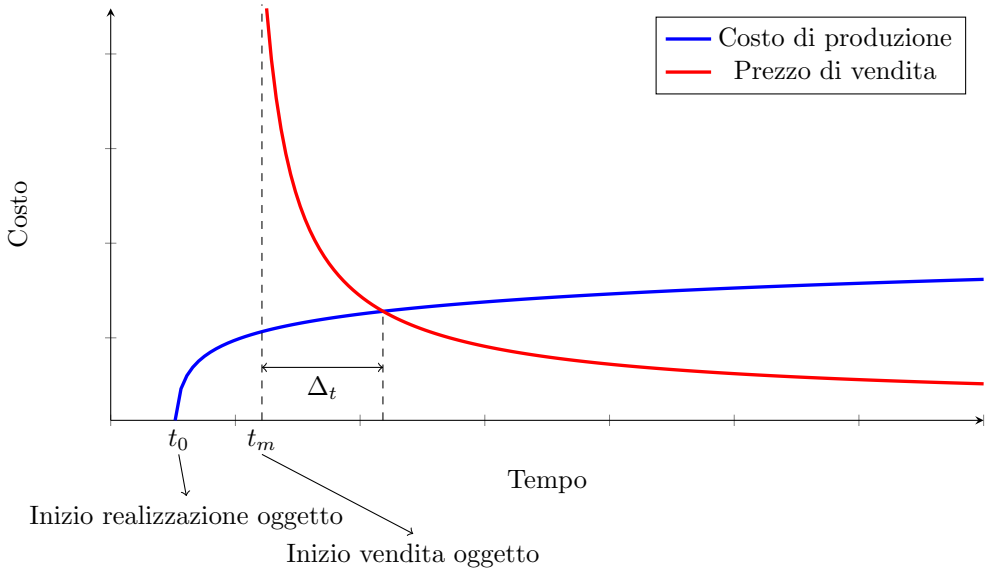
In generale, un sistema embedded è costituito dalle seguenti componenti:

- **Piattaforma hardware**
  Oltre al microprocessore, vi sono una serie di altre componenti.
- **Componenti software**
  Il software è monolitico: quando accendo il sistema, si esegue in automatico. Possono anche esserci casi in cui è necessario caricare un intero sistema operativo, e nella maggioranza di essi si fa riferimento a Linux.
- **Componenti analogiche** (es. sensori e trasduttori)
  Naturalmente se il nostro sistema dovrà interagire con l'ambiente esterno dovremmo introdurre componenti analogiche.

Il trend attuale è di portare tutto ciò in un singolo chip (SoC - *System on a Chip*), dove microprocessore, memoria e altre componenti vengono montate su un singolo chip, collegate da un bus. Esempi di SoC moderni sono i Qualcomm® Snapdragon o i Samsung® Exynos. Esiste anche un'alternativa, dove le componenti invece di trovarsi in un unico chip si trovano in una singola board (SoB - *System on a Board*).

Queste due tecnologie hanno uno scopo in comune: indurre al riutilizzo di componenti già esistenti per ridurre il più possibile il *time to market* (figura 2.1), ovvero il tempo che trascorre dall'inizio della progettazione all'immissione nel mercato. Più questo tempo è lungo, meno probabilità si ha di riuscire a vendere il prodotto in quantità tale da coprire i costi di sviluppo. Per questo motivo non si può minimamente pensare di sviluppare un sistema embedded partendo da zero, in quanto il tempo di sviluppo sarebbe improponibile.

Figura 2.1: Rappresentazione del rapporto costo produzione - guadagno



2.1 Co-design di sistemi embedded

Viste le ristrettezze imposte sui tempi dal mercato, è necessario ricorrere al co-design di hardware e software. Si parte quindi con una descrizione generale del sistema, magari aiutandosi con un prototipo, dopodiché fatte le verifiche su di esso si procede con la separazione di hardware e software, ricordandosi che è necessario "riciclare" il più possibile le parti già esistenti, si comincia lo sviluppo o l'eventuale adattamento. Durante la progettazione della parte hardware, si può decidere di affiancare l'eventuale processore da un co-processore, che svolge un compito specifico a seconda di cosa stiamo progettando. Il co-processore può essere anche una GPU.

Le tecnologie più usate per la progettazione di hardware sono:

- Microcontrollore standard o microprocessore
- ASIC (con o senza co-processore a seconda dei casi)
- FPGA

mentre per il software si possono utilizzare diversi linguaggi di programmazione (generalmente però si scelgono C/C++).

Naturalmente ci serve uno strumento per la verifica del nostro sistema, ci serve quindi co-simulare hardware e software. Si può fare su diversi livelli, ognuno con i suoi pregi e i suoi difetti.

- **Gate level**
  Viene simulato il tutto a livello di porte logiche, ovvero il più basso livello possibile. Questa è la simulazione più lenta in assoluto.
- **RTL (Register Transfer Level)** La rappresentazione in questo caso è vista come un flusso di informazioni che percorre il sistema, i cui risultati vengono salvati nei registri. Anche questa simulazione è lenta poiché molto vicina all'hardware. Essa può essere *cycle accurate*, nella quale l'unità minima di elaborazione è il ciclo di clock dove è considerato come importante quello che avviene all'inizio e alla fine di esso, oppure può essere *instruction accurate*, nella quale l'unità minima diventa la singola istruzione.
- **Behavioural**
  Questa rappresentazione descrive le funzionalità facendo una stima dei cicli di clock che impiega
- **Transactional**
  In questo caso non ho nemmeno il dettaglio della funzionalità, ma vado solamente a descrivere le interazioni tra i singoli moduli hardware. La simulazione in questa modalità è rapida.

Ogni livello di descrizione ha dei linguaggi più adatti di altri nonostante siano stati fatti diversi sforzi di crearne uno adatto a tutti. A livello RT, quelli più diffusi sono *VHDL* e *Verilog*. *SystemC*, nonostante sia in grado di scrivere più o meno bene a livello RT, mostra la sua potenza espressiva agli altri livelli.

2.2 Hardware description languages

Gli *Hardware Description Languages* (HDL) sono nati per risolvere una serie di problemi. Prima di essi l'hardware veniva progettato a mano e senza alcuna procedura standardizzata. Questo approccio però è prono ad errori e soprattutto incompatibile con le tempistiche richieste al giorno d'oggi. Quando progetto del software mi basta pensare all'algoritmo astratto e codificarlo in un preciso linguaggio di programmazione. Può anche succedere che il linguaggio che utilizzo sia multipiattaforma, per cui non mi dovrò minimamente preoccupare di dove e come verrà eseguito, poiché so che a prescindere dall'architettura sul quale verrà eseguito darà sempre lo stesso risultato. Quando progettiamo hardware invece non possiamo permetterci questo lusso in quanto l'architettura semplicemente non c'è, siamo noi a costruirla.

Prendiamo in esempio un programma scritto in linguaggio C e osserviamo le assunzioni che facciamo senza nemmeno pensare.

```c
#include <stdio.h>

int gcd(int xi, int yi){
     int x, y, temp;

     x = xi;
     y = yi;
     while(x > 0){
       if(x <= y){
         temp = y;
         y = x;
         x = temp;
       }
       x = x - y;
     }
     return(y);
}

int main(int argc, char *argv[]){
     int xi, yi, ou;

    scanf("%d %d", &xi, &yi);
    ou = gcd(xi, yi);
    printf("%d\n", ou);

    return 0;
}
```

I requisiti hardware per poter eseguire questo programma sono:

- **Input/Output**
  SW: `printf`, `scanf`, ...
  HW: interfacce di I/O
- **Temporizzazione**
  SW: istruzioni vengono eseguite alla velocità del ciclo di clock
  HW: devono essere definiti uno o più segnali di clock (e le istruzioni possono impiegare diversi cicli di clock)
- **Dimensioni variabili**
  SW: dimensioni implicite sono nascoste
  HW: devo tenere conto delle dimensioni, in quanto sto creando qualcosa di fisico che poi corrisponderà alla variabile
- **Operazioni**
  SW: esistono librerie per ogni tipo di operazioni

HW: difficili dato che devo fare un circuito apposito. Se poi vogliamo anche i numeri in virgola mobile, il circuito aumenta molto in complessità

- **Identificazione elementi di memoria**
  SW: non guardo se una variabile va nei registri o nella RAM, la uso e basta
  HW: devo sapere che spazio andrà a occupare, c'è una bella differenza tra registro e memoria

- **Sincronizzazione moduli**
  SW: spesso lavoro in maniera sequenziale
  HW: per com'è strutturato, l'hardware lavora tantissimo in parallelo

Quando scriviamo l'algoritmo software facciamo quindi molte assunzioni, del tutto legittime, ma che non possiamo di certo dare per scontato quando invece progettiamo un modulo hardware.
La prima cosa di cui bisogna preoccuparsi è definire le porte d'ingresso e di uscita. Una volta completata l'identificazione delle porte, bisogna individuare la modalità con cui andremo a progettare il modulo, che nel nostro caso sarà una FSMD, ovvero una macchina a stati finiti combinata con un datapath. Nella definizione della FSM e del DP, bisogna tenere conto degli eventuali vincoli: se ad esempio mi interessa un circuito veloce posso permettermi un DP più grande, mentre se voglio che il mio circuito occupi il minor spazio possibile dovrò allargare la FSM. Riportiamo di seguito un possibile diagramma del modulo `gcd`.

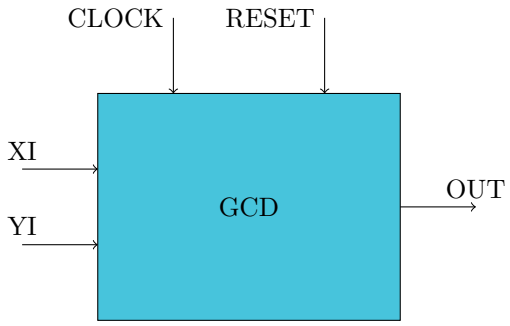
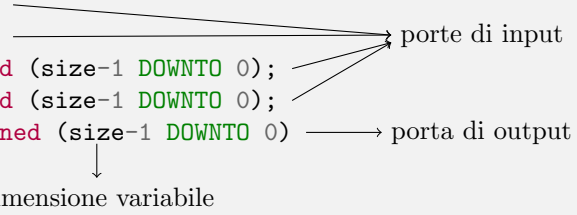


Figura 2.2: Schema di un modulo GCD

Questa è una possibile implementazione in VHDL del modulo GCD, descritta dal punto di vista ingressi-uscite:

```
ENTITY gcd IS
    PORT (
        clock : IN bit;
        reset : IN bit;
        xi : IN unsigned (size-1 DOWNTO 0);
        yi : IN unsigned (size-1 DOWNTO 0);
        out : OUT unsigned (size-1 DOWNTO 0)
    );
END gcd;
```



mentre questa è la descrizione comportamentale del modulo hardware:

```
ARCHITECTURE behavioral OF gcd IS
BEGIN
    PROCESS
        VARIABLE x, y, temp : unsigned (size-1 DOWNTO 0);
    BEGIN
    WAIT UNTIL clock = '1';
    x := xi;
    y := yi;
    WHILE (x > 0) LOOP
        IF (x <= y) THEN
            temp := y;
            y := x;
            x := temp;
        END IF;
        x := x - y;
    END LOOP;
    ou <= y;
    END PROCESS;
END behavioral;
```

3 SystemC

SystemC è un insieme di classi e macro del linguaggio C++ che forniscono un ambiente di simulazione *event-driven*. Queste classi permettono al progettista di simulare processi concorrenti, che possono anche comunicare in un ambiente real-time simulato, utilizzando segnali di qualsiasi tipo forniti da C++/SystemC o dall'utente. Sebbene sia per certi versi simile a linguaggi come VHDL o Verilog, è più corretto definire SystemC un linguaggio di modellazione di sistemi. Lo standard è definito dalla *Open SystemC Initiative* (OSCI), ora *Accellera*, ed è stato approvato dall'IEEE. Le caratteristiche salienti del SystemC sono:

- **Concorrenza**
  Processi sincroni e asincroni
- **Comunicazione**
  IPC tramite segnali e canali
- **Nozione di tempo**
  Possibilità di avere cicli di clock multipli con fasi arbitrarie
- **Reattività**
  Possibilità di attesa su eventi
- **Tipi di dato hardware**
  Vettori di bit, interi a precisione arbitraria, ecc.
- **Simulazione**
  Kernel di simulazione incluso nella libreria
- **Debugging**
  Possibilità di utilizzare i debugger disponibili per C/C++ come GNU GDB

Quando si progettano sistemi complessi, viene naturale dividere il progetto in sotto parti, che chiamiamo *moduli*, ognuno dei quali svolge una specifica funzione e comunica con altri. In SystemC i moduli sono rappresentati nientemeno che da delle classi C++ e si specificano con la keyword `SC_MODULE`. Un modulo contiene la definizione delle porte di input e di output, i segnali interni con la loro eventuale inizializzazione e i sottomoduli, che sono rappresentati nella loro forma minima dalle funzioni. Inoltre ogni modulo contiene un metodo costruttore, identificato dalla macro `SC_CTOR`, che contiene la dichiarazione di tutti i processi contenuti nel modulo e la sensitivity list associata a tali metodi, che specifica i segnali ai quali ciascun metodo deve reagire.

I processi che vengono dichiarati all'interno di ogni modulo possono essere di tre tipi:

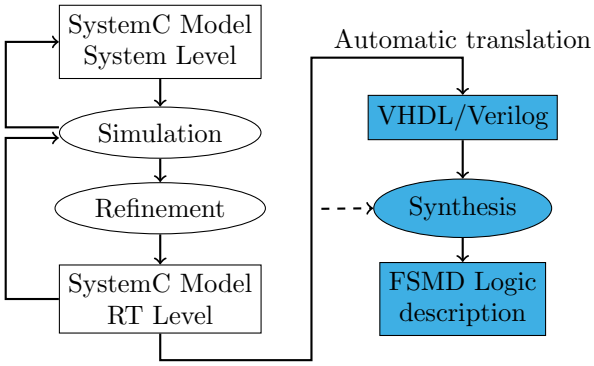


Figura 3.1: SystemC design flow

- **Metodi**
  Sono dei processi che quando vengono attivati ogni volta che arriva uno dei segnali espressi nella sensitivity list. Si identificano con la keyword *SC_METHOD*.
- **Thread**
  Sono dei processi che possono essere attivati o sospesi, mediante la funzione `wait()`. A differenza dei metodi, possono essere eseguiti una volta sola durante la simulazione. Si identificano con la keyword *SC_THREAD*.
- **Clocked threads**
  Sono dei processi sensibili al segnale di clock. Sono stati dichiarati obsoleti.

La simulazione in SystemC è gestita dal kernel, che gestisce lo scheduling nel seguente modo:

⇒ Tutti i segnali di clock vengono aggiornati

⇒ Tutti i processi sensibili ad esso vengono attivati

⇒ Si aumenta il tempo di simulazione di 1

Il segnale di clock viene generato normalmente da un thread che definisce anche il periodo del segnale. Oltre a poter eseguire una simulazione *event-driven*, è anche possibile farne una *cycle accurate*. La differenza sta nella velocità e nella precisione della simulazione, infatti in quella *cycle accurate* si osservano i cambiamenti ad ogni cambio di fronte, senza però preoccuparsi di osservare i cambiamenti che avvengono durante il ciclo.

3.1 SystemC RTL

Come detto precedentemente, in SystemC si possono descrivere sistemi hardware e software a diversi livelli di astrazione, rendendo possibile il co-design. In particolare,

si può descrivere a livello RT o TLM. Nel *Register Transfer Level* si può descrivere il funzionamento di un circuito digitale in termini di segnali, registri e operazioni logiche.

SystemC mette a disposizione dei tipi predefiniti, utili ad identificare:

- `sc_int<n>` e `sc_uint<n>`
  Con questi rappresento un valore intero con o senza segno.
- `sc_bigint<n>` e `sc_biguint<n>`
  Con questi rappresento un valore intero molto grande, con o senza segno.
- `sc_bit`
  Rappresento un singolo bit di informazione.
- `sc_logic`
  Tipo a 4 valori: 0, 1, `unknown` e `don't care`.
- `sc_bv<n>` e `sc_lv<n>`
  Vettore di bit e vettore di valori logici.
- `sc_fixed` e `sc_ufixed`
  Servono per rappresentare valori in virgola fissa.
- `sc_fix` e `sc_ufix`
  Alias per `sc_fixed` e `sc_ufixed`.

Per quanto riguarda le porte invece vi sono:

- `sc_in<PORT_TYPE>`
  Identifica una porta di input
- `sc_out<PORT_TYPE>`
  Identifica una porta di output
- `sc_signal<PORT_TYPE>`
  Codifica un segnale utile per collegare le porte (che nella sintesi molto probabilmente diventerà un filo)

Analizziamo la codifica RT tramite un esempio, nel quale implementiamo uno shifter a 8 bit.

shifter.h

```
#include <systemc.h>
#define N 8

SC_MODULE(shifter) {                    → dichiarazione del modulo
  sc_in<bool> ds;
  sc_in<sc_bv<N>> a;                    } porte di input
  sc_in<bool> i0;
  sc_out<sc_bv<N>> o;                   → porta di output
  void shift(); ⟶ dichiarazione metodo interno

  SC_CTOR(shifter) {
    SC_METHOD(shift);
    sensitive << ds << a << i0; ⟶ dichiarazione sensitivity list
  }
};
```

shifter.cpp

```
#include "shifter.h"

void shifter::shift() {
  bool ds1;
  bool i01;
  sc_bv<N> a1;
  sc_bv<N> c1;

  i01 = i0.read();
  ds1 = ds.read();
  a1 = a.read();

  if (ds1 == 1) {
    c1.range(N - 2, 0) = a1.range(N - 1, 1);
    c1[N - 1] = i01;
  } else {
    c1.range(N - 1, 1) = a1.range(N - 2, 0);
    c1[0] = i01;
  }
  o.write(c1);
}
```

Nell'header si definisce il nome del modulo con la macro `SC_MODULE`, le sue porte

di input e di output (con tipo di dato e ampiezza in bit quando richiesto), i metodi che implementano il comportamento del modulo e la *sensitivity list*, ovvero la lista dei segnali a cui il modulo è sensibile. Tramite le macro `SC_METHOD`, `SC_THREAD` e `SC_CTHREAD` identifico rispettivamente i metodi, i thread e i clocked thread (deprecati).

3.2 SystemC TLM

Anche se in SystemC è possibile progettare hardware a livello RT, quello che lo ha reso interessante rispetto a VHDL/Verilog è la capacità di poter fare *platform based design*. La progettazione platform based consiste nella creazione di un'architettura basata su microprocessore che può essere estesa rapidamente per un ampio range di applicazioni in tempi ridotti. In TLM si descrive il sistema a livello comportamentale, in cui non si sa esattamente cosa succede a ogni ciclo di clock. Ci si focalizza sulle transizioni tra le varie componenti, che nel concreto diventeranno delle interfacce.

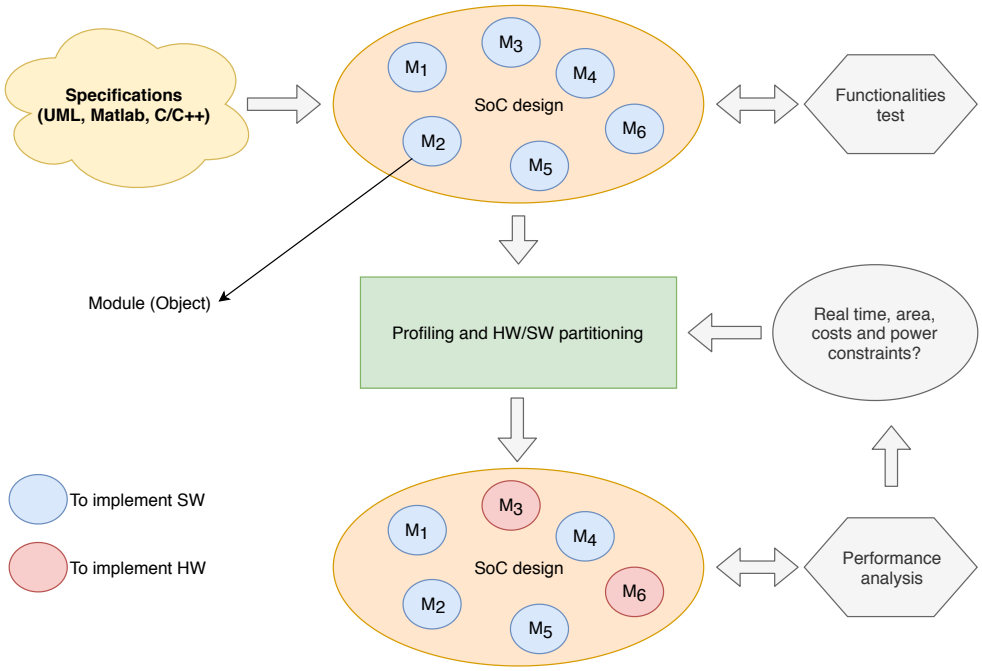


Figura 3.2: Visualizzazione della progettazione *platform based*

Date le specifiche, che possono essere in un linguaggio ad alto livello come UML, MATLAB o C/C++, si codificano i vari moduli e le interazioni fra di essi e si passa al profiling, in cui si decide cosa diventa software e cosa diventa hardware. È pratica comune riutilizzare componenti già codificate da altri, tanto che esistono portali

dedicati all'IP re-use (*Intellectual Properties re-use*). I vantaggi principali offerti dalla progettazione TLM sono la velocità di simulazione (fino a 1000 volte più veloce rispetto a RTL), la semplificazione del design e una riduzione drastica dei tempi di sviluppo.

Alla base del TLM vi è il concetto di transazione, che permette il trasferimento di dati da un modulo all'altro. La comunicazione avviene tramite la chiamata di una primitiva del ricevente (che chiameremo *target*) da parte del mittente (*initiator*), alla quale viene agganciato un *payload*, che contiene sia informazioni utili sia di controllo.

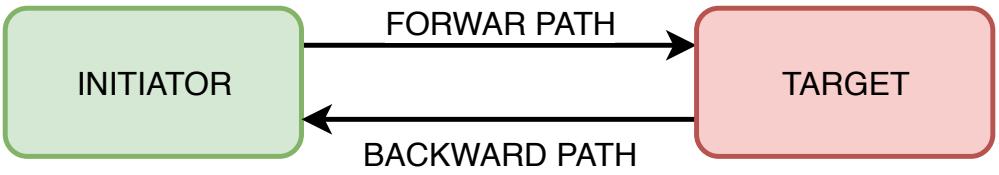


Figura 3.3: Schema forward/backward path

SystemC ha definito due standard diversi di TLM. Nello standard 1.0 venivano proposti 3 diversi livelli di astrazione, ovvero

- Program View (PV)
- Program View with Time (PVT)
- Cycle Accurate (CA)

tuttavia nello standard 2.0 sono stati abbandonati per concentrarsi invece nella relazione tra dati e tempo. Sono stati definiti quindi 3 modi livelli di accuratezza:

- **Untimed**

  Interfacce bloccanti

  Punti di sincronizzazione predefiniti

- **Loosely timed**

  Interfacce bloccanti

  Due punti di sincronizzazione (invocazione e ritorno)

- **Approximately timed**

  Interfacce non bloccanti

  Annotazione del tempo con fasi multiple durante la transazione

Le interfacce bloccanti, supportate dalle descrizioni UT e LT utilizzano solamente il forward path. L'initiator chiama il metodo `b_transport` del target, che ritorna il valore nel payload stesso. Lo stile *untimed* e il *loosely timed* sono sufficientemente dettagliati per poter eseguire il boot di sistema operativo sull'architettura simulata. Permettono

anche meccanismi complessi come il *temporal decoupling*, nel quale due processi che lavorano in contemporaneo a volte possono andare per conto proprio oltre il tempo attuale della simulazione, per poi arrivare al punto di sincronizzazione. Con questo stile posso solamente fare una stima del tempo trascorso con un minimo e un massimo.

Nello stile *approximately timed* le transazioni vengono divise in più fasi. Il protocollo base usa 4 fasi (per questo lo stile viene chiamato AT4):

- Inizio richiesta (`BEGIN_REQ`)
- Fine richiesta (`END_REQ`)
- Inizio risposta (`BEGIN_RESP`)
- Fine risposta (`END_RESP`)

La sincronizzazione avviene più frequentemente quindi di LT, per questo il tempo di simulazione è più lungo, ma ottengo una stima del tempo molto accurata.

3.3 SystemC AMS

SystemC AMS è un set di librerie che estendono SystemC in modo da poter supportare la simulazione di sistemi analogici, sia in tempo continuo che in tempo discreto. La descrizione di un sistema misto può essere fatta in tempo continuo o in tempo discreto.

In tempo discreto i segnali e le quantità fisiche sono definite in punti precisi e si assumono costanti nel mezzo. Il comportamento viene descritto in maniera procedurale utilizzando segnali campionati. Questo tipo di descrizione si adatta particolarmente a sistemi dove il *signal processing* è abbondante. In descrizioni a tempo continuoi segnali e le quantità fisiche sono descritti come funzioni reali del tempo, considerato come un valore continuo. Il comportamento viene descritto da equazioni algebriche o differenziali, risolte da complessi algoritmi. Queste descrizioni sono adatte a descrivere sistemi fisici dinamici.

Oltre alla distinzione tempo continuo/tempo discreto vi è la differenza tra descrizione conservativa e non conservativa. In una descrizione conservativa il comportamento del sistema segue le leggi della fisica (ad esempio nella descrizione di un circuito elettrico devono essere rispettate le leggi di Kirchhoff), mentre in una non conservativa non valgono ed è possibile descrivere dinamiche non lineari. Una descrizione conservativa è computazionalmente più pesante di una non conservativa. Le due descrizioni possono essere usate nella stessa simulazione.

SystemC AMS prevede 3 stili di modellazione:

- Timed Data Flow (TDF)

  Tempo discreto, non conservativo

  Scheduling statico basato su dataflow

- Linear Signal Flow (LSF)

  Tempo continuo, non conservativo

Basato su equazioni algebriche e differenziali

Risolutori simbolici o numerici

- Electric Linear Network (ELN)

  Tempo continuo, conservativo

  Modellazione di reti elettriche seguendo le leggi di Kirchhoff

4 VHDL

VHDL è un linguaggio standard per la progettazione di hardware digitale. Può essere usato a diversi livelli di astrazione, che vanno da una descrizione algoritmica fino a quella di livello gate ma è lo standard per il livello RT. La progettazione può essere eseguita a diversi livelli che possono poi essere collegati tra loro. Il design può essere gerarchico, quindi con una struttura complessa, ed è possibile approcciare con un flusso di progettazione di tipo top-down oppure Bottom-up.

- Top-Down
  Parto da una descrizione generale e vado a specializzare poi i singoli blocchi.
- Bottom-Up
  Modello blocchi specifici e poi vado a collegarli tra loro.

Permette di specificare controllore e datapath. Nato dagli anni '80 figlio del linguaggio ad oggetti ADA, nel 1992 diventa standard IEEE.
Offre la possibilità di scrivere hardware:

- Combinatorio
- Sequenziale:
  - Sincrono: con clock esplicito, identificato da template.
  - Asincrono: modellazione basata su eventi, non sintetizzabile in maniera automatica.

4.1 Tempo

In VHDL abbiamo una simulazione con tempistiche accurate. A livello RT il tempo non è definito ma dettato dagli eventi, mentre a livelli più astratti sono io a definirlo esplicitamente

4.2 Utilizzi di VHDL

VHDL è nato per simulare, modellare, documentare, sintetizzare, verificare e testare l'hardware

- Modellazione: specifico un design complesso utilizzando un approccio top-down, in particolare un approccio incrementale.
  Con incrementale intendo la possibilità di suddividere il mio hardware in vari

moduli e realizzarli con blocchi fittizi. Successivamente vado ad implementare i blocchi uno alla volta andando a testare il loro funzionamento ed eventualmente modificandoli. Questo mi evita la scrittura di grandi porzioni di codice senza eseguirlo e verificarlo.

- Simulazione: verifico il comportamento del mio design. Ogni volta che la mia simulazione porta ad un risultato desiderato, vado a raffinare i miei moduli e simulare nuovamente.
- Sintesi: dopo aver raffinato la mia descrizione ad un livello di dettaglio tale da poter produrre hardware in modo automatico implemento in hardware il mio progetto.
- Prova formale: verifico che la mia descrizione combaci con specifiche ad alto livello.
- Verifica: controllo la consistenza interna di sue passaggi consecutivi andando a provare una corretta implementazione.
- Validazione: controllo che il mio sistema sia una soluzione soddisfacente ad un problema reale.
- Documentazione: VHDL può essere utilizzato per documentare un progetto. La documentazione è usata come mezzo di comunicazione tra:
  - uomo-tool
  - tool-tool
  - uomo-uomo

4.3 Sintassi

Tipi:

- Real
- Integer
  - signed
  - unsigned
- Boolean
- Character
- Bit
- Time

- std_logic
  - U: non inizializzato.
  - X
  - 0
  - 1
  - Z
  - W: sconosciuto debole.
  - L: zero debole.
  - H: uno debole.
  - -: don't care.

Quando non inizializzo una variabile o un segnale prende o il valore minimo o il più a sinistra a seconda del tipo. In std_logic prende U. Cose che puoi dichiarare:

- Costanti:
  COSTANT nome:tipo:= exp
- Segnali:
  collega tra loro design entities, sono nella sensitivity list dei processi(quindi a d ogni cambiamento scatta il processo), possono essere dichiarati solamente tra **ARCHITECTURE** e **BEGIN**.
  dichiarazione: **SIGNAL** nome **:** tipo **:=** exp, assegnamento: S1 <= exp
- Entity:
  E' l'interfaccia composta da entity declaration e architecture body. Nella declaration vado ad indicare le porte di ingresso e uscita mentre nel body descrivo l'implementazione basandomi sul mix dei 3 stili: behavioral, data flow, structural. Equivalente a SC_MODULE in SyetemC.
  dichairazione:
  ENTITY name IS
  BEGIN
  GENERIC(a:bit:='0', b:bit:='1');
  PORT(i0, i1, i2: IN BIT(32 DOWNTO 0); o0, o1: OUT BIT(32 DOWNTO 0));
  END nome

  body:
  ARCHITECTURE nome_arch OF nome IS
  signed s:std_logic_vector(8 DOWNTO 0);
  BEGIN
  PROCESS(s)
  variable a:bit:='1';
  BEGIN

.
.
.
END PROCESS
END nome_arch

5 Esercizi

Si consideri il seguente spezzone di codice SystemC comportamentale, che si vuole raffinare a livello RT, garantendo la latenza minima e il minimo numero di componenti, sotto il vincolo di utilizzare un solo sommatore.

```
// input ports reading
a = a_in.read();
b = b_in.read();
c = c_in.read();
while(a < b){
    d = a + a * (b + 1);
    e = e + c * a;
    f = c * a + d;
    if(e < f)
        f_out.write(a + b);
    else
        f_out.write(a * b);
    a = a + b;
}
```

- Si assuma che tutte le variabili siano numeri interi con segno a N bit e che tutte le variabili esplicitamente lette o scritte siano porte di ingresso o uscita del modulo.
- Si identifichino eventuali ottimizzazioni del codice dato.
- Si identifichi lo scheduling a latenza minima che utilizza il minimo numero di operatori.
- Si descriva in VHDL il risultato dello scheduling mediante una EFSM composta da due processi.
- Si identifichi una possibile allocazione dei registri che tenda a minimizzarne il numero.
- Si descriva in VHDL data-flow la parte del *data-path* del circuito identificatore che effettua il solo calcolo di aggiornamento della variabile `f`.

Innanzitutto cerchiamo di ottimizzare. La lettura è apposto così, poi abbiamo uno spezzone ottimizzabile:

```
d = a + a * (b + 1);
e = e + c * a;
f = c * a + d;
```

La prima riga è equivalente a:
`a + a * b + a`, `2 * a + a * b`;
tenendo conto del fatto che abbiamo un solo sommatore, preferiamo tenere i prodotti, quindi `2 * a + a * b`. Le altre due righe non sono ottimizzabili in quest'ottica.

Ora costruiamo il data flow graph